

# 銅導線低介電係數晶片鐳線製程 與拔線測試之動態模擬分析

## Dynamic Simulation and Analysis of Wirebonding Process and Wire Pull Test on Cu/Low-K Wafers

葉昶麟 C.L. Yeh ; 高金利 C.L. Kao ; 賴逸少 Y.S. Lai ;  
日月光集團高雄廠應力可靠度實驗室  
Stress-Reliability Lab, Advanced Semiconductor Engineering, Inc.

### 摘 要

本文使用顯式時間積分之有限元素分析，探討銅導線低介電係數晶片在鐳線製程，與拔線測試時的暫態結構反應。此動態分析涵蓋完整鐳線製程的撞擊與超音波振動兩階段，因此鐳線後的拔線測試模擬得以包含鐳線製程中所引致的結構殘餘應力及應變。

### Abstract

We apply in this paper explicit finite element analysis to investigate transient structural responses of the Cu/low-K wafer during wirebonding and subsequent wire pull testing. The dynamic analysis deals with the comprehensive wirebonding process, which involves both impact and ultrasonic vibration stages. Residual stresses and strains are therefore allocated for the subsequent simulation of the wire pull test.

### 關鍵詞/Key Words

銅導線低介電係數晶片(Cu/Low-K Wafer)、鐳線(Wirebonding)、拔線測試(Wire Pull Test)、有限元素分析(Finite Element Analysis)

## 緒論

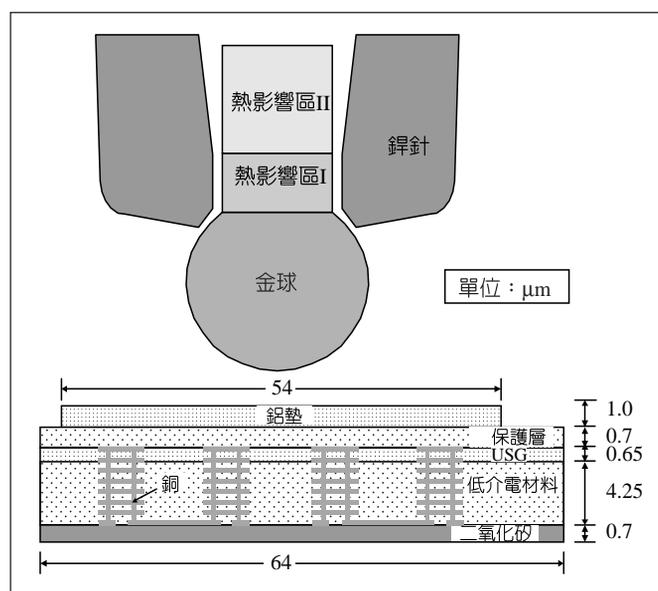
高階積體電路設計已邁向次微米等級，集聚的微細電路將使傳統的鋁導線因電阻與電容升高，而產生訊號傳遞遲延效應。為克服此電性問題，新一代的晶片使用銅導線，並將導線結構埋置於低介電係數材料(Low-K IMD)之中。然而在解決電性問題的同時，此設計通常會引發結構性問題，而在封裝過程中產生傳統晶片所未見的破壞模式。因此，了解銅導線低介電係數晶片在各項封裝製程中的結構反應，對封裝業界而言是一項重要的課題。

完整鐳線製程包含撞擊與超音波振動兩階段。然而由於鐳線製程的結構反應及元件材料性質的複雜性，使數值分析多半僅包含其中一個階段<sup>(1-4)</sup>。目前僅 Yeh *et al.*<sup>(5)</sup>嘗試完整鐳線製程的模擬分析。本文使用顯式時間積分之有限元素分析探討銅導線低介電係數晶片，在鐳線製程與拔線測試(Wire Pull Test)中的暫態結構反應。此動態分析涵蓋完整鐳線製程的撞擊與超音波振動兩階段，因此鐳線後的拔線測試模擬得以包含鐳線製程中所引致的結構殘餘應力及應變，這在一般傳統拔線模擬分析裡並未加以考慮<sup>(6)</sup>。文中並以參數研究評估鐳線製程中低介電係數材料的彈性模數，與降伏應力對最大拉拔力以及破壞模態的影響。

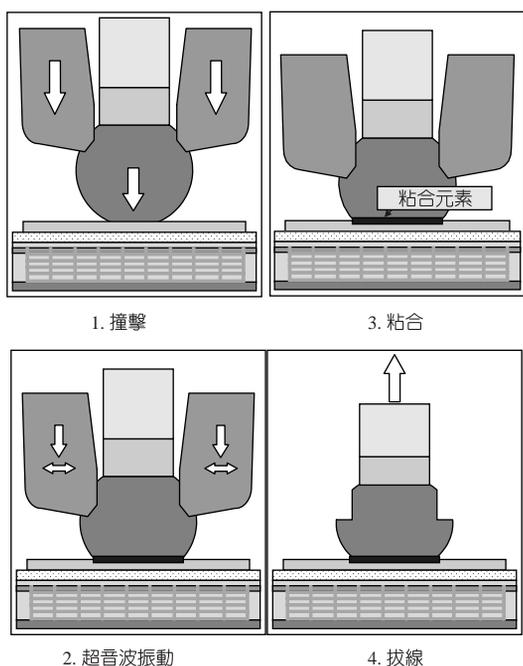
## 有限元素分析

本文以 1USG+7LK 之銅導線低介電係數晶片結構進行分析，結構尺寸見圖一。圖二為鐳線製程與拔線測試模擬之示意圖。在鐳線之前，金線末端在鐳針(Capillary)尖端處燒結為金球(Free Air Ball; FAB)，並在金線內形成熱影響區(Heat Affected Zone; HAZ)。此結構由鐳針導引撞擊鋁墊，接著進行超音波振動使金球與鋁墊相鍵結。在有限元素分析中，超音波振動進行前須以粘合元素(Weld Element)將受壓變形後的金球與鋁墊接觸面相粘合。鐳線製程模擬結束後即進行拔線測試模擬，在金線上施以等速度垂直位移並觀察鐳線結構的破壞模態。

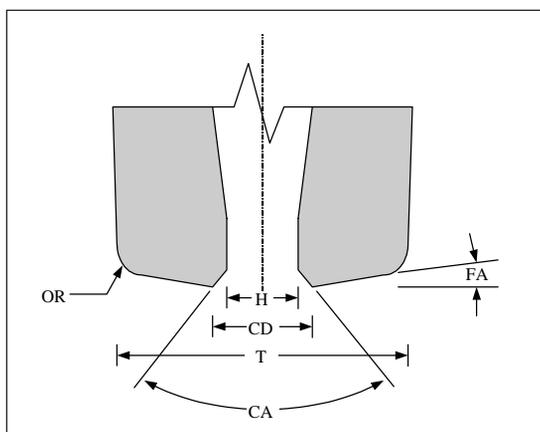
材料之預設彈性性質列於表一，除鐳針假設為剛體之外，所有元件均假設為雙線性彈塑性體。極限應變為拔線測



▲圖一 銅導線低介電係數晶片結構示意圖 (未依比例)



▲圖二 銅導線低介電係數晶片之鐳線製程與拔線測試示意圖



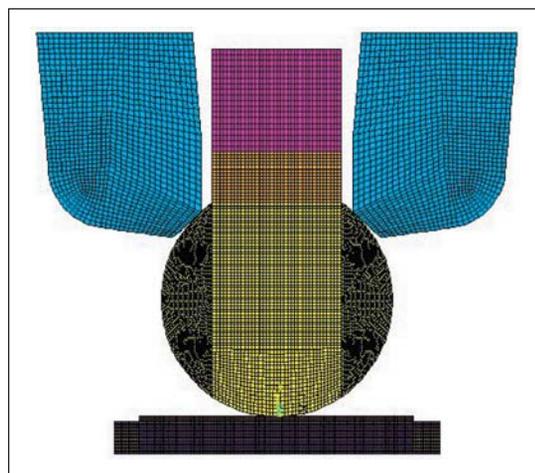
▲圖三 鐳針尺寸

試模擬時使用數值侵蝕機制(Eroding Mechanism)形成破壞模態的依據。鐳針尺寸如圖三所示，其中FA為 $4^\circ$ 、H為 $30\mu\text{m}$ 、CD為 $41\mu\text{m}$ 、OR為 $12\mu\text{m}$ 、T為 $90\mu\text{m}$ 、CA為 $90^\circ$ 。

本研究以LS-DYNA v. 970進行平面應變二維有限元素動態分析。此分析

採用顯式時間積分法，可有效運算暫態非線性結構反應。運算時間間隔為37微微秒(ps)。圖四所示為有限元素網格，包含24348自由度。在此分析中鐳針假設為剛性，並以每秒7公尺的速度撞擊鋁墊。結構體的外力可分為三個階段：

1.撞擊階段：在此情況下鐳針前行7微米，撞擊延時為1微秒。此設定可減少鐳線撞擊階段電腦運算所需的時間，相關探討參見 Yeh and Lai<sup>(4)</sup>。當金球在鋁墊上逐漸擠壓變形時，其與鋁墊的接觸面積也逐漸增加。2.超音波振動階段：當鐳針前行7微米時，即展開超音波振動階段。在此階段即將開始時，必須記錄有限元素模型的變形狀態，並粘接金球與鋁墊接觸面。本分析中假設接觸面為完美接合，不具摩擦力且無滑移現象產生。此處超音波振動的振幅為1微米，頻率為120千赫，延時為8.4微秒。3.拔線階段：在此階段中，金線的末端施加一等速度之垂直位移以模擬扣勾(Hook)的拉拔力。以上三階段的數值模擬若根



▲圖四 有限元素模型

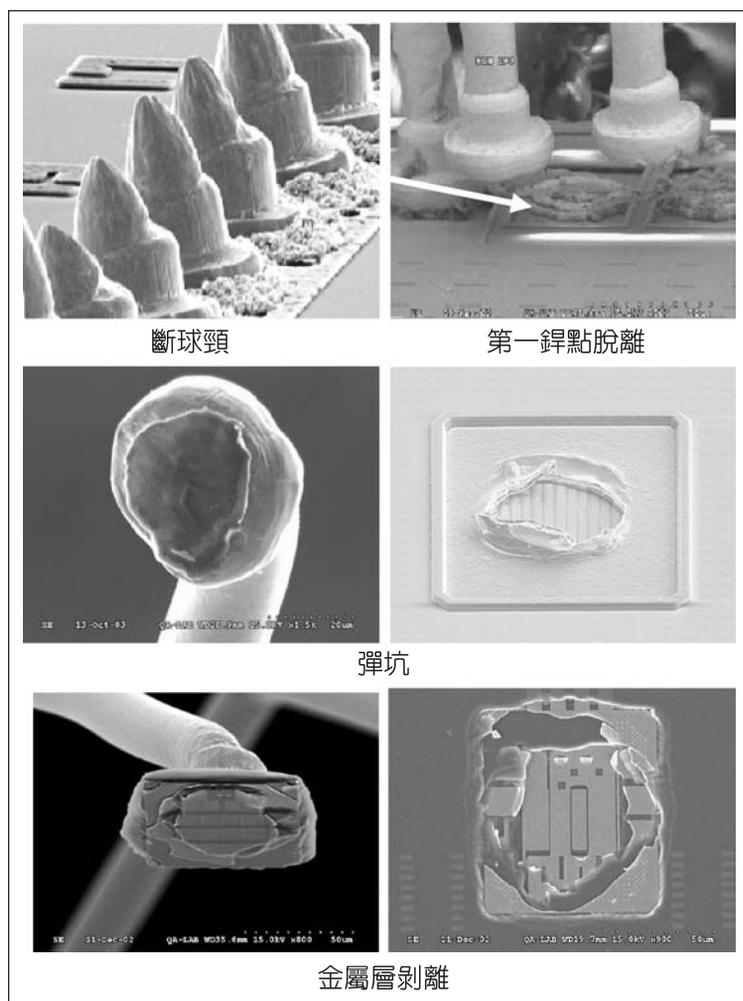
表一 元件材料性質

元件	質量密度 (g/cm <sup>3</sup> )	泊桑比	彈性模數 (GPa)	降伏應力 (MPa)	切線模數 (GPa)	極限應變 (%)
金球	19.3	0.43	30	110	0.30	12
金線熱影響區 I	19.3	0.43	35	135	0.35	12
金線熱影響區 II	19.3	0.43	40	150	0.4	12
鋁墊	2.71	0.33	69	400	1.38	13
銅	8.91	0.38	121	330	0.60	15
保護層	1.31	0.24	32	350	3.2	3
USG	2.00	0.23	80	380	8.0	3
低介電材料	2.00	0.30	18	80	1.8	3
二氧化矽	2.64	0.32	66	430	6.6	3

據表一所示材料性質，在配備 P4 3.0 GHz 及 2GB 記憶體的个人電腦上的運算時間將超過 600 小時。為解決此問題，Yeh *et al.*<sup>(7)</sup>發現若將表一中各元件質量密度提昇萬倍，則運算時間可減為六小時左右，且仍具有相當的精確度。

### 數值結果

如圖五之實際拔線測試結果所示，拔線後的破壞模態大略可歸為四類：斷球頸 (Wire Necking)、第一錫點脫離 (First-Bond Lifted)、彈坑 (Cratering) 以及金屬層剝離 (Metal Void)。圖六為破壞模態示意圖。除斷球頸外，其他破壞模式

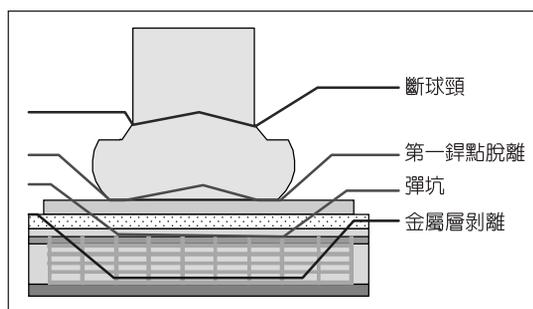


▲圖五 實際拔線測試破壞模態

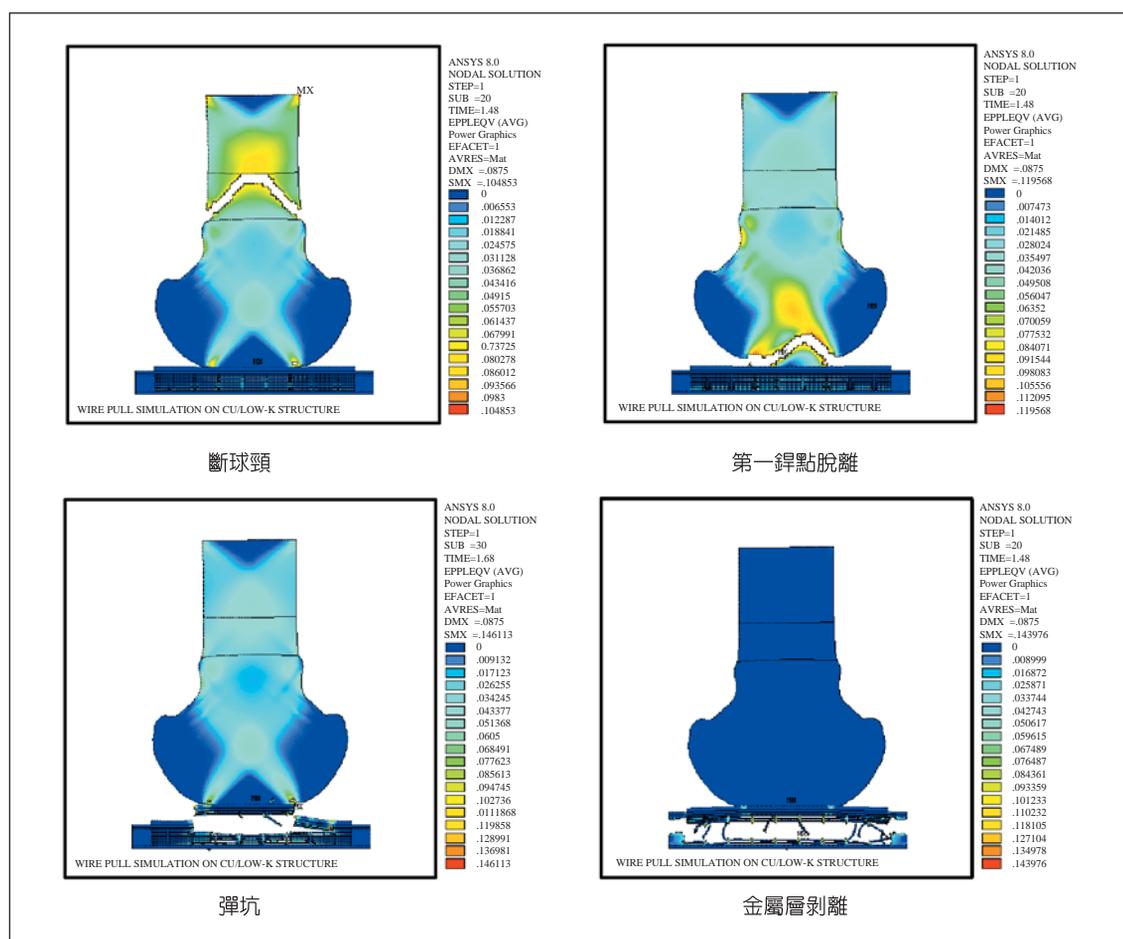
均屬製程缺陷。第一錫點脫離代表金球與鋁墊接合強度不足；彈坑代表錫線製程中結構累積過大殘餘應力；金屬層剝離代表晶片銅導線低介電係數結構強度過低。

在有限元素分析中，藉由調整結構材料參數可重現不同破壞模態，見圖七。圖八為不同破壞模態之拉拔力歷時圖。由圖可知在這四種破壞模態中金屬層剝離的最大拉拔力最小，且結構反應最為脆性。圖九與圖十分別為低介電材料彈性模數，與降伏應力對最大拉拔力以及

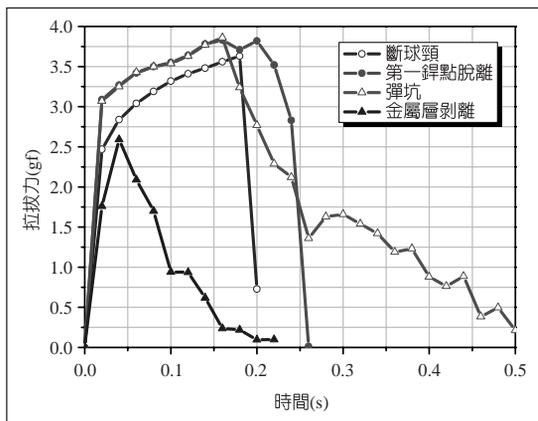
破壞模態的影響。此參數分析中其他元件材料性質均使用表一所列之預設值。可發現當低介電材料彈性模數低於約 30 MPa 時，破壞模態為第一錫點脫離，最



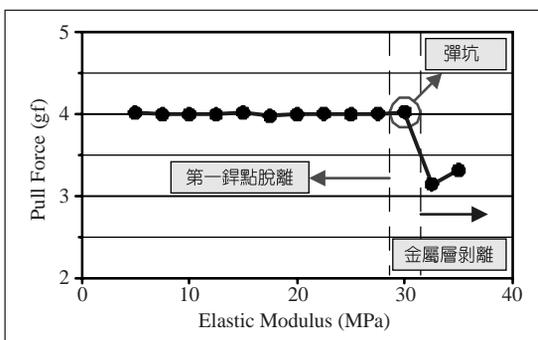
▲圖六 破壞模態示意圖



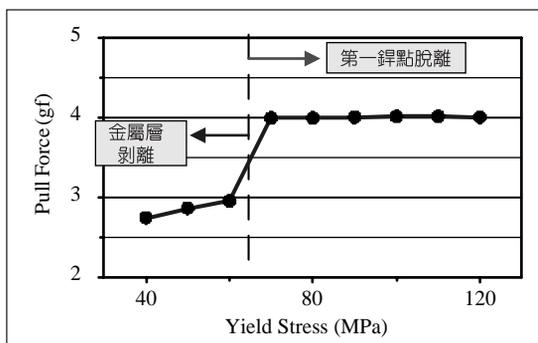
▲圖七 有限元素分析所重現之不同破壞模態（彩色圖請見目錄頁）



▲圖八 不同破壞模態之拉拔力歷時圖



▲圖九 低介電材料彈性模數對最大拉拔力與破壞模態影響



▲圖十 低介電材料降伏應力對最大拉拔力與破壞模態影響

大拉拔力無明顯變化；在 30MPa 時形成彈坑，且最大拉拔力與第一錫點脫離相近；大於 30MPa 時形成金屬層剝離，此時最大拉拔力減低。當低介電材料降伏

應力低於約 30MPa 時形成金屬層剝離；反之則為第一錫點脫離。

## 結論

本文以顯式時間積分之有限元素分析探討銅導線低介電係數晶片在錫線製程與拔線測試時的暫態結構反應。此動態分析涵蓋完整錫線製程的撞擊與超音波振動兩階段，因此錫線後的拔線測試模擬得以包含錫線製程中所引致的結構殘餘應力及應變。藉由調整結構材料參數可重現實際拔線測試時產生的不同破壞模態，諸如斷球頸、第一錫點脫離、彈坑以及金屬層剝離。經參數研究亦可知低介電材料彈性模數與降伏應力對最大拉拔力以及破壞模態的影響。

## 參考文獻

1. T.-C. Huang, M.-S. Liang, T.-T. Chao, T.-L. Lee, S.-C. Chen, C. Hsia and M.-S. Liang (2002). Wire bonding failure mechanisms and simulations of Cu low-K IMD chip packaging. *Proc. 2002 Adv. Metal. Conf.*, pp. 67-73.
2. D. Degryse, B. Vandeveld and E. Beyne (2004). Mechanical FEM simulation of bonding process on Cu lowk wafers. *IEEE Trans. Comp. Pack. Technol.*, 27(4): 643-650.
3. Y. Liu, S. Irving and T. Luk (2004). Thermosonic wire bonding process simulation and bond pad over active stress analysis. *Proc. 54<sup>th</sup> Electr. Comp. Technol. Conf., Las Vegas, NV*, pp. 383-391.
4. C.-L. Yeh and Y.-S. Lai (2005). Transient analysis of the impact stage of wirebonding on Cu/low-K wafers. *Microelectronics Reliability*, 45(2): 371-378.
5. C.-L. Yeh, Y.-S. Lai and J.-D. Wu (2003). Dynamic analysis of wirebonding process on Cu/low-K wafers. *Proc. 5<sup>th</sup> Electr. Pack. Technol. Conf.*, Singapore, pp. 282-286.
6. M. A. J. van Gils, O. van der Sluis, G. Q. Zhang, J. H. J. Janssen and R. M. J. Voncken (2005). Analysis of Cu/low-k bond pad delamination by using a novel failure index. *Proc. EuroSimE 2005*, Berlin, Germany, pp. 190-196.
7. C.-L. Yeh, C.-L. Kao and Y.-S. Lai (2004). Pull test simulation and optimization of wires bonded on Cu/low-K wafers. *Proc. 37<sup>th</sup> Int. Symp. Microelectr.*, Long Beach, CA.