

系統構裝市場前瞻與商機探討 —— SiP 成爲能夠達到 SoC 目的、相對困難度較低的解決方案

董鍾明

工研院產業經濟與資訊服務中心

IC 產業與應用部 副研究員（產業分析師）

摘要

系統單晶片(System on a Chip; SoC)從設計到最後的測試階段，都帶給工程師前所未有的困難與挑戰，因此各界也都紛紛尋求能夠達到 SoC 目的，但相對困難度較低的解決方案。就封裝業而言，系統構裝(System in Package; SiP)成了彌補 SoC 瓶頸的最好方法。所以，系統產品朝整合及縮裝的方向發展時，除了帶動 SoC 設計需求外，也促成了新興的 SiP 構裝成爲關注焦點。SiP 市場雖仍處於剛起步階段，但由於電子系統產品不斷往體小、多功、省電、大容量方向演進，SiP 未來勢必受到更多封裝廠及系統廠商的重視，而隱藏在 SiP 背後的商機也正伺機引爆。

關鍵字

系統構裝(System in Package; SiP)、良裸晶(Know Good Die; KGD)、多晶片模組(Multi-Chip Module; MCM)、晶片級封裝(Chip Scale Package; CSP)

前言

要達到將整個系統整合於同一晶片的目的是，除了利用以 IC 前端製程技術為基礎的系統單晶片(SoC)解決方案之外，業者還可以有另一個以 IC 後段封裝製程技術為基礎的解決方案——系

統構裝(System-in-Package; SiP)。其中，系統單晶片發展至今，由於技術瓶頸高、生產良率低，以及要將不同功能的 IC 整合於同一晶圓上製造，製程上整合所需的研發時間長，加上成本高等因素，對多數製造廠商而言，系統單晶片仍處於研發階段。

在系統單晶片技術發展尚未成熟的過渡階段，同樣強調體積小、高頻、高速、生產週期短與成本較低的系統構裝技術(SiP)，則成為許多廠商以最小的代價與技術風險，就能夠有效縮減產品尺寸的元件整合方法。經由不同製程技術，生產功能不同的晶片整合在基板上的 SiP 技術，困難度會比將不同來源的 SIP (Silicon Intellectual Property)整合到一塊晶片上的 SoC 技術來得低，客戶還可針對不同的產品需求，自由選擇不同的封裝方式與基板材質，是在考量開發 SoC 可能花費的龐大成本之外，另一個同樣能達到 SoC 縮小元件體積、降低耗電量、提高系統運作速度等優點的可選擇方案。

SiP 市場規模

由於 SiP 不僅可以增強單一封裝

體的功能，也可大幅縮減系統產品的體積，進而提供符合客戶需求的解決方案。所以，目前 SiP 已經被廣泛運用於 RF、手機元件、影像感測器、記憶體…等產品。根據 Electronic Trend Publications (ETP)針對 SiP 市場調查，將 SiP 市場區分為 3D 堆疊及 2D 平面兩大類型，本文將就此兩大類別分析 SiP 市場。

一、3D 堆疊市場

由表一可知，3D 堆疊市場 2003~2007 年出貨量的年複合成長率達 24.1%，銷售額的年複合成長率也高達 27.7%，其中銷售額的估算方式為平均輸出入腳數乘上平均輸出入腳單價再乘上出貨量。另外，再由封裝內不同組成結構分析，單一 CSP 加上其

表一 3D 堆疊式 SiP 封裝市場規模趨勢

	2002	2003	2004	2005(e)	2006(f)	2007(f)	03~07 CAGR (%)
CSP 堆疊其他晶片(百萬片)	353	469	611	740	827	930	18.7
TSOP 堆疊(百萬片)	15	54	67	81	87	92	14.2
MCM 堆疊(百萬片)	12	17	23	32	42	49	30.3
CSP 堆疊(百萬片)	6	22	50	86	180	228	79.4
其他(百萬片)	10	10	14	25	42	57	54.5
總出貨量(百萬片)	396	571	765	963	1,179	1,356	24.1
平均 I/O	62	97	100	108	118	120	5.5
每 I/O 單價(美元)	0.016	0.021	0.020	0.019	0.019	0.019	-2.5
每一封裝價格(美元)	0.99	2.04	2.00	2.05	2.24	2.28	2.8
市場值(百萬美元)	393	1,162	1,529	1,977	2,643	3,091	27.7

資料來源：ETP；工研院 IEK(2005/02)

他晶片的封裝為 3D 堆疊市場的大宗；TSOP 堆疊組成的 3D 封裝則大部份應用於記憶體堆疊封裝上；堆疊式 CSP 則在所有類型中年複合成長率最大，2003~2007 年的年複合成長率高達 79.4%，除了基期較低的因素之外，由於堆疊式 CSP 對於縮小體積的貢獻度最大，也是造成成長率大幅增加的主要原因；堆疊式多晶片模組則維持平穩的成長態勢，主要應用於手機或數位相機的模組中。

二、2D 平面市場

2003~2007 年 2D 平面的 SiP 市場出貨量年複合成長率為 32.3%，之所以有如此亮眼的成績表現，主要在於有效縮小封裝尺寸、效能提高以及較容易按照顧客需求設計…等原因，包括 3C、TFT LCD、RF…等產品均是未來推動此一市場的最大動力，另外像是電源管理、Flash、記憶體加 ASIC、記憶體加 MPU、影像感測器…等，則

是進一步推動 2D 堆疊 SiP 市場的力量（表二）。

SiP 主要應用市場分佈

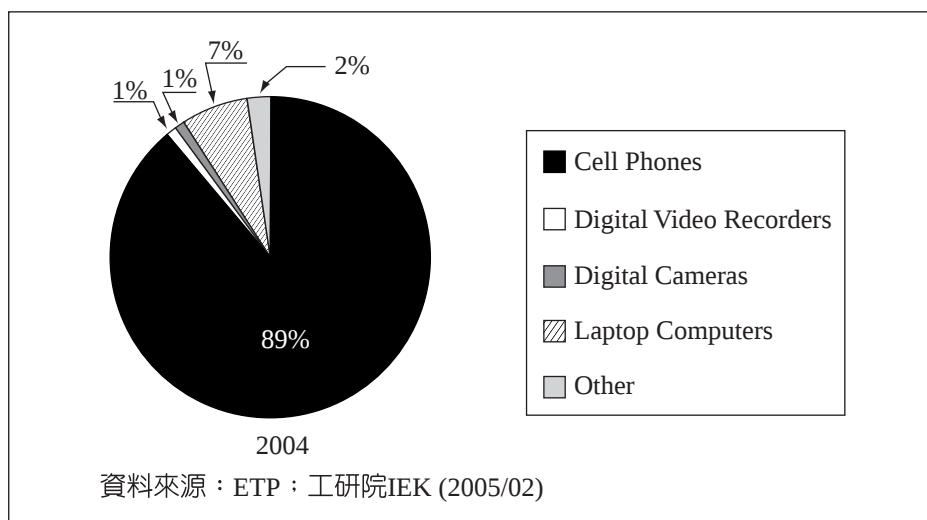
圖一為 2004 年採用 SiP 的電子產品分佈比例，從過去以來，手機一直是 3D 堆疊封裝的最大應用產品。除此之外，由於 3D 堆疊封裝可以有效節省 PCB 上的空間，所以各類型的手持式裝置採用 3D 堆疊封裝的比例會逐漸增加。

以最大應用市場手機為例，Global Locate 公司日前就宣佈推出 Stingray A-GPS 單封裝系統，Stingray 採用的是 Global Locate IndoorGPS 基頻和 RF 技術，以及被動元件，該公司號稱是目前市場上外形最小的封裝系統。另外，國內廠商環隆電氣也推出 802.11g WLAN SiP 模組，內建傑爾系統(Agere)的 WaveLAN 晶片組，以小尺寸及低耗電等優勢，可以廣泛應用於 PDA、媒體播放機、智慧型手機、Wi-Fi VoIP 電話，以及數位攝影機等各種手持式

表二 2D 平面式 SiP 封裝市場規模趨勢

	2002	2003	2004(e)	2005(f)	2006(f)	2007(f)	03~07 CAGR (%)
出貨量(百萬片)	308	527	775	1,069	1,368	1,614	32.3
平均 I/O	30	59	59	58	58	58	-0.5
每 I/O 單價(美元)	0.050	0.038	0.036	0.035	0.033	0.031	-5.0
每一封裝價格(美元)	1.50	2.24	2.12	2.03	1.91	1.80	-6.0
市場值(百萬美元)	462	1,181	1,645	2,170	2,619	2,903	25.2

資料來源：ETP；工研院 IEK(2005/02)



▲圖一 SiP 主要應用市場分佈

無線通訊產品，由於此模組體積僅有 22×29mm，具備低功率、低耗電及高性能，提供每秒 54 Mbits/s 的傳輸速度，更可透過內建標準 16 位元介面及無焊接的板對板連接器(Board to Board Connector)，協助縮短新產品上市時程並節省成本。

如同 3D 堆疊封裝的電子產品分佈比例，手機也是 SiP 2D 平面封裝的最大應用產品市場。其中比較值得注意的是被歸類為其他的汽車應用，將是未來相當具有成長潛力的市場。主要原因除了車用 IC 數量將會大幅成長之外，也希望藉由 SiP 的封裝降低車用 IC 所佔車體成本。

2D 封裝主要以 MCM 為發展主軸，近年來如行動通訊、PDA、數位相機等各種可攜式產品市場的興起，加上 MCM 可將不同型態的晶片、MEMS、光學，以及 RF 元件加以整合的特性，

也進一步將 MCM 的應用擴展至 3C 市場。

SiP 市場發展關鍵

一、SiP 可適用市場廣大，未來發展潛力十足

SiP 封裝可將其他如被動元件，以及天線等系統所需的元件整合於單一構裝中，使其更具完整的系統功能。由應用產品的觀點來看，SiP 更適用於低成本、小面積、高頻高速，以及生產週期短的電子產品上，尤其如功率放大器(PA)、全球定位系統、藍芽模組(Bluetooth)、影像感測模組、記憶卡等可攜式產品市場。以長遠的發展規劃而言，SoC 的發展將能有效改善未來電子產品的效能要求，而其所適用之封裝型態，也將以能提供更好效能之覆晶技術為發展主軸；相較於 SoC

的發展，SiP 則將更適用於成本敏感性高的通訊用及消費性產品市場。

二、SiP 相關支援技術發展為重點

由技術觀點來看，SiP 的發展仍需考慮諸多技術，包括內部接合技術、材料穩定性及可靠度、多功能基板技術發展，以及良好裸晶(Known Good Die; KGD)測試技術的輔助與支援。

SiP 可應用的範圍相當地廣泛，一旦 SiP 應用至汽車、國防電子、醫療電子…等相關領域時，考量這些產品的生命週期會比消費性電子來得長，因此，對於材料穩定性及可靠度的要求將會相對提高。

另外，由於使用 MCM 的封裝技術時，若有一顆 IC 失效，將連帶造成整個構裝體中的所有 IC 無法運作，除影響整體良率外，更會導致成本的大幅提高，因此在封裝前即確認晶片的好與壞，將為 SiP 封裝流程的重要步驟。KGD 的測試，指的是晶圓在製作完成後，未經封裝即進行全功能測試(Full Functional Testing)，甚或進行晶圓級的預燒測試(Wafer Level Burn-in Testing)；然而現階段晶圓級預燒測試的技術發展尚未成熟，且高密度的探針卡(Probe Card)所需成本仍高。未來在發展 SiP 方面，廠商仍需以 KGD 測試技術的成熟發展為基石，才能使 SiP 的低成本效益更加擴張。

結論

SoC 從設計到最後的測試階段，都帶給工程師前所未有的困難與挑戰，因此各界都紛紛尋求能夠達到 SoC 目的，但相對困難度較低的解決方案。就封裝業而言，系統構裝(System in Package; SiP)成了彌補 SoC 瓶頸的最好方法。

雖然近幾年 SiP 的發展十分熱絡，性能不斷在提昇，拉近了和 SoC 的距離，不過就現階段 SiP 的發展看來，SiP 似乎並不可能完全取代 SoC 的地位，兩者未來仍會有一定的市場區隔及應用模式。可能的發展方向為具潛在擴充必要的產品會採 SiP 模式，初期採少量出貨方式打前鋒提早進入市場，鎖定客戶，可發揮 SiP 具有研發時間短、研發成本較低及功能配置較為彈性的優勢；反之功能已經趨於成熟固定的產品，逕可使用 SoC 而發揮 SoC 大量生產的成本優勢。

總而言之，SiP 與 SoC 有不同的存在價值，SiP 產品與技術對於應用廠商的價值，在於微型化後所創造出來的銷售利益。小型可攜式產品已經是未來市場的導向，SiP 可在有限空間內提供更多的服務與功能給消費大眾，加上其具有的開發周期縮短的優勢，且市場未飽和，未來仍有相當大的成長機會。