

## 運用奈米科技可望打破矽元件尺寸微細化發展的界限

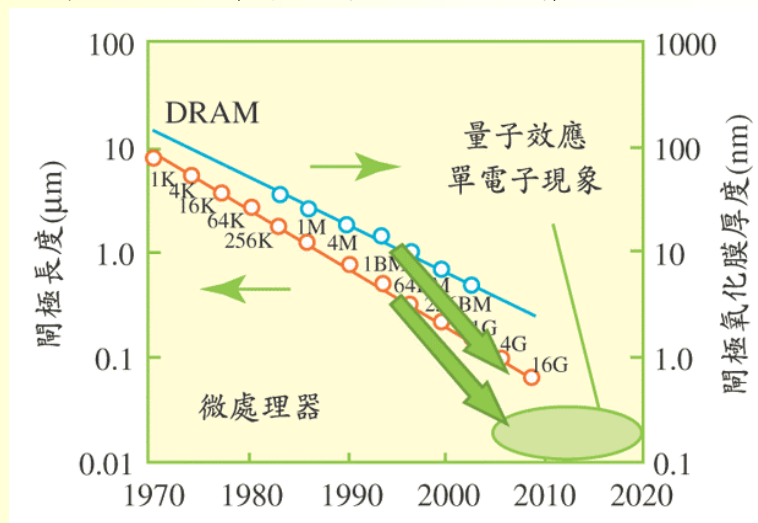
矽元件的微細化發展未曾停歇過。歷經過去三十年，矽元件的尺寸每三年約縮小 0.7 倍，可是近年來呢？

以往 DRAM 牽動著矽元件微細化的發展，1990 年後半則受微處理器(MPU)所牽制。最尖端的 PC 用 MOSFET 的閘極，在 2003 年年中達到 50nm。而進入研究試製階段，微細化的競爭更為激烈，2000 年底美國 Intel 所發表閘極長度為 30nm，2001 年 6 月則發展出 20nm 的高性能 CMOS 元件。IEDM 2001 會議上，美國 AMD 發表 15nm 的 CMOSFET；IEDM 2002 美國 IBM 發表 8nm 的 PMOSFET。矽元件的尺寸，以奈米為單位表現出一位數的數字成果(圖一)。

微細化發展的最大理由即在性能與集積度的提昇。一個半導體晶片約集成有一億個的電晶體，而微處理器的動作頻率終而突破 3GHz。此類大規模積體電路(VLSI)技術的進展，成為當前高度資訊化社會的支柱，而讓吾人生活受惠其中。而為何又急於微細化的發展呢？主因是為了要讓自家的電子元件與他家有所區別，而微細化發展正是最輕易上手的方法，提昇性能就是半導體事業發展最基本的，特別是在微處理器競爭激烈的領域，微細化的發展更是加速。

### 3-5nm 是微細化的界限？

那麼，矽元件微細化發展的界限由何而決定？老實講，要讓矽元件微細化相當困難。蝕刻的問題、短通道效應與寄生效應所帶來的特性劣化和可靠性問題、元件參差如何集積的問題堆積如山，過去有所謂的技術界限論，幸而這些技術課題仰賴技術人員的創意與努力，均逐一解決中，使高唱技術界限論的人數減少許多。可是，閘極長度接近 10nm，卻又出現物理性界線之說。現在，許多研究者認為，MOSFET 的源極、汲極電極間的直接穿隧現象有界限，在室溫中，3-5nm 是微細化的界限。



圖一 MOSFET 的微細化發展趨勢。1990 年後半受處理器所牽動，微細化大幅加速發展

反觀，微細化的加速，除了現行的矽元件微細化之外，就別無他法了嗎？於今有幸發現到，在奈米領域即使於室溫會有不同的各種物理現象，利用這些奈米構造特有的現象，技術人員開始研究如何提昇元件特性。甚至，利用這些物理現象，打破矽 MOSFET 元件微細化的界限，或找出全新元件及結構的可能性。

### 目前未被珍視的量子效應

目前縱使是  $0.1\ \mu\text{m}$  左右的 MOSFET，仍會引起量子效應。閘極絕緣膜被薄化至  $2\text{nm}$  左右會產生閘極直接穿隧電流的問題。這是起因於電子的波動性所造成的量子效應。在微細 MOSFET 中，穿隧電流的開始到處流動是為漏電流增大的原因。再者，量子效應一般對尺寸相當敏感，其所支配的領域稍有尺寸的不同，就會在特性上產生極大的變化，這就是特性不一的原因所在。因之，MOSFET 中量子效應會出現特性劣化的現象。如何控制量子效應的影響，在元件的製作上就是重點所在了。

另一方面，利用到奈米構造特有現象的量子效應元件或單電子元件至今已是全球研究的話題，然而這些對積體電路而言，看似並非全具實用性。利用新物理現象的元件，和實際的 VLSI 之間還有一道很深的鴻溝。

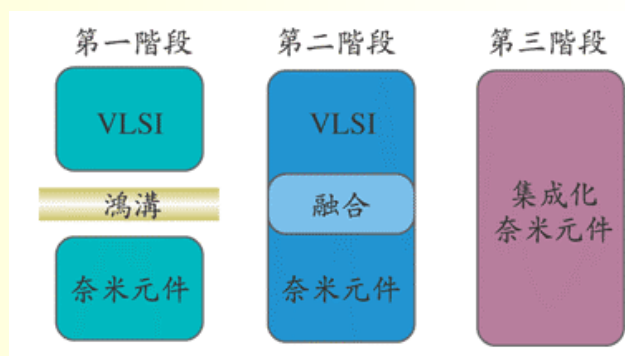
### 實現奈米元件的三個階段

關於奈米元件的開發，有三個階段(圖二)。此處所言奈米元件即指利用在奈米構造中所發現新物理現象的元件。

①**第一階段**，VLSI 與奈米元件之間存有間隙，這是現況，至今尚未能找出微細化以外的新差異法。

②**第二階段**，以奈米元件特有的物理現象，圖謀提昇傳統型 MOSFET 的性能，使 VLSI 與奈米元件融合。唯其電路與特性與傳統的 CMOS 電路一樣，能否以矽奈米技術驅動，會因之出現其元件特性明顯的差異。業者應及早進入第二階段。

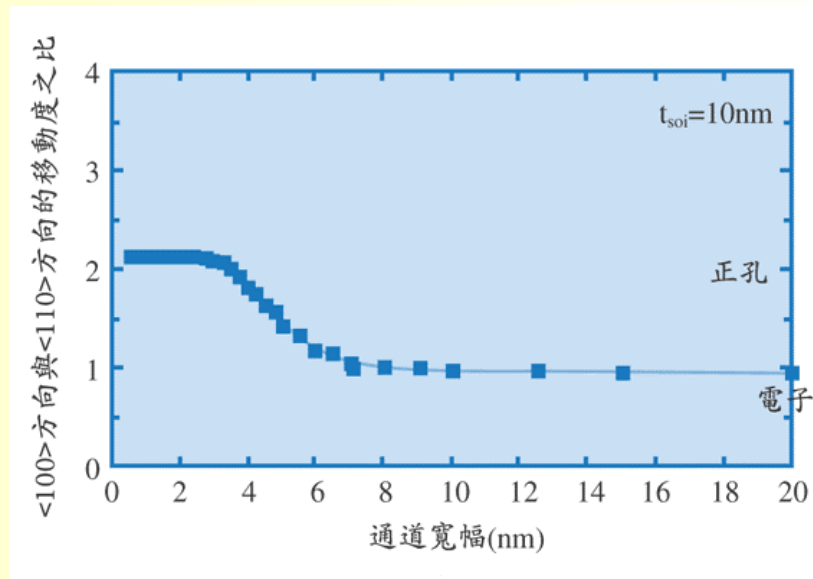
③**第三階段**，就是單電子元件等奈米元件本身被集成為 VLSI 的階段。奈米元件，已不是 MOSFET，以全新不同的原理而動作。MOSFET 實現過去不可能的多功能性，並具超低的耗電能力。當然配合奈米元件的電路與特性也有極大的轉變。目前奈米元件還需要新的電路與特性等系統的設計，才宜於發展為集成化奈米元件。



圖二 奈米電子的三階段發展

## 運用量子效應提高移動率

其中，第三階段付諸實現該是十年以後的事吧？這十年重要的課題應是在第二階段新元件的開發上。唯第二階段並不與第一階段的常識相互通用，而是應以逆向思考方式來積極利用新的物理現象。

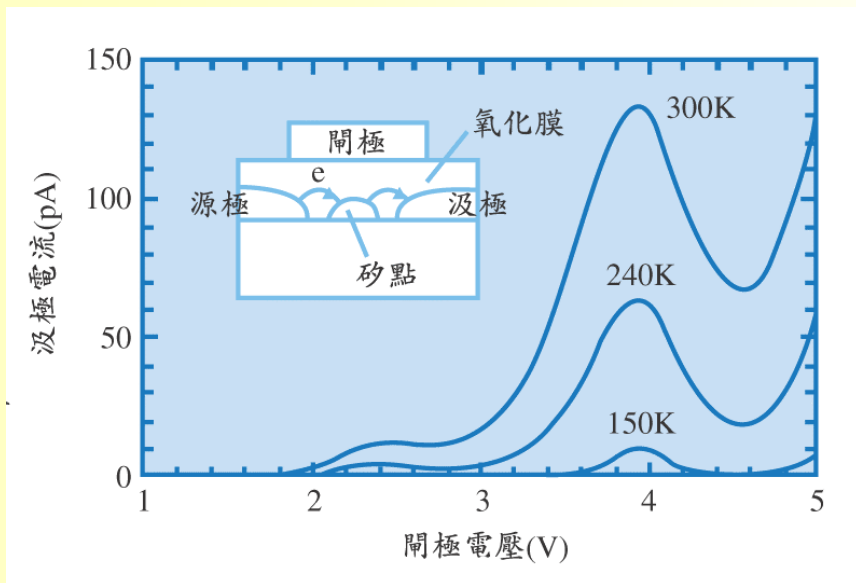


圖三 MOSFET 中載子移動率的通道寬幅依存性(10nm 以下)，通道寬幅中，<100>方向者，電子移動率較高

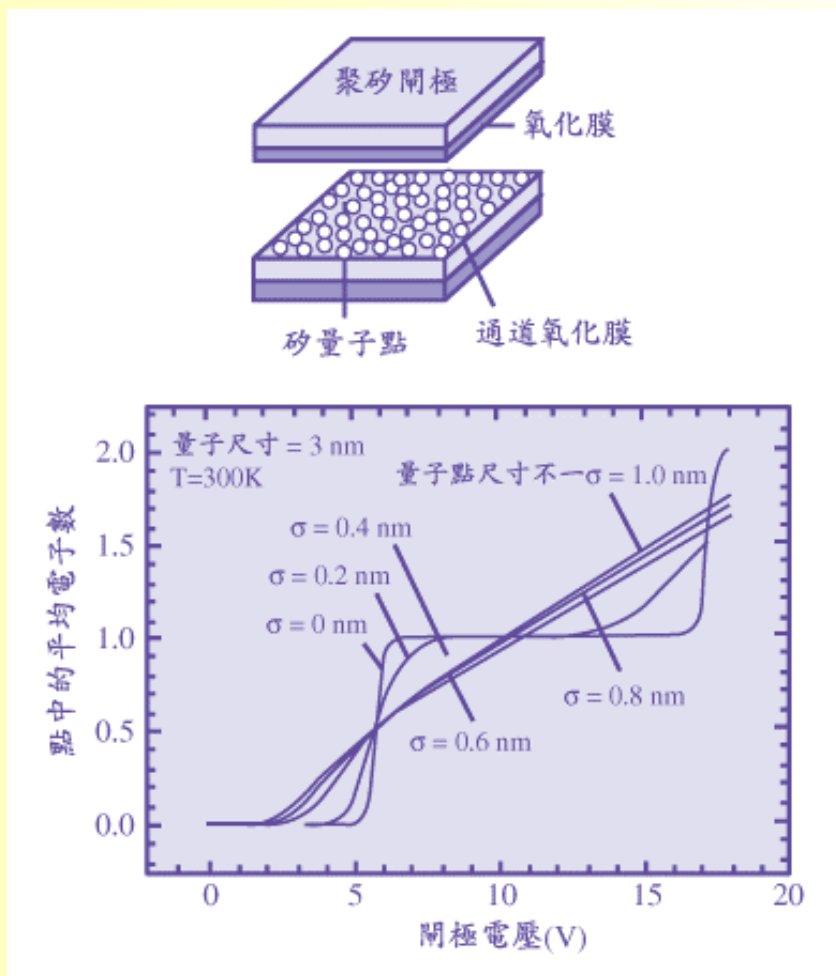
在此以具體實例說明。最近備受矚目的是在矽上意圖加上“變形”(Distortion)使載子移動率提高的技術。若移動率提高，就能提高元件的電流驅動力，促使積體電路產生高速動作。而加入“變形”的方法有二。一為利用和所謂矽晶格常數不同的 SiGe 層的方法；一為利用製程中導入應力的方法。

另一方面，若在薄化至 10nm 以下的 SOI 基板上製作 MOSFET 時，電子會被關在薄膜的矽層內，依量子效應一邊使電子的移動率提高，一邊則會依 MOS 的反轉層容量而控制住驅動力的劣化。甚至，當通道寬幅細至 10nm 以下時，因二次元關閉使量子效應更加顯著、電子移動率提昇外，還有可能控制住決定 On、Off 的閾值電壓。

圖三是東京大學生產技術研究所的平本俊郎教授在 IEDM 2001 上所發表模擬分析的結果，圖中顯示 MOSFET 中電荷載子的移動率在通道寬幅愈窄處，比起 <110> 方向而言，顯示 <100> 方向變得較高。矽結晶有異方性，通道形成的方向不同會改變載子移動率。其結果顯示，極細通道的場合，比過去所用 <110> 方向，顯示 <100> 方向更能因量子效應而得到高的載子移動率。



圖四 矽單電子電晶體的模式圖與特性



圖五 根據單電子的控制可以降低不一的情形(上為電子構造, 下為平均電子數的閘極及尺寸不一的依存性)

### 試製矽單電子電晶體

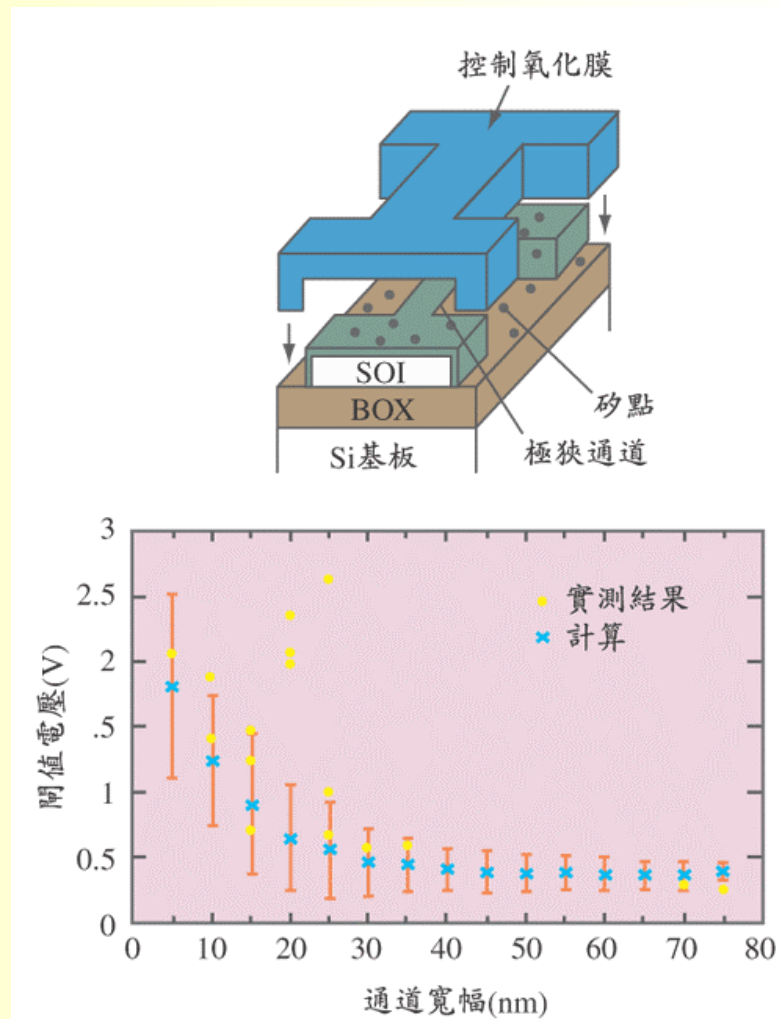
以電子一個來動作的矽單電子電晶體也被視為是奈米元件而受到矚目。圖四係數年前平本教授的研究室所試製之元件的室溫動作例子。圖中顯示, 即使是在量子尺寸 4nm 如此小的狀況下, 在室溫中依然會出現單電子帶電效應, 還能觀測到大的庫倫屏蔽振動情形。最近平本教授亦著手研製該振動之山與谷之比在室溫中超過 100 的元件。利用此振動有可能構成邏輯電路。但是, 若就現行的電路形式來製作此積體電路, 在本質上相當困難。因此, 在將單電子電晶體集成化之際, 必須有單電子電晶體專用電路及其特性結構, 這是在實現第三階段前所必要的。在其之前的第二階段當中, 可以考慮利用奈米元件中之物理現象來控制其不一的特性並提昇記憶特性。

相對地，量子點中的電子數可以利用到透過庫倫遮蔽而能一個一個控制的現象，以謀得其不一情形的降低。圖五縱軸為量子點中的平均電子數，和 MOSFET 的閾值電壓呈比例。據此分析得知，閘極電壓或量子點尺寸縱使有所變化，MOSFET 的閾值電壓的不一，能控制在最小極限。

另一方面，最近各種記憶元件相繼被開發出來，特別是縱使切斷電源仍不致讓記憶資料

消失的非揮發性記憶體備受矚目。以奈米尺寸的矽點(Silicon Dot)作為記憶 Note 的矽微結晶記憶體，正以取代現存快閃記憶體之姿展開研發中。根據圖六，平本教授在 IEDM2002 上所發表擁有極狹通道之矽微結晶記憶體的實測結果，可以確認極細通道中的量子效應等現象，可以使記憶體特性提昇，並保持一段很長的時間。

在第二階段是以 VLSI 和奈米元件的融合為目標。在元件的微細化界線愈趨接近的今日，同時期待著 VLSI 技術人員和奈米構造物理研究人員亦能相互合作，並在半導體產業當中展現出融合的光芒。



圖六 具有極狹通道的矽點記憶體(為元件構造，下為記憶體閾值電壓轉變的通道寬幅依存性)