

金屬連線技術

游萃蓉
國立清華大學材料系
副教授

摘要

自0.13微米世代以來，為降低積體電路中金屬連線電阻及連線間絕緣層之電容所造成的速度延遲，半導體業已開始使用銅連線及低電容值之低介電絕緣材料。本文介紹自0.13微米以來之銅與低介電材料製程與演進，以及未來65奈米及45奈米世代之後，在持續縮小元件尺寸及降低介電值的要求下，連線製程技術上面臨的新挑戰及發展趨勢。

關鍵詞

銅連線(Cu Interconnect)、銅雙鑲嵌(Cu Dual Damascene)、低介電材料(Low-k Dielectric)、原子層沉積(Atomic Layer Deposition; ALD)

銅連線製程現況

隨著半導體元件愈做愈小，積體電路中金屬連線電阻及連線間絕緣層之電容所造成的速度延遲，已經逐漸成為元件速度延遲之主要原因。相較於鋁，銅連線阻值低，且抗電致遷移率佳，因此自從0.13微米世代以來，國內外先進半導體廠已積極研發銅製程及低介電質(Low-k Dielectric)材料，雖然非常具有挑戰性，仍終能在後段製程

中導入銅連線及低介電質材料，並展開量產^(1,2,3)。首先是使用特性與二氧化矽相近之氟矽氧化物(FSG，介電常數 $k=3.7\sim3.9$)，後再導入介電常數較低之碳矽氧化物(介電常數 $k=2.7\sim2.9$)，以降低連線電容^(1,2,3)。目前國內外先進的半導體廠，包括Intel、台積電、聯電已開始使用90奈米製程的量產，並進行65奈米的製程研發^(2,3)，其中90奈米製程大多是沿用0.13微米製程的銅連線及低介電質材料，而在65奈米甚或

未來45奈米製程，因元件尺寸愈做愈小，則需要持續積極研發，進一步降低銅連線阻值及介電材料之介電常數，以有效減少連線中電阻及電容造成速度延遲的效應。

什麼是銅鑲嵌製程

銅因蝕刻不易，故其製程是以鑲嵌方式(Damascene)進行，其中又分單鑲嵌(Single Damascene)及雙鑲嵌(Dual Damascene)，差別在前者是將金屬連線及其用來與下層連線相接的栓孔(Via)分開做，而後者則是同時完成，其中又因成本及製程時程考量，以雙鑲嵌式較為普遍。如圖一所示，也就是先將各介電層，包括銅之介電障礙包覆層(Dielectric Barrier Cap)、低介電絕緣層、蝕刻停止層(Etching Stop Layer)及罩層等先鍍上，再以微影技術(Lithography)定義金屬連線及栓孔圖形，然後進行蝕刻及清洗，而後再填入銅金屬障礙層(Metal Barrier Layer，如Ta、TaN)及銅，並以化學機械研磨(CheMical Mechanical Polishing; CMP)使之平坦化，如此重複進行，即可完成多重連線之結構^(1,4,5)。

銅鑲嵌製程的挑戰

銅連線製程最大的挑戰，在於引進低介電絕緣層時衍生的製程整合及可靠性問題，圖二描述銅與低介電值製程整合時所需面臨的各種問題，包括各介電層間及其與金屬層之附著

力、低介電層之硬度、熱膨脹係數、抗蝕刻及化學液清洗，以及耐化學機械研磨能力、金屬線溝槽(Metal Trench)及其下栓孔內銅障礙層及銅之覆蓋率(Step Coverage)及填洞(Filling)能力、銅化學機械研磨之平坦化及無缺陷製程等。除此之外，銅與低介電層在多層連線堆疊後，必須能耐得住封裝時之壓應力，還必須通過電致遷移(Electromigration)、熱應力瞬間與循環(Thermal Shock and Thermal Cycling)及熱應力遷移(Stress Migration)等測試。以上挑戰在0.13微米世代，國內外先進半導體廠投下許多的人力、物力及時間才得以一一順利解決，並使用銅/低介電層製程進入量產。而在90奈米世代，除尺寸縮小外，大多沿用與0.13微米同樣的銅及低介電材料，使問題簡單化，以符合經濟效益，而且順利量產。

金屬連線之未來挑戰及發展趨勢

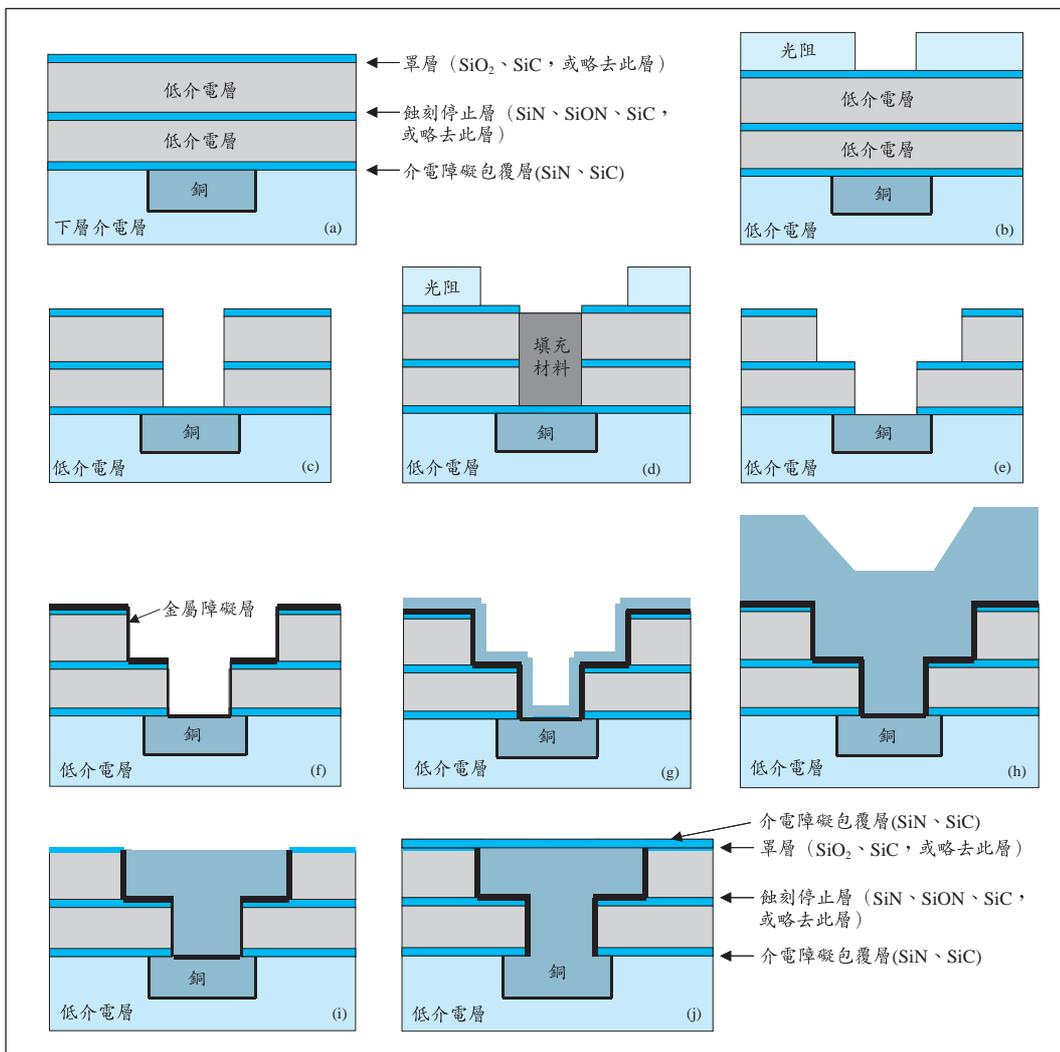
在65奈米甚或45奈米世代之後，隨著元件尺寸愈做愈小，以及介電層介電值的持續降低的要求，上述銅/低介電值製程整合及可靠性問題將更趨嚴重，尤其是銅連線線寬及栓孔大小，已縮小至0.1微米大小甚或更小，而介電值需降得更低($k < 2.5$)，稱之超低介電材料(Ultra-Low-k Dielectric)。有些先進半導體廠首先著重於尺寸之縮小，而仍採用與0.13微米及90奈米

相同的低介電材料。此法雖能使問題簡單化，但仍需面對尺寸縮小衍生的問題，除了微影及蝕刻技術必須能解決金屬線溝槽及其下栓孔尺寸大小的控制與缺陷的降低外，尚有金屬線溝槽及其下栓孔內銅障礙層及銅之覆蓋

率及填洞能力問題，針對此一問題，有些研究群研發覆蓋率極佳的原子層沉積(Atomic Layer Deposition; ALD)技術，用以改善0.13微米及90奈米使用的物理蒸鍍(Physical Vapor Deposition; PVD)及濺鍍(Sputter)法之銅障礙覆蓋

率不足的問題，例如Toshiba之PVD-Ta (或Ti) /ALD-TaN/PVD-Ta，Samsung之PAALD-TaN (Plasma Assisted ALD-TaN)，IMEC、TI、Infineon與Philips共同研發之ALD-WCxNy⁽²⁾，以上技術在製程整合及可靠度，尤其是原子層沉積層與銅及低介電層間附著力，都是值得繼續研究的課題。

而另一因尺寸縮小必須面對的問題是隨電流密度增加而將更惡化的電致遷移。針對此，除有研究者嘗試在銅材料摻雜質之



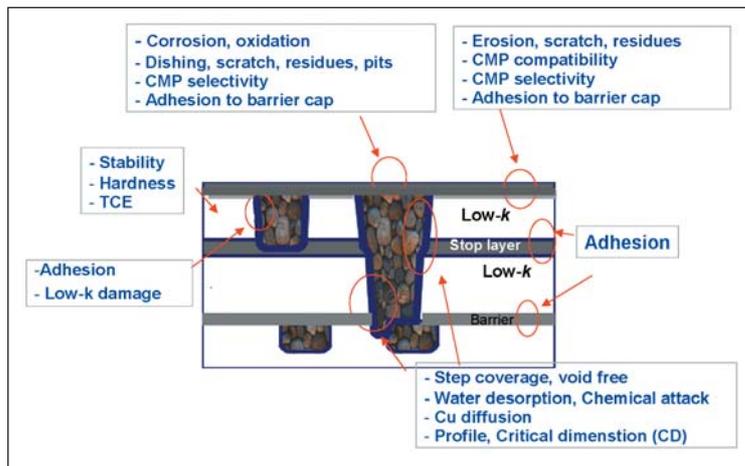
▲圖一 (a)依序鍍上介電障礙包層、低介電絕緣層、蝕刻停止層及罩層等；(b)以微影技術定義栓孔圖形；(c)蝕刻栓孔，去光阻並清洗；(d)先塗佈填充材料後以微影技術定義金屬連線圖形；(e)蝕刻金屬連線溝槽，去光阻，並清洗；(f)填入銅金屬障礙層，如Ta、Ta₂N₃；(g)填入銅晶種(Cu Seed)；(h)電鍍銅；(i)銅化學機械研磨；(j)鍍上介電障礙包層，重複進行(a)-(i)步驟，製成多重連線

外⁽⁶⁾，另有研究以自動對準(Self-aligned)障礙層技術(如圖三)做為改進方向，如CEA-LETI、Philips及STMicroelectronics共同研發之無電鍍(Electroless Plating) CoWP與NiMoP，Philips與STMicroelectronics 共同研發45奈米用之CuSiN等^(2,6)，主要目的都是希望避免目前銅導線與於上層包覆用之SiN介電障礙層間附著力不佳所衍生的電致遷移失效，及防止SiN所造成的有效介電值(Effective k-value)之增加，這些技術仍需進一步在製程控制及可靠度之驗證上持續努力。

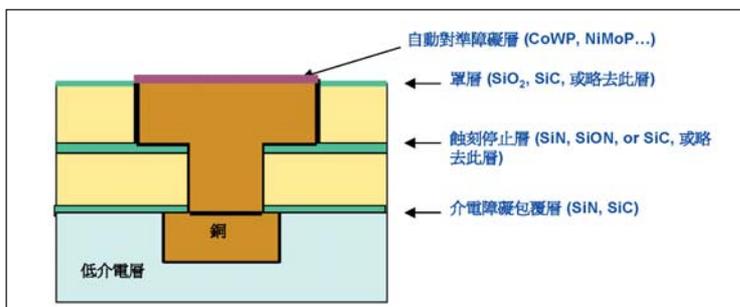
除了尺寸的縮小化，對65 nm 奈米及45 奈米世代而言，降低連線中電阻及電容造成的速度延遲效應，是提高元件效能及速度必然的要求。目前國內外先進半導體相關業者，也將龐大的資源投注於超低介電材料($k < 2.5$)及其製程整合、可靠度與後續封裝等研究。所使用的超低介電層材料，包括SiOC、SiCOH、MSQ (Methyl-silses-quioxane) ...等⁽²⁾，可用化學氣相沉積(Chemical Vapor Deposition)或塗佈(Spin-on)方式鍍膜。然無論選用那一種超低介電層，都必須達到介電常數低、熱膨脹係數低、不吸水、硬度高、强度高、抗蝕刻及化學侵蝕、可直接化學機械研磨、崩潰電壓

高、和其他薄膜附著力佳及製程相容等特性要求。

目前使介電值降低的方法，可用加碳或增加孔隙(Pore)於矽氧化物中來達成。然而碳量的增加，會使材料硬度及強度降低，容易在銅化學機械研磨中剝離或膜裂，且在蝕刻過程中，更易被蝕刻反應氣體或電漿所傷害，或因不耐後續的化學清洗液而質變，造成介電值的增加或缺陷的生成，甚或在打線封裝時，因超低介電層強度不足而剝離或膜裂，此外還有可靠度的問題，因此在製作超低介電材料



▲圖二 銅及低介電層製程整合的挑戰



▲圖三 無電鍍自動對準障礙層(CoWP, NiMoP...)

時，必須兼顧介電值及硬度與強度，以及和銅在製程整合上的相容性。在硬度上之改善，關鍵在於介電材料沉積用之反應氣源(Reaction Gas)、前驅物(Precursor)選擇及後續之硬化處理，且蝕刻時需選用合適蝕刻氣源及清洗溶液，以避免超低介電層損傷；另外電化學機械研磨(Electrochemical Chemical Mechanical Deposition; ECMD)之引進，也都是有助於銅/超低介電層之製程整合。而另一方面，若以增加孔隙來降低介電值，則除了硬度強度降低、不耐銅化學機械研磨外，主要面臨到蝕刻完銅連線溝槽及栓孔後，側壁露出的孔隙將使銅金屬障礙層及銅之覆蓋率及填充不佳，造成銅連線及栓孔失效或可靠度的問題，因此孔隙密封的製程研究，也是重要的一環。

因銅及超低介電層連線製程有其極限，金屬連線除在製程方面積極研發外，元件設計者也在研究如何從設計端及測試結構，使製程有較高的良率及元件效能。此外，線上及時的缺陷及電性檢測能力的提升，對提高良率也有相當的助益。

另一方面，關於45奈米之後的連線，除了推展銅及超低介電層連線製程之研究外，在探索新連線系統方面，另有以氣縫(Air Gap, $k=1$)取代超低介電材料^(2,3)，或如Fujitsu以奈米碳管(Carbon Nanotube; CNT)做栓孔或導線，以及適用1.3微米或1.55微米之光學連線等，不同的研究群在研究⁽²⁾，但

因仍有許多技術瓶頸尚未突破，還屬早期探索階段。

結語

自0.13微米世代以來，國內外先進半導體廠，經過不斷的努力及突破，終能使用銅連線及低介電層($k=2.7\sim 2.9$)製程從事量產作業，甚至以此為基礎，用以進行90奈米量產。然在進入65奈米之際，除尺寸縮小外，超低介電層($k<2.5$)之使用，將會是製程整合、可靠度及封裝技術上另一大挑戰，因此在銅障礙層及銅之覆蓋率及填充能力的提升、防止碳含量增加及孔隙造成之硬度強度降低，以及封裝技術的改進，都勢必成為研究重點。而另一方面，元件設計者在連線設計與測試結構上的改進，以及線上及時缺陷檢測的能力提升，也將對良率的提升有極大的助益。至於在45奈米之後的連線系統，則有氣縫(Air Gap, $k=1$)絕緣、奈米碳管栓孔或連線，以及光學連線等之研究，但尚屬早期探索階段。

參考文獻

1. T. R. Yew, Y. Huang, H. D. Chung, and W. Lur, The Six Symposium on Nano Device Technology, SNTD' 99, pp.13-16 (1999).
2. Proceedings of the 2004 International Interconnect Technology Conference, San Francisco (June, 2004).
3. J. A. Cunningham, Semiconductor International, pp.97-102 (May, 2000).
4. Solid State Technology, p.17 (April, 2001).
5. Semiconductor International, (Feb, 2004).
6. L. Peters, Semiconductor International, pp.42-47 (Jan., 2004).