

# 低介電常數材料於積體電路 及薄膜電晶體顯示陣列 技術之應用

劉柏村\* 張大山\*\* 張鼎張\*\*\*

\* 國立交通大學光電系 顯示科技研究所 副教授

\*\* 國立清華大學電子研究所 博士生

\*\*\* 國立中山大學物理系 教授

## 摘要

在先進半導體製程中，增加金屬內連線層數與縮小導線間距離的方式，已成為提升積體電路效能的必然發展趨勢。但由於電路中寄生電阻與電容的效應，導致電子訊號在積體電路中傳送速度大幅降低；在導體連線架構中，使用低介電常數材料是克服此一問題的主要方法。本文將探討低介電常數材料之特性及其在製程整合上之技術挑戰。此外，在文中也將介紹將低介電常數材料應用於薄膜電晶體顯示陣列上的新穎製程技術。

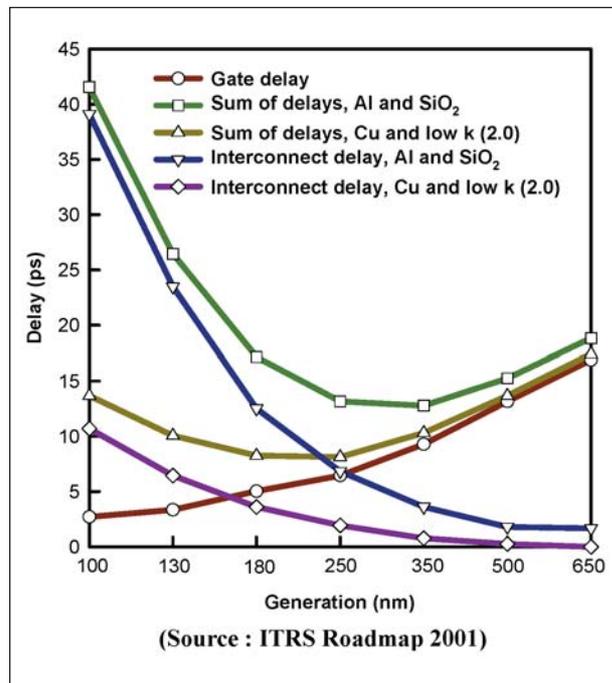
## 關鍵詞

導體連線(Interconnects)、低介電常數材料(Low-dielectric-constant Materials)、薄膜電晶體(Thin Film Transistor)

## 簡介

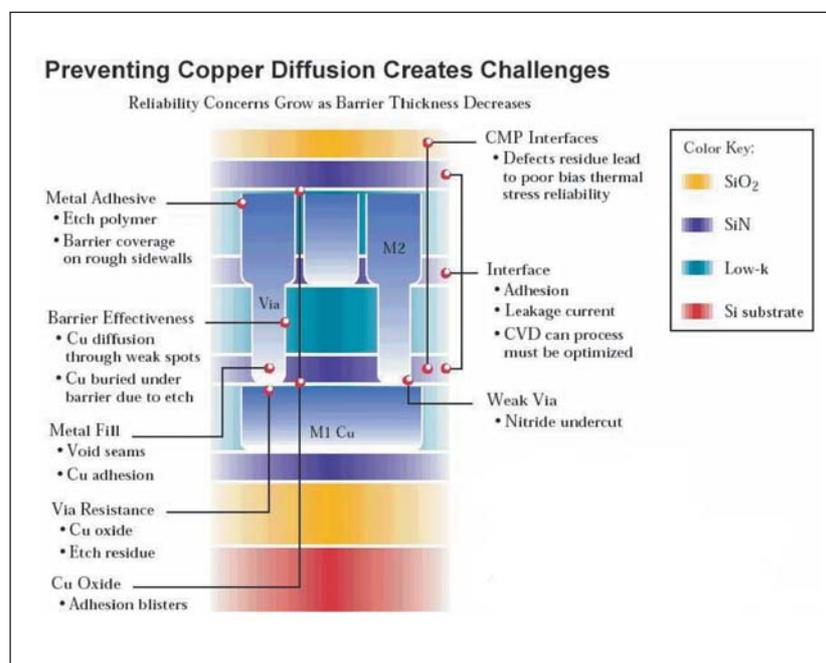
先進半導體微電子產品的製造技術，是藉著電晶體尺寸的不斷微縮與積集度的增加，來達到製作高速、高效能與多功能性積體電路的目標。一

般而言，積體電路(Integrated Circuits; ICs)中元件間極信號的延遲會隨著線寬尺寸的減少而呈線性的減少。相對於電晶體元件的微型化及積集度的增加，半導體積體電路中導體連線(Interconnect)數目不斷地增多，使得電子訊



▲圖一 不同世代製程中電路訊號間的傳輸延遲關係

號在連線系統中傳遞的時間延遲（簡稱為RC延遲）顯著地受到系統中寄生電阻(Parasitic Resistance; R)及寄生電容 (Parasitic Capacitance; C)效應的影響，呈現隨著線寬尺寸減少的平方而增加的趨勢（圖一）。因此，在奈米電子連線技術領域中，必須引入具有低電阻率的金屬導線及低寄生電容值的導線間絕緣膜 (Intermetal Dielectric; IMD)，才能有效提昇電子晶片之操作速度。目前先進的技術是採用銅金屬來取代鋁，以降低導線電阻及增強抗電致遷移的能力；而使用低介電常數 (Low-k)材料取代二氧化矽（介電常數約為3.9）



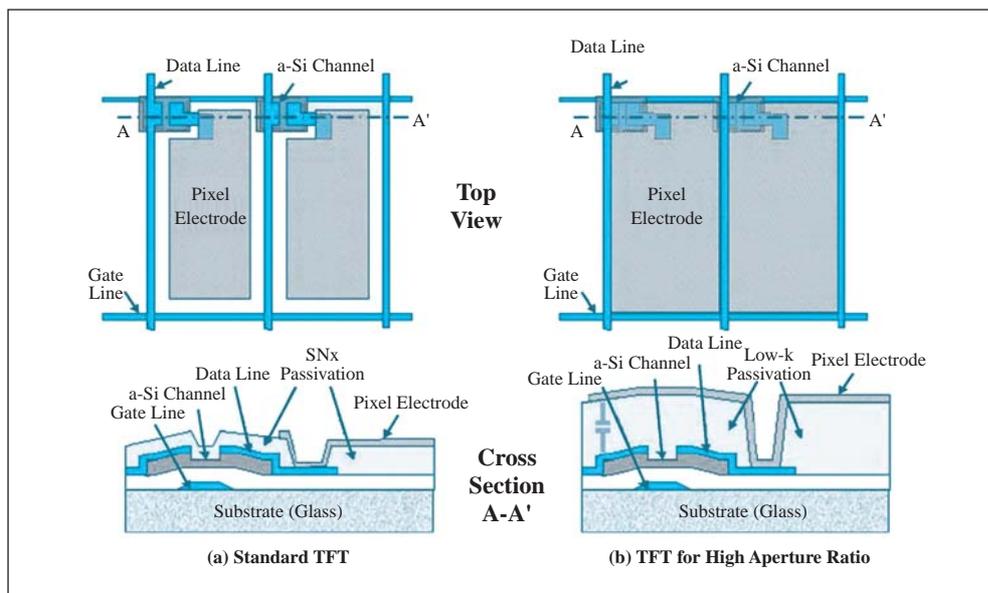
▲圖二 先進製程中的多層導體連線架構圖

做為金屬間介電層，得以有效降低電路中的寄生電容，如圖二所示<sup>(1-3)</sup>。尤其，時值電子元件技術跨入奈米級尺寸領域之今日，介電常數小於2.2以下的極低介電常數(Ultra Low-k)材料現正不斷積極研發之中。應用這些低介電常數材料於

銅多層導線架構時，除了材料基本的特性外，還有必要去深入研究製程中的整合技術<sup>(4-7)</sup>。

近年來，除了先進積體電路製程中會運用低介電常數材料的技術之外，在主動式矩陣(Active Matrix)驅動的薄膜電晶體液晶顯示器(TFT-LCD)技術中，由於市場的要求，希望顯示電路能達到高可靠性(Reliability)、高效能(Performance)以及高解析度(Resolution)，因此在製程研究上，也開始考慮引入低介電常數材料做為薄膜電晶體元件的保護層，以期提昇顯示器畫素的開口率(Aperture Ratio)及操作性能<sup>(8,9)</sup>。在傳統的薄膜電晶體製程中，已廣泛使用氮化矽層(介電常數約為8)做為薄膜電晶體元件的保護層，然而為了降低耦合電容所導致的

串音(Cross Talk)與信號失真的現象，在電路設計中畫素電極與信號線及掃描線間的重疊區域必須縮小，此外，為了避免畫素漏光的現象發生，製程上會使用較多的黑色矩陣(Black Matrix; BM)材層來達到遮光的目的，卻因此容易造成畫素開口率的下降，如圖三(a)所示<sup>(8)</sup>，進而降低顯示的亮度。所以，如何設計畫素以達到最佳的開口率，已成為薄膜電晶體液晶顯示器當前的一大研究課題。而應用低介電常數材料(介電常數小於3.9)於薄膜電晶體顯示陣列製程上時，可以增大顯示畫素的開口率。如圖三(b)所示<sup>(8)</sup>，以低介電常數材料取代氮化矽後的電路設計，由於寄生耦合電容的降低，使得畫素電極延伸超過信號線和掃描線上方，可進一步有效提昇畫素



▲圖三 標準薄膜電晶體及高開口率薄膜電晶體面板示意圖

表一 低介電常數材料所需具備之條件

Film Properties	Manufacturing
<b>Dielectric Constant:</b> - Bulk:k = 2.5~3.0 - Effective: k<3.0  <b>Thermal Stability:</b> - High Thermal Conductivity - Tg>400°C, Stable Above 425°C for Short Periods - Low Expansion  <b>Electrical Properties:</b> - High Reliability - Leakage Current: Similar to SiO <sub>2</sub> - Breakdown Field: Similar to SiO <sub>2</sub> - Dissipation Factor: <0.01 - Low Charge Trapping  <b>Film Composition:</b> - Low Film Stress - > 2μm Thick Cracking Threshold	<b>Integration:</b> - Good Adhesion to Metals (Ta, TaN, TiN, Cu), Oxides/Nitrides  - CMP Compatible  - Minimize Need for Liner/Capping Films  - Etch Selectivity to Nitrides, Oxides, Oxynitrides  - O <sub>2</sub> Ash/Solvent Compatible  - Avoid C <sub>2</sub> H <sub>6</sub> , C <sub>3</sub> H <sub>8</sub> (CVD)  - Avoid Toxic Solvents (Spin-on Dielectrics)

的開口率，並且提高顯示面板的整體亮度。本文將針對目前先進半導體製程，以及TFT-LCD製程中對低介電常數材料的應用及相關的整合問題做一系統的介紹。

### 低介電常數材料的基本特性與要求

一般低介電常數材料的製作有兩種方法，一為降低材料自身之極性 (Polarization)，以製作出低介電常數材料，如：FSG (Fluorinated Silicate Glass)、BCB (Benzocyclobutene)等<sup>(10-11)</sup>。另一方法則是使材料密度變得較為

鬆散或者在材料中形成孔洞(Void)，以達到降低介電常數的效果，如：HSQ (Hydrogen Silsesquioxane)、SiOC:H、XLK等<sup>(12)</sup>，其中又以多孔性 (Porous)的極低介電材料可具有低於2.2的介電常數。然而，低介電常數材料除了需要具有低的介電常數之外，在應用於積體電路的製程整合上時，還需要滿足其他物理、材料及電性等要求，如表一所示。例如，低介電常數材質必須具有足夠的機械強度 (Mechanical Strength)來支撐多層連線的架構，並且具有高的崩潰電壓 (Breakdown Voltage>4 MV/cm)、低漏電流 (Leakage

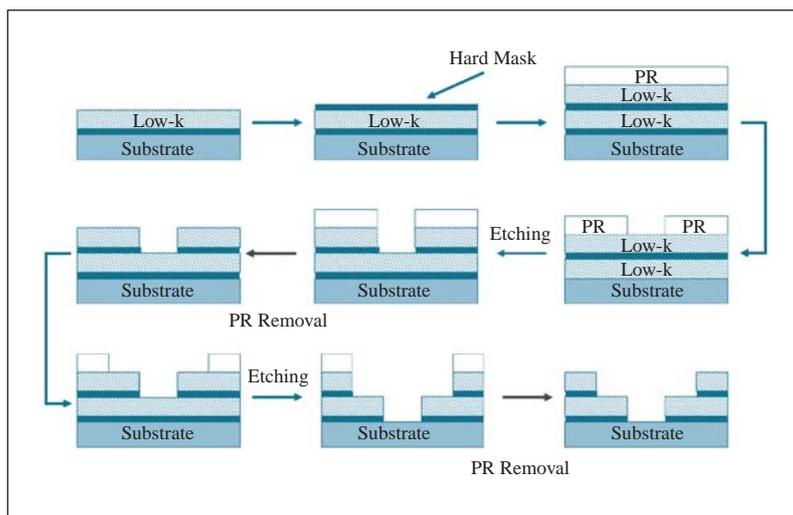
Current  $<10^{-9}$  at 1 MV/cm)、高薄膜熱穩定性(Thermal Stability $>450^{\circ}\text{C}$ )、好的薄膜黏著強度 (Adhesion Strength)、好的填洞能力 (Gap Filling Ability)、高平坦化能力 (Planarization)、低吸水性 (Low Moisture Uptake)、低薄膜應力 (Low Film Stress)、高楊氏係數(Young's Modulus)、低熱膨脹係數(Coefficient of Thermal Expansion; CTE)與化學機械研磨製程的相容性(Compatibility with CMP Process)等等。然而，目前似乎不太容易找出完全具備上述優良特性的完美低介電常數材料。例如，薄膜的介電常數與熱傳導係數往往就呈現反比例的關係。因此，低介電材質本身的特性，將明顯地影響到製程整合的難易度。

### 低介電常數材料應用於積體電路製程整合技術之探討

多層導體連線的架構從鋁導線演化到銅導線製程時，由於乾式蝕刻製程無法有效蝕刻出銅金屬導線圖案，使得連線製程技術將由習知的金屬蝕刻(Subtractive Etch)演變為蝕刻介電層的銅鑲嵌式製程 (Cu Damascene)。目前多層

導體連線製程是以雙重金屬鑲嵌法製程(Dual Damascene)為主，其製程流程如圖四所示。首先，利用微影及蝕刻製程在介電絕緣層中定義出線槽 (Trench)及介層窗(Vias)。由於銅原子具有高的擴散性，通常需要在銅金屬層與介電絕緣層中加上一層金屬阻障層 (一般使用氮化鈮(TaN))，以防止銅的擴散。接著，沉積銅晶種層(Seed Layer)，並進行銅金屬導線的電鍍製程 (Electroplating Process)。最後，進行銅金屬導線的化學機械研磨製程(Chemical Mechanical Polish; CMP)，將溝槽圖像之外區域的銅導線及阻障層去除，並覆蓋一絕緣層 (例如：氮化矽(Si<sub>3</sub>N<sub>4</sub>)或碳化矽類(SiC)的薄膜) 來保護銅導線，避免金屬導線氧化。

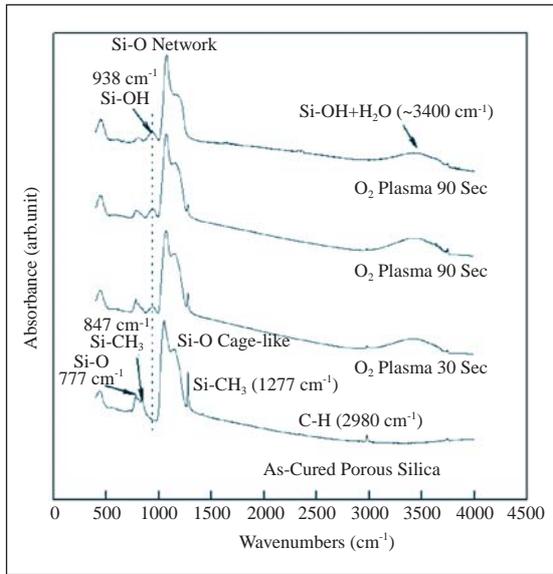
而在上述製程中，首先將遇到的挑戰是光阻剝除的技術<sup>(13)</sup>。在光阻剝除的步驟中，目前是採用氧氣(O<sub>2</sub>)或臭



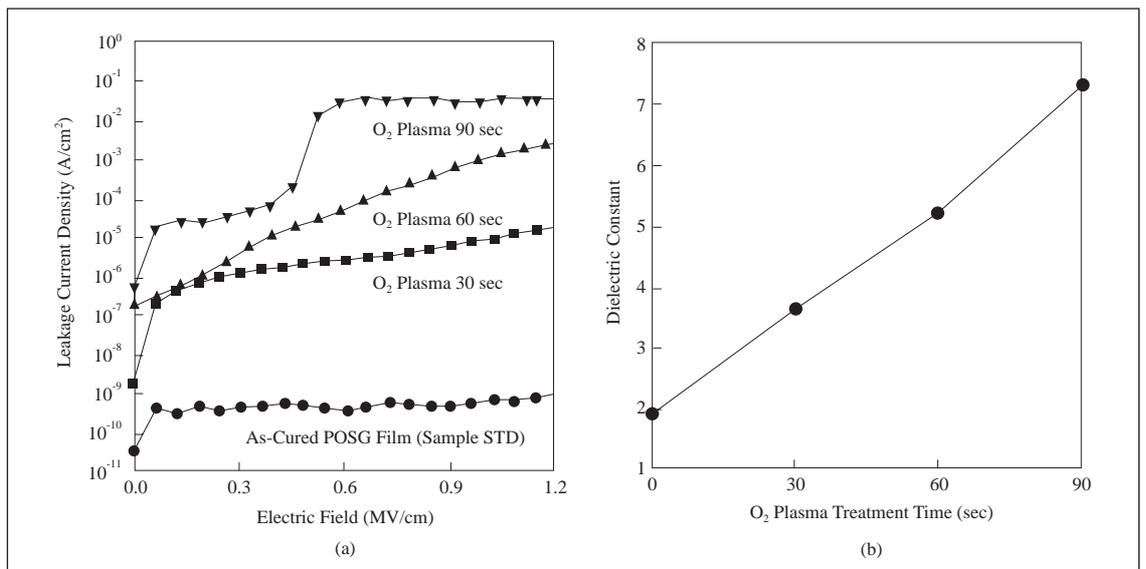
▲圖四 雙重金屬鑲嵌製程流程圖

氧(O<sub>3</sub>)氣體電漿製程來灰化(Ashing)光阻材料中大部分的碳氫元素，並且使用濕式化學去除液(Wet Stripper)來將殘餘在表面的光阻去除。然而，這些光

阻剝除的製程，常會影響低介電常數材料（尤其是有機類低介電常數材料，更為嚴重），破壞其薄膜中的化學官能基 (Functional Groups)，造成薄膜的吸水，進而導致介電特性的劣化 (Dielectric Degradation)。圖五是多孔性低介電常數薄膜POSG經過氧電漿灰化製程後的薄膜傅立葉轉換頻譜圖 (Fourier Transform Infrared Spectrometer)。在此圖中化學官能基強度的下降，可以清楚地顯示氧氣電漿製程對低介電薄膜鍵結結構的劣化影響。圖六則顯示了POSG經過灰化製程後的電性及介電常數值的改變。其電性由原先的穩定狀態遽升4個級數，整個薄膜電性已達崩潰(Breakdown)的臨界值；此外，其介電常數也從原先的2上升至7以上，這是由於低介電常數薄膜吸附了大量水氣所造成。因為經過氧氣電



▲圖五 經過光阻灰化製程的POSG傅立葉轉換頻譜圖

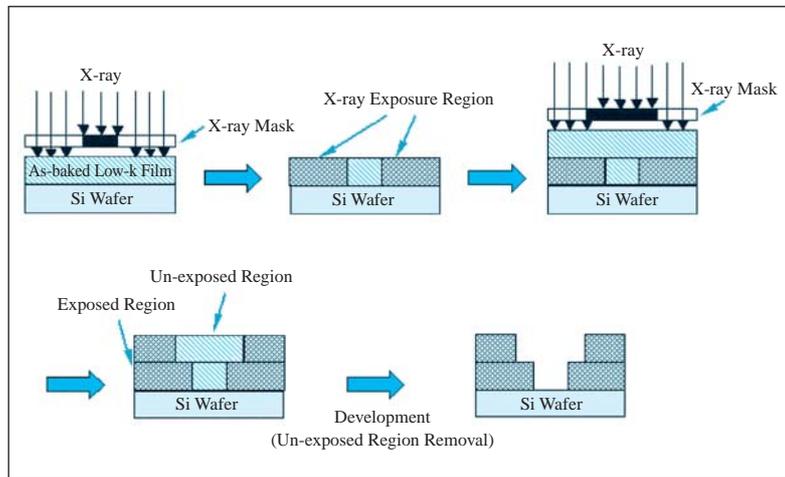


▲圖六 經過光阻灰化製程的POSG薄膜(a)電性圖；(b)介電常數圖

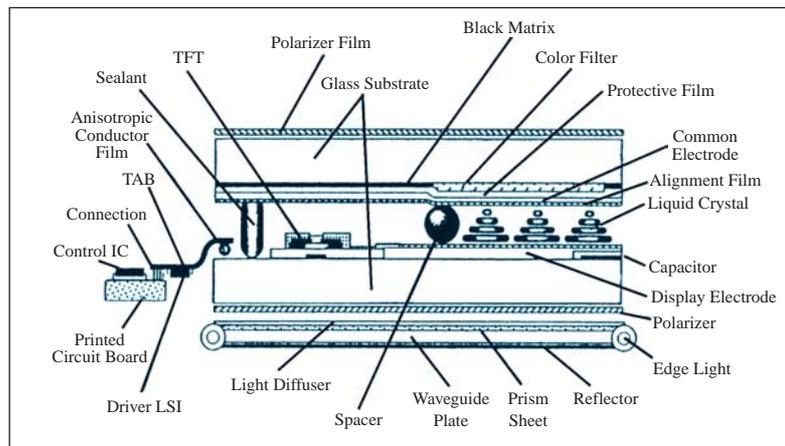
漿灰化後，薄膜中的主要化學鍵如Si-C、Si-O、Si-CH<sub>3</sub>及C-H等已被破壞，而水氣吸附則造成圖中明顯的Si-OH鍵結出現。如此的薄膜已經不堪勝任多層導體連線中的絕緣層，這些問題都需要加以改善甚或避免<sup>(14,15)</sup>。

最近有二項前瞻性的研究，以X射線(X-ray)及電子束(Electron Beam)微影技術對低介電常數材料進行直接圖形化的製程(Direct Patterning)<sup>(16,17)</sup>。這項技術可以省去傳統製程中的光阻塗佈與光阻灰化的步驟。藉由X-ray（或電子束）照射旋塗沉積的低介電常數薄膜，將使得低介電常數薄膜的單體產生交聯反應(Cross Linking)，進而達到固化的狀態。而未受到照射的薄膜區域將可溶解於特定溶劑中，因此可以得到我們想要定義的線槽或接觸窗圖案，其製程步驟如圖七所示（在此，電子束直寫製程並未繪出）。此二項技術不但將製程步驟簡化，還可

省去光阻剝除的步驟，以及蝕刻製程對低介電常數薄膜帶來的傷害，進而達到節省成本及提高製程良率的目的。在此製程中，X-ray以及電子束的照射劑量及時間的控制是此二項技術最重要的環節。研究中也指出，經過X-ray或電子束直接照射後的低介電常數材料仍具備著良好的薄膜特性，非常適用於未來奈米電子領域中奈米元件的製程技術。



▲圖七 X射線直接圖形化製程流程圖

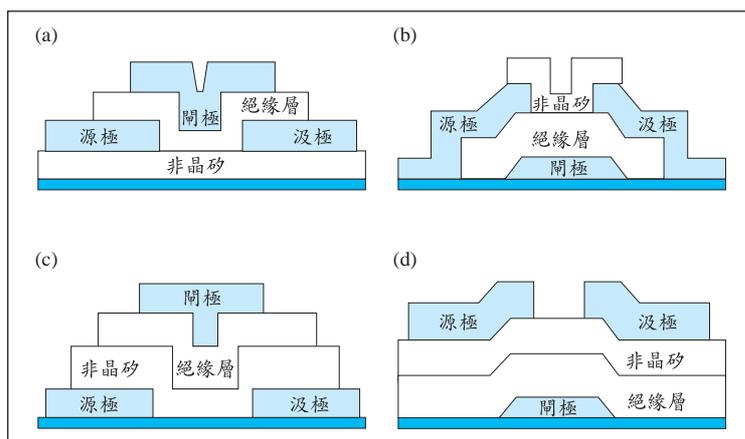


▲圖八 薄膜電晶體顯示器面板之結構示意圖

## 低介電常數材料應用於 TFT-LCD陣列製程整合 技術之探討

一般的非晶矽TFT結構通常是以閘極電極在上層或在下層來做區分，其結構分為交錯型(Staggered)和共平面型(Coplanar)，其中又有不同設計，如圖九所示共有四種結構，每種不同的結構設計皆有其應用之處。然而其中以逆交錯型(Inverted Staggered)結構最廣泛為非晶矽TFT製程所用，而逆交錯型TFT製程又分兩類：後通道蝕刻(Back-channel-etched)和後通道保護(Etch-stop)。本文中介紹的TFT製程將以業界最常採用的後通道蝕刻製程為主。TFT製程步驟包括了成膜、微影、蝕刻及金屬化等製程。首先沉積閘極金屬，經微影及蝕刻製程後即完成閘極電極的定義，接著連續沉積氮化矽、非晶矽主動層以及N型重摻雜矽層

(n<sup>+</sup>-Si)，再經由第二道光罩定義出矽主動區(Si Island Region)，接著沉積第二層金屬電極，再利用微影及蝕刻製程定義源極與汲極電極並完成整個TFT元件基本結構。最後進行保護層以及透明金屬氧化錫銻(ITO)之沉積步驟。過程中的步驟和積體電路製程中成膜、微影、蝕刻及金屬化製程非常類似，如圖十所示。製程中的第三道光罩是用來定義出儲存電容(Storage Capacitance)上之電極。在此製程中值得注意的是，非晶矽主動層的形成通常是在低溫下(450°C)進行含氫的非晶矽薄膜沉積，若製程中的溫度太高，則會造成非晶矽膜中氫鍵的斷裂及揮發，使之無法保留在非晶矽膜之中。此外，在元件保護層的製程中，傳統上保護層的材料是氮化矽(更早前是用二氧化矽)，而目前隨著顯示面板要求高亮度、高解析度，以氮化矽做為保護層之製程步驟將逐漸被低介電常數材料層來取代，藉以



▲圖九 四種非晶矽薄膜電晶體元件結構圖(a)上閘極共平面型；(b)下閘極共平面型；(c)上閘極交錯型；(d)下閘極交錯型

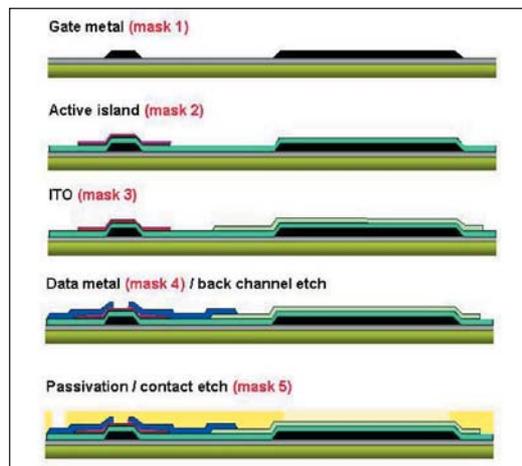
增加畫素的開口率、降低電路中串音的現象。不僅如此，一般而言相較於氮化矽，低介電常數材料亦有著相當好的可見光穿透率，其應用於薄膜電晶體元件結構中的示意圖如圖三所示<sup>(8)</sup>。

目前所使用的低介電常數材料成膜步驟，是在TFT元件完

成後才沉積於其上做為保護層。其沉積方法可利用電漿增強式化學氣相沉積法(PECVD)或是旋塗法(Spin-on)這兩種技術。此二者皆可沉積出穩定且均勻的薄膜，其中PECVD可藉由適當控制的電漿功率、溫度、通入氣體壓力、氣體比例與膜厚來控制最佳的薄膜特性。而旋塗法則是簡單且適用於絕大多數的低介電常數材料塗佈的一種沉積法<sup>(8,18)</sup>。在製程整合步驟中，我們可以發現多數的低介電常數薄膜如同在積體電路製程中一樣，有著良好的平坦化及填洞能力(Gap Filling)，在乾式蝕刻的步驟裡也具有好的蝕刻選擇比(Etching Selectivity)，對於後續的金屬接觸也有著極佳的階梯覆蓋率(Step Coverage)<sup>(9)</sup>。然而，當低介電常數材料整合於非晶矽TFT製程時，製程溫度的控制必須非常的小心。一般在積體電路製程中，為了要求低介電常數薄膜能夠有良好的機械強度、電性、抗化性以及高崩潰電壓等特性，

會在薄膜形成的過程中，利用爐管在特定的溫度中進行薄膜的固化(Curing)以及回火(Thermal Annealing)步驟。在非晶矽TFT製程中，高溫是需要盡量避免的一個要件，否則若超過450°C，非晶矽中的氫鍵將因高溫而被破壞。所以在製程中低介電常數薄膜的成膜溫度需控制在350~400°C，甚至更低。

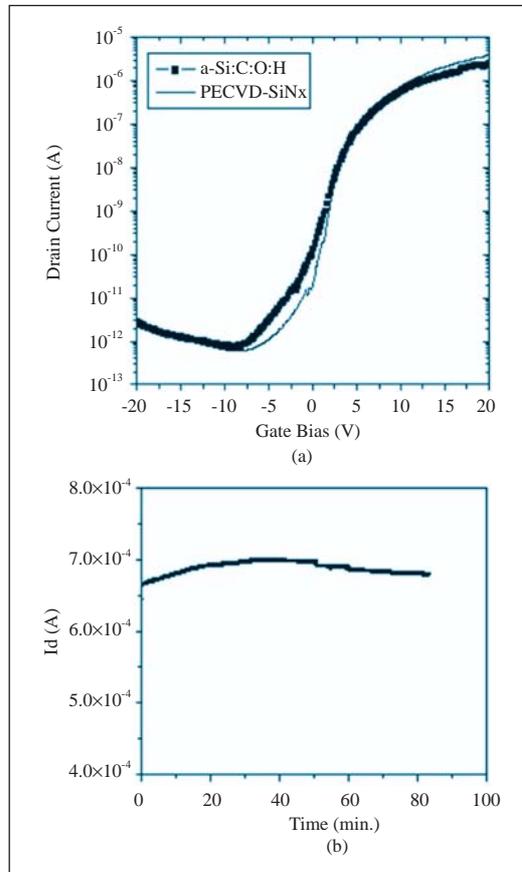
關於低介電常數薄膜a-Si:C:O:H的



▲圖十 非晶矽後通道蝕刻TFT製程流程

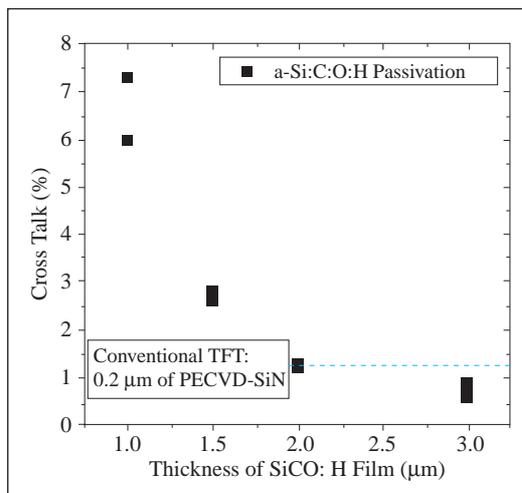
表二 a-Si:C:O:H薄膜成長條件及其特性

Growth Condition	Growth Temperature (°C)	250
	Pressure (Torr.)	2~3
	Power Density (W/cm <sup>2</sup> )	1.25~1.67
Composition (From RBS-HFS) (Atom %)	Silicon Content	15~22
	Oxygen Content	17~30
	Carbon Content	18~21
	Hydrogen Content	34~45
Bulk Density (g/cc)	1.08~1.32	
Transmittance (350~800nm)	>95%	
Relative Dielectric Constant @ 1MHz	2.7~3.5	
Breakdown Field @ 10 <sup>-3</sup> A/cm <sup>2</sup>	4.4~6.6MV/cm	
Leakage Current Density @ 1MV/cm	<10 <sup>-10</sup> A/cm <sup>2</sup>	



▲圖十一 (a)以a-Si:C:O:H為保護層之標準化製程薄膜電晶體的特性轉移曲線圖；(b)以a-Si:C:O:H為保護層之薄膜電晶體的穩定測試曲線圖

►圖十二 在薄膜電晶體面板中，以a-Si:C:O:H為保護層，其厚度與串音值之相對關係圖



成長條件及其特性如表二所示。利用低介電常數薄膜a-Si:C:O:H當作TFT元件之保護層的電性特性則如圖十一<sup>(18)</sup>所示。由圖中可發現，在沉積低介電常數薄膜後，薄膜電晶體元件轉移特性曲線顯示出幾乎和傳統以氮化矽為保護層的薄膜電晶體特性曲線有著一樣的開關比 (On/Off Ratio)；在穩定性方面，經由閘極施加20V的高直流電壓，源極施加10V的操作電壓，持續5000秒後測試發現，源極電流( $I_d$ )曲線在操作期間幾乎是維持一條水平，可謂展現出薄膜電晶體元件之穩定性。另外，串音與低介電常數薄膜厚度的相關性，是藉由15吋面板進行測試，如圖十二所示<sup>(18)</sup>。由圖十二中可以發現，串音的程度是和保護層的厚度成反比，這意味著對於顯示電路中電容耦合的現象，保護層的厚度有著重要的影響。相較於氮化矽薄膜，由於低介電常數材料具有良好的透光性，所以我們可利用其低的介電常數值以及適當控制低介電常數薄膜的厚度，以大幅降低RC延遲以及串音的問題。最後，在表三<sup>(18)</sup>中可以比較出傳統以氮化矽為保護層的15吋液晶顯示器面板和以低介電常數薄膜為保護層的面板間的特性差異。以低介電常數薄膜為保護層的面板在穿透率方面較傳統面板高出約30%；在亮度方面也比傳統面板高出約30%。由以上種種數據顯示，藉由低介電常數材料的應用，可使液晶顯示器面板在開口率和亮度方面獲

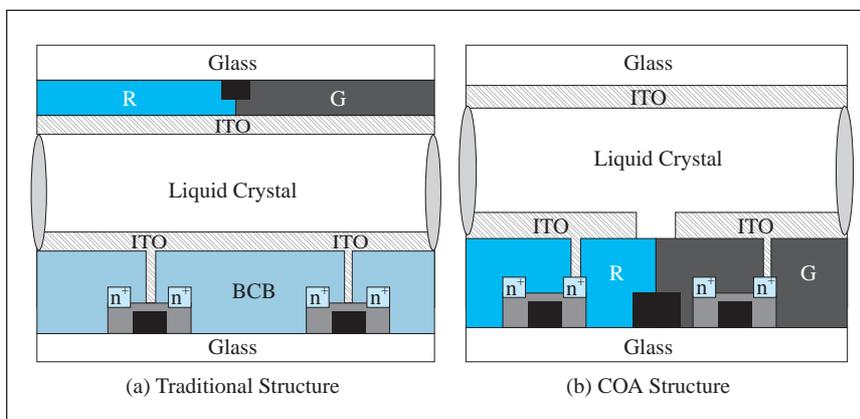
得大幅度的改善。

除了將低介電常數材料應用在取代氮化矽做為元件保護層之外，另外還有一項和彩色濾光片有關的前瞻性技術，不僅可以大幅改善開口率，還能解決大面板對準問題，此一技術稱為Color Filter On Array (COA)。

在傳統的彩色濾光片製程，濾光片膜並不與薄膜電晶體陣列製作在同一個玻璃面板上 (Panel)。如此一來，就必須在彩色濾光片塗佈完成後再與TFT元件陣列的面板進行對準步驟。當顯示面板的尺寸愈大時，此一對準技術的挑戰將變得愈高。COA這項技術則是將彩色濾光片膜直接塗佈於TFT元件面板之上，如此可以解決兩塊面板對準之問題，並可以當作TFT元件的保護層以及改善畫素開口率。傳統濾光片面板與COA面板的結構如圖十三所示。當彩色濾光片膜整合於TFT陣列面板時，技術的挑戰將遭遇到製程中的微影、蝕

表三 高開口率面板和標準化製程面板之間的特性比較

	High Aperture-ratio (Low-k a-Si:C:O:H)	Standard Pixed (SiNx)
Brightness (9-Point Average)	210 cd/m <sup>2</sup>	160 cd/m <sup>2</sup>
Transmittance	8.47%	6.57%
Contrast Ratio	210:1	230:1
Crosstalk (max.)	3.86%	3.98%
Passivation Layer Thickness	20,000Å	2,000Å



▲圖十三 傳統彩色濾光片結構和COA結構示意圖

刻及金屬化製程；此外，RC延遲和顏色不均(Mura)等問題也都必須詳加考慮。因此，成功的COA整合技術是希望能在不改變原本色彩飽和度的情況下，將彩色濾光片膜的介電常數值降低，以解決RC延遲以及顏色不均的問題。如何使彩色濾光片膜維持既有之色彩特性，又同時具備良好的低介電常數材料特性，是目前這項技術的一大研究發展方向。

### 結論

經過上述文章中的討論可知，低介電常數材料的應用將越加廣泛。不

過，各方面技術的挑戰也有待一一克服，諸如：薄膜的機械強度、熱穩定性、孔洞的分佈與尺寸的控制，以及與銅雙重鑲嵌製程的整合相關技術等等。尤其當低介電常數薄膜整合於薄膜電晶體製程時，薄膜材料的厚度、透光性、光阻灰化製程、蝕刻製程、低溫固化與回火製程，以及沉積薄膜後電晶體元件特性等相關技術，都是目前迫切需要研究的主題，也將是未來主動式驅動薄膜電晶體顯示陣列技術發展的重要方向之一。

### 參考文獻

1. T. Ohba, "Material and process challenges in 100nm interconnects module technology and beyond," J. Electro. Mater., vol. 30, no. 4, pp. 314-319, 2001.
2. M. Armacost, A. Augustin, P. Felsner, Y. Feng, G. Friese, J. Heidenreich, G. Hueckel, O. Prigge and K. Stein, "A high reliability metal insulator metal capacitor for 0.18 $\mu$ m copper technology," in IEDM Tech. Dig., pp. 157-160, 2000.
3. T. Schiml et al., "A 0.13 $\mu$ m CMOS platform with Cu/low k interconnects for system on chip application," in Symp. VLSI Technol. Dig., pp. 101-102, 2001.
4. B. Y. Tsui, K. L. Fang and S. E. Lee, "Electrical instability of low-dielectric constant diffusion barrier film (a-SiC:H) for copper interconnect," IEEE Transactions on Electron Devices, Vol. 48, no. 10, pp. 2375-2383, 2001.
5. M. Fayolle, G. Passemard, M. Assous, D. Louis, A. Beverina, Y. Gobil, J. Cluzel, and L. Arnaud, "Integration of copper with an organic low-k dielectric in 0.12- $\mu$ m node interconnect," Microelectronic Engineering, vol. 60, pp. 119-124, 2002.
6. G. Passemard, O. Demolliens, Ch. Lecornec, P. Noel, JC. Maisonobe, P. Motte, J. Palleau, F. Pires, L. Ravel, J. Torres, and F. Vinet, "Single damascene integration of BCB with copper," in proc. VLSI Multilevel Interconnection Conference (VMIC), 1998, pp. 63-68.
7. X. W. Lin, and D. Pramanik, "Future interconnect technologies and copper metallization," Solid State Technol., pp. 3-79, Oct. 1998.
8. Wan-Shick Hong, SID 03 digest, pp. 1508-1511, 2003.
9. R. Jeyakumar, K. S. Karim, S. Sivoththaman, and A. Nathan, proc. 23th internation conference on microelectronics (MIEL 2002), Vol 2,12-15 May, 2002
10. T. Homma, and Y. Murao, "A new interlayer dielectric film formation technology using room temperature flow CVD," in proc. VLSI Multilevel Interconnection Conference (VMIC), 1993, pp. 71-77.
11. S. Bothra, M. Kellam, and P. Garrou, "BCB as an interlevel dielectric in a multilevel metal system," in proc. Int. VLSI Multilevel Interconnection Conf., Santa Clara, June 1993, pp. 131-134.
12. R. N. Vrtis, K. A. Heap, W. F. Burgoyne, and L. M. Robeson, "Poly (arylene ether) s as low dielectric constant material for ULSI interconnect application," in Proc. VLSI Multilevel Interconnect Conference (VMIC), 1997, pp. 620-622.
13. P. T. Liu, T. C. Chang, S. M. Sze, F. M. Pan, Y. J. Mei, W.F. Wu, M. S. Tsai, B. T. Dai, C. Y. Chang, F. Y. Shih, and H. D. Hung, "The effect of plasma treatment for low dielectric constant hydrogen silsesquioxane (HSQ)," Thin Solid Films, vol. 332, pp. 345-350, 1998.
14. T. C. Chang, Y. S. Mor, P. T. Liu, T. M. Tsai, C. W. Chen, Y. J. Mei, F. M. Pan, and S. M. Sze, "Preventing dielectric damage of low-k organic siloxane by passivation treatment," Microelectronic Engineering, vol. 60, pp. 469-475, 2002.
15. S. E. Schulz, H. Koerner, C. Murray, I. Streiter, and T. Gesser, "Influence of barrier and cap layer deposition on the properties capped and non-capped porous silicon oxide," Microelectronic Engineering, vol. 55, pp. 45-52, 2001.
16. N. Stribeck, J.Appl. Crystallography, 34, pp. 496, 2001.
17. P. T. Liu, T. C. Chang, T. M. Tsai, Z. W. Lin, C. W. Chen, B. C. Chen, and S. M. Sze, Appl. Phys. Lett., November 17, vol. 83(20), pp. 4226-4228, 2003.
18. S. Maghsoodi, SID 2003 digest, pp. 1512-1515, 2003.