

矽鍺異質接面雙極性電晶體之製程技術發展

陳坤明

財團法人國家實驗研究院 國家奈米元件實驗室

副研究員

摘 要

矽鍺異質接面雙極性電晶體隨著微波特性的改進與元件製造技術的成熟，已逐漸應用於通訊網路之射頻電路中，又因與CMOS技術間的高度整合性，而成為單一晶片系統(System-on-a-chip)的解決方案之一。本文將介紹矽鍺異質接面雙極性電晶體的基本原理，以及元件的基極與集極之設計方法；同時，針對矽鍺磊晶技術整合於矽雙極性電晶體製程中的方法與可能遭遇之問題，提出一個簡略的說明；最後討論矽鍺BiCMOS之製程技術。

關鍵詞

矽鍺(SiGe)；矽鍺異質接面雙極性電晶體(SiGe HBT)；單一晶片系統(System-on-a-chip)；磊晶技術(Epitaxial Technology)

前言

隨著無線通訊與寬頻網路市場的快速發展，未來的通訊系統將要求更高的速度及頻率與更強大的功能性，並講求質量輕、耗電低及價格低；滿足這些需求的解決方案之一為將接收器、發送器及其它處理電路整合於單一晶片上。因三-五族元件具有高速度與高操作頻率之優點，目前高頻元件

多利用三-五族材料製作；但其高價格、低導熱性及較差的機械強度，使得三-五族元件無法進行積體電路的高度整合。相反地，傳統低成本的矽元件因其較差的頻率響應，並不適用於微波應用，現今矽雙極性電晶體的截止頻率約為50GHz，已達其極限；若將矽雙極性電晶體之基極改為矽鍺材料將可突破此一極限。自西元1987年，矽鍺異質接面雙極性電晶體(SiGe

HBT)被提出以來⁽¹⁾，元件設計與製程經過不斷的改良，其截止頻率已經超過200GHz（見圖一）⁽²⁾，西元2002年IBM公司更於國際電子元件會議(IEDM)上發表高達350GHz截止頻率的矽鍺異質接面雙極性電晶體⁽³⁾；因此，其不僅具有傳統矽元件的低成本及高度整合性的優勢，並有可和三-五族元件相提並論的優異特性，相當具有發展潛力。矽鍺元件自西元1994年開始商品化後⁽⁴⁾，已有多家通訊業者採取矽鍺元件技術來設計射頻積體電路，以矽鍺為材料的BiCMOS技術已逐漸應用於手機及無線區域網路系統。

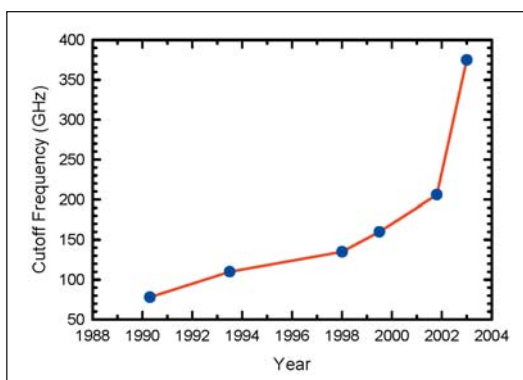
本文將針對矽鍺異質接面雙極性電晶體的設計方法與製程技術作一概括性的介紹。

元件操作原理與設計方法

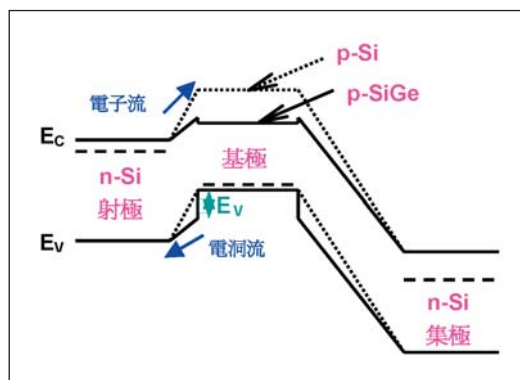
矽鍺異質接面雙極性電晶體藉由將鍺加入n-p-n矽雙極性電晶體的基極中來改變電晶體的特性；其中最顯著之改變為位於p型基極的矽鍺合金之能

隙寬，比位於n型射極與集極區的矽之能隙寬低，此一能隙之不連續性使矽/矽鍺異質接面存在於射-基接面與集-基接面；因此，矽鍺異質接面雙極性電晶體的基本物理與傳統的矽雙極性電晶體有著些許差異。圖二所示為典型的n-p-n型的矽鍺異質接面雙極性電晶體的能帶圖；對矽雙極性電晶體而言，當基-射接面順偏時，射極電流包含了注入基極的電子及回注入射極的電洞，電子與電洞皆遭遇相同的能障，其電流增益直接與摻雜濃度有關。對矽鍺異質接面雙極性電晶體而言，較低的基極能隙寬降低了注入此區的電子能障，使在固定偏壓下的注入電子數增加，而增加集極電流及電流增益；因此，在元件及電路最佳化上，異質接面雙極性電晶體擁有更多的設計空間。矽鍺異質接面雙極性電晶體的電流增益 β 可以下式表示：

$$\beta = \frac{N_E W_E D_P}{N_B W_B D_n} \exp\left(\frac{\Delta E_g}{kT}\right) \quad (1)$$



▲圖一 矽鍺異質接面雙極性電晶體的截止頻率之發展趨勢⁽²⁾



▲圖二 n-p-n型的矽鍺異質接面雙極性電晶體在順向操作時的能帶圖

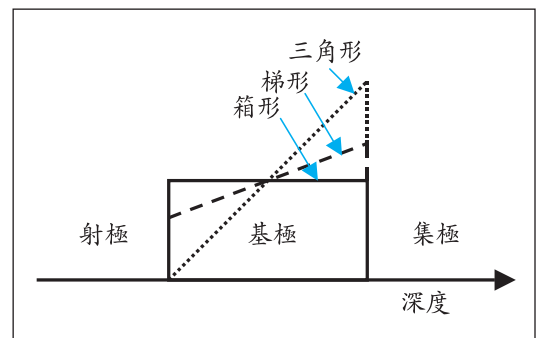
其中 N 及 W 為射極與基極的摻雜濃度及寬度， D_p 及 D_n 分別為電洞及電子的擴散係數， ΔE_g 為矽/矽鍺能隙差， kT 為熱電壓($\approx 26\text{meV}$)；可知電流增益隨 ΔE_g 而呈指數增加。這些增加的電流增益，加上控制磊晶成長較薄的基極寬度，可分別降低射極與基極的傳渡時間(Transit Time)，提高截止頻率 f_T 。除了 f_T 外，另一項重要的微波元件參數為最大震盪頻率 f_{max} ，在雙極性電晶體中， f_{max} 與 f_T 之關係可表為

$$f_{max} = \left(\frac{f_T}{8\pi R_B C_{CB}} \right)^{1/2} \quad (2)$$

其中 R_B 為基極電阻， C_{CB} 為集-基電容。式(2)說明了異質接面雙極性電晶體的另一優點；在同質接面雙極性電晶體中，為了降低由基極至射極的回注電流，基極摻雜濃度必須低於射極摻雜濃度，從而增加了藉由增加基極濃度來降低基極電阻的限制；因此，同質接面元件的 f_{max} 會被嚴重的受限。相對地，異質接面雙極性電晶體的基極可以摻雜比射極還高的濃度，而尚不至於實際損害其電流增益；因此，我們可以調高基極濃度來降低基極電阻及增加 f_{max} 。

由於矽與鍺的晶格常數分別為5.43埃與5.65埃，彼此存在~4%的晶格常數差異，矽鍺磊晶層成長在矽晶片上時會承受到壓縮張力，此一張力隨鍺含量及磊晶厚度的增加而增加，最後會產生差排缺陷來釋放張力；因此，為了避免差排缺陷的產生，矽鍺

磊晶層的厚度及鍺含量有其臨界值。在固定單位面積鍺劑量下（即維持相同磊晶薄膜穩定度），鍺在基極中之分佈，大約如圖三之幾種方式⁽⁵⁾。其中箱形分佈(Box Profile)方式，鍺均勻分佈於基極中，由於電流增益與射-基接面邊界的能隙差呈指數關係，所以可以產生最大的電流增益，也因此通常在基極摻入高濃度的硼，以降低基極電阻，同時維持適度的電流增益。在三角形分佈(Triangular Profile)方面，鍺含量在射-基接面為0%，隨著基極深度再線性增加鍺含量，由於在射-基接面邊界沒有鍺所形成的能隙差，所以其電流增益低於箱形分佈，但由於電流增益正比於鍺的分佈梯度，所以其電流增益仍大於矽雙極性電晶體；另外，由於鍺含量的漸變分佈，將於基極中建立漂移電場，加速電子在基極中的移動，不僅提高 f_T ，也可以產生較大的 βV_A 乘積值（ V_A 為Early Voltage），非常適於高速類比應用。最後的梯形分佈(Trapezoid Profile)則為介於箱形與三角形分佈的折衷方式。在目前元件製程中，若採三角形分佈方式，鍺含量由



▲圖三 鍺在基極中的分佈方式

射-基接面的0%變化至集-基接面的8-15%，是較常使用的方式，其中基極寬度為50-100奈米。在箱形分佈中，25奈米厚的基極，可加入高達40%的銻含量。

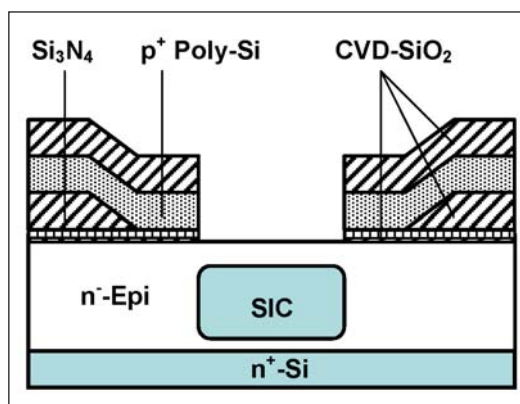
元件之基極層形成後，由於後續高溫製程步驟，將使基極中所含的硼不可避免地向外擴散，造成矽-矽銻界面位於中性基極區中；如此，集-基界面將形成導電帶位障，使少數載子堆積於基極區，增加基極傳渡時間，降低操作頻率。此一異質界面位障效應，通常可藉由改變銻分佈來避免，如事先將矽-矽銻界面推深入集極區，或是在矽-矽銻界面採用銻含量漸次減少的分佈方式。另外亦可於基極中加入<1%的碳來減少硼之擴散，同時碳原子的加入也會釋放矽銻薄膜之部分張力，增加薄膜之穩定度⁶⁾。

在元件製作上，集極摻雜濃度亦是一項重要的設計參數。當集極摻雜濃度較淡時，可以獲得較高的崩潰電壓，但其集-基傳渡時間將會增加，而降低其高頻特性；因此，低集極摻雜設計只適用於功率放大器之應用。若要改善高頻特性，勢必增加集極摻雜濃度，使之遠大於 $1 \times 10^{17} \text{cm}^{-3}$ ，除了可以降低集-基傳渡時間外，另一方面也提高Kirk Effect的起始電流 J_K (J_K 正比於集極摻雜濃度)，使元件可以操作於較高的電流密度，進一步提升 f_T 。然而對大部分之電路應用，高集極摻雜濃度亦會造成過高的集-基電容值，因其會透過Miller Effect增加輸入電容，因

此集極濃度的最佳分佈設計必須同時調和集-基傳渡時間與內部集-基電容。至於外部集-基電容的降低，可採用選擇性離子佈植集極(Selective Ion-implanted Collector; SIC)技術⁽⁷⁾，如圖四所示，除了可以降低外部集極摻雜濃度外，同時可維持內部原有之集極摻雜分佈設計。

元件製程整合

將矽銻磊晶技術整合於矽製程時，必須特別注意磊晶前之晶片清洗，以獲得高品質之矽銻磊晶層。一般使用之清洗方法有：(1)化學蝕刻矽晶表面；(2)高溫烘烤使氧化物脫離矽表面；(3)將晶片浸泡HF酸液，使晶片表面覆蓋H-Si保護膜。高溫烘烤方法普遍被使用於分子束磊晶系統、低壓化學氣相沉積系統，以及具有高真空反應腔之磊晶機台等，晶片在經過標準清洗程序後，先置於反應腔中，在高溫低壓環境下使自然氧化層氯化而脫離矽表面，再進行矽銻之沉積；為



▲圖四 電晶體在矽銻磊晶前，進行選擇性集極離子佈植來提高集極摻雜濃度

了加速氧化層之氯化，常於反應腔中加入電漿或矽烷類氣體。超高真空化學氣相沉積系統則採用HF酸液處理方式，晶片在經過標準清洗程序後，先浸泡HF使晶片表面覆蓋H-Si保護膜來防止氧化發生，在成長矽鍺前，再利用高溫程序使氫脫離。

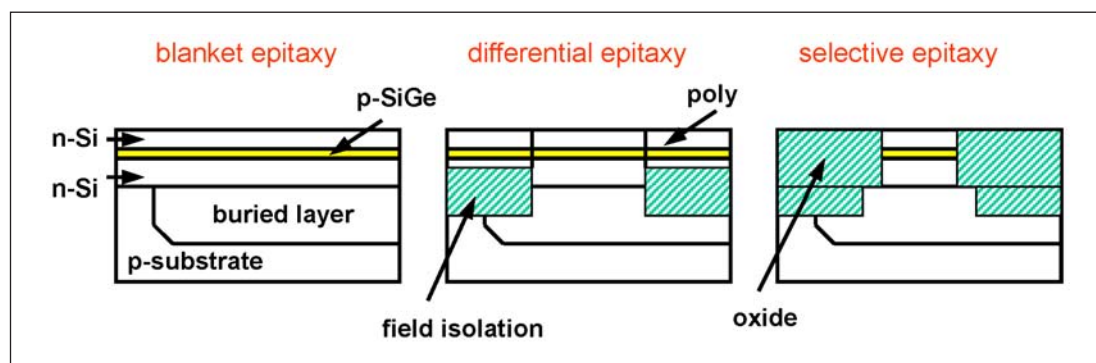
矽鍺磊晶層的厚度及鍺含量在特定臨界值以下時，即使矽與矽鍺間存有晶格常數差異，仍能使矽鍺薄膜維持穩定；此意謂矽鍺薄膜可以承受較高溫的製程，而不會產生差排缺陷；因此，矽鍺元件製程可以沿用傳統矽雙極性電晶體之標準製程。另外，當鍺含量稍微超過其臨界限制值時，矽鍺薄膜並不會立刻產生差排缺陷，而保持一種半穩定性；此時元件磊晶後之熱預算必須降低以避免差排缺陷產生，所以元件不能沿用傳統矽雙極性電晶體之標準製程。

矽鍺異質接面雙極性電晶體依其磊晶步驟在元件製作流程中之位置，可分為如圖五之三類結構⁽⁸⁾。毯覆式磊晶(Blanket Epitaxy)的晶片清洗步驟與

磊晶製程較為簡單，但其元件隔離方式多採用基台(Mesa)結構，無法與互補式金氧半場效電晶體(CMOS)製程整合。差別式磊晶(Differential Epitaxy)之磊晶步驟在氧化隔離層完成後進行，於主動區成長單晶，於氧化區成長複晶，其晶片之清洗步驟與磊晶製程較毯覆式磊晶複雜；然因其可以與CMOS製程整合，製程又較選擇性磊晶簡單，所以常用於矽鍺電晶體之製作；但其缺點為後續之基極連線與射極圖案無法使用自動對準製程，以減少外部雜散效應。選擇性磊晶(Selective Epitaxy)將基極層選擇性成長於事先開好之射極窗口，可以使用自動對準製程；然而，選擇性磊晶成長會遭遇嚴重的負載效應，即沉積速率隨晶片上之圖案密度而改變，意謂著不同的電路佈局設計，其磊晶參數必須重新調整；再者，選擇性製程較不易控制，且容易形成空洞與較差的基極接觸。

矽鍺BiCMOS製程

BiCMOS射頻積體電路一向是矽

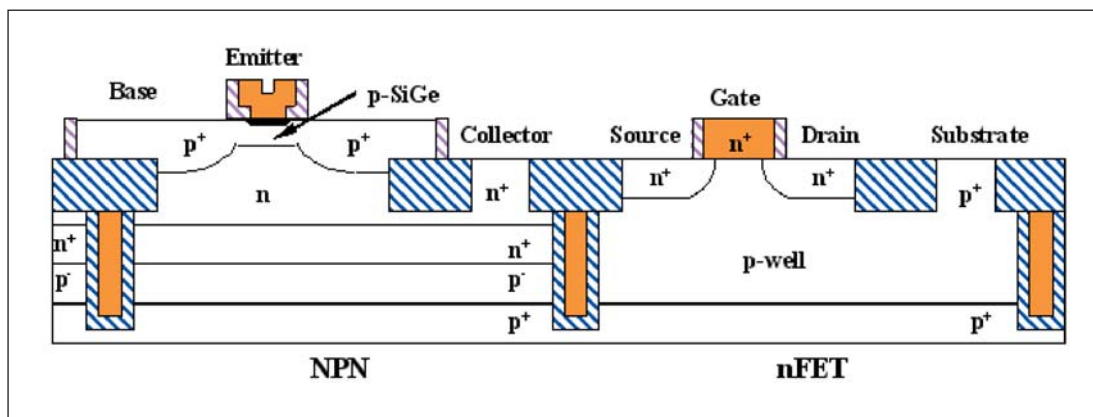


▲圖五 將矽鍺磊晶技術整合於元件製程之三種基本方法

射頻積體電路的發展重點。為了同時兼顧矽雙極性電晶體的高頻特性及互補式金氧半場效電晶體的高度積體化 (High Level Integration) 二種優點，BiCMOS技術即在這種想法下產生，然而其所需之高頻特性，仍是由矽雙極性電晶體所提供。相較於互補式金氧半場效電晶體的射頻積體電路而言，由於矽雙極性電晶體本來即為射頻積體電路技術發展的一大主流，因此BiCMOS射頻積體電路技術較為成熟。而SiGe BiCMOS利用矽鍺磊晶層取代矽雙極性電晶體中的基極材料，而衍生為矽鍺異質接面雙極性電晶體，大幅提昇了矽雙極性電晶體的高頻特性。

由於矽鍺異質接面雙極性電晶體與矽CMOS之製程相容，使其易於整合在一起，如圖六所示，相較於三-五族元件技術，此為矽鍺元件技術的一項重要優點。矽鍺BiCMOS的結構與製程流程設計必須特別注意，以避免矽鍺元件性能的退化，或是影響到

CMOS元件應有之特性。一般製作矽鍺BiCMOS有兩種整合方法：Base-During-Gate及Base-After-Gate⁽⁹⁾。在Base-During-Gate整合方法上，為了降低結構之複雜度，雙極性電晶體的基極複晶部分與場效電晶體的閘極會同時被圖案化，所以矽鍺磊晶基極將承受場效電晶體的Spacer及源/汲極活化製程的熱循環(Thermal Cycle)，而加寬基極的硼分佈；當製程技術微縮化時，由於CMOS製程熱循環的增加，使此法不可避免地將產生許多問題。相反地，Base-After-Gate整合方法則是將雙極性電晶體製程模組自CMOS熱循環中分離開；如圖七所示，雙極性電晶體的基極與射極結構，建立於場效電晶體的閘極完成之後，因此可以減少雙極性電晶體的熱循環，而不需要修改既存的CMOS元件，雙極性電晶體與CMOS之間唯一共有的熱循環為射極的退火處理；但由於雙極性電晶體層會沉積於CMOS元件上方，必須加以去除，因而增加製程之複雜度。



▲圖六 SiGe BiCMOS之剖面圖

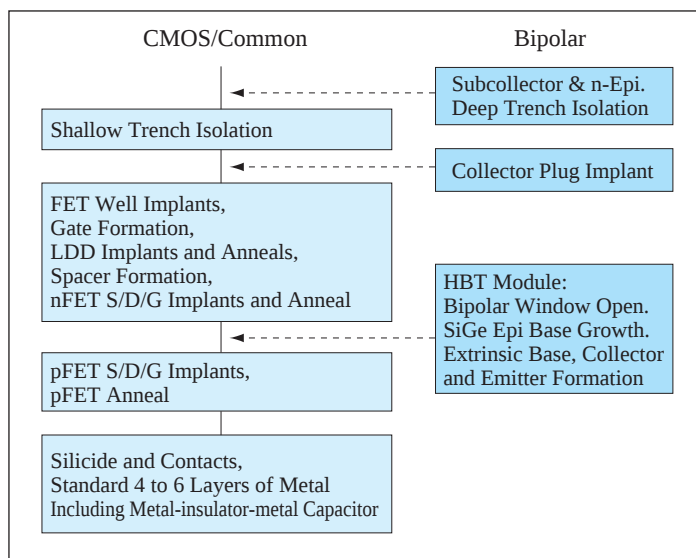
結語

矽鍺異質接面雙極性電晶體在經過近二十年之研究發展後，其技術已愈趨成熟，並在無線通訊、光纖通訊及寬頻網路市場中逐漸佔有一席之地。由於矽鍺元件之低崩潰電壓，目前射頻電路系統中的功率放大器仍以三-五族元件為主；然而，隨著矽鍺元件之功率特性與崩潰電壓的改進，未來取代

三-五族元件，成為功率放大器之主要元件，並非為不可能之任務，如此才能真正達到單一晶片系統之目標。雖然在無線網路通訊上，矽鍺元件挾其低成本之優勢，嚴重威脅著三-五族元件的地位；但是CMOS技術在微波應用方面的快速進展，同樣亦威脅著矽鍺元件；因此唯有改善矽鍺元件的高消耗功率之缺點，方能持續保有相當之競爭力。

參考文獻

1. S.S. Iyer, G.L. Patton, S.L. Delage, S. Tiwari and J.M.C. Stork, "Silicon-germanium base heterojunction bipolar transistors by molecular beam epitaxy," in IEDM Tech. Dig., Dec. 1987, pp. 874-876.
2. D.L. Harame et. al., "A look into the future for SiGe HBTs," 2003 Intl. Symp. Compound Semiconductor, 2003, pp. 207-208.
3. J.-S. Rieh, "SiGe HBTs with cut-off frequency of 350 GHz," in IEDM Tech. Dig., Dec. 2002, pp. 771-774.



▲圖七 IBM公司的BiCMOS 6HP製程流程圖⁽⁹⁾

4. D.L. Harame et. al., "A 200mm SiGe-HBT technology for wireless and mixed signal applications," in IEDM Tech. Dig., Dec. 1994, pp. 437-440.
5. D.L. Harame, J.H. Comfort, J.D. Cressler, E.F. Crabbe, J.Y.-C. Sun, B.S. Meyerson, and T. Tice, "Si/SiGe epitaxial-base transistors - part I: materials, physics, and circuits," IEEE Trans. Electron Devices, vol. 42, no. 3, pp. 455-468, March 1995.
6. D. Knoll, B. Heinemann, K.-E. Ehwald, B. Tillack, P. Schley, H.J. Osten, "Comparison of SiGe and SiGe:C heterojunction bipolar transistors," Thin Solid Films, vol. 369, pp. 342-346, 2000.
7. M. Kondo, K.Oda, E. Ohue, H. Shimamoto, M. Tanabe, T. Onai, and K. Washio, "Ultra-low-power and high-speed SiGe base bipolar transistors for wireless telecommunication systems," IEEE Trans. Electron Devices, vol. 45, no. 6, pp. 1287-1294, June 1998.
8. D. Behammer, J.N. Albers, U. Konig, D. Temmler, and D. Knoll, "Si/SiGe HBTs for application in low power ICs," Solid-State Electronics, vol. 39, no. 4, pp. 471-480, 1996.
9. S.A.St. Onge et. al., "A 0.24 μm SiGe BiCMOS mixed-signal RF production technology featuring a 47 GHz f_t HBT and 0.18 μm L_{eff} CMOS," in Proc. IEEE BCTM, 1999, pp. 117-120.