

矽鍺電晶體

曾華洲* 張書通**

*聯華電子股份有限公司 研發經理

**中原大學電子系 助理教授

摘要

近幾年來，矽鍺/矽異質接面元件異軍突起，自1988年第一篇關於矽鍺電晶體元件之研究發表以來，矽鍺電晶體元件在製程技術與特性上就不斷的發展與進步，由於矽鍺元件具異質接面結構及與CMOS矽元件在製程上相容的優點，所以不僅具有矽元件的低成本，而且有其異質接面的高效能。矽鍺不僅在高頻的領域可戰勝矽，在低成本上更可戰勝砷化鎵。目前研究最多且最久者屬矽鍺異質接面電晶體，由於矽鍺/矽異質接面的應變工程與能隙材工程之材料特性，使其在場效電晶體與光電元件上也有不錯的應用與發展。因此，本文特就筆者熟知的部份，分三個方面介紹矽鍺電晶體的基本原理與應用，分別為矽鍺異質接面電晶體、矽鍺場效電晶體與矽鍺光電元件。希望藉由本文，讓大家對此領域有進一步的認識。

關鍵詞

矽鍺(SiGe)、異質接面電晶體(HBT)、量子點紅外光光偵測器(QDIP)、應變矽(Strained Si)

矽鍺異質接面電晶體

在本文中，我們將評述Si(100)面上生長Si/Si_{1-x}Ge_x/Si異質接面雙極性晶體(HBT)的性質。早在1988年第一篇關於矽鍺電晶體元件的研究發表以來，矽鍺電晶體在製作技術與特性上就不斷的發展與進步⁽¹⁻⁷⁾。而目前這些元件的速度已超過350GHz的水平。儘管目前有npn和pnp兩種不同元件^(8,9)，但技

術上和學術上的研究幾乎都集中在npn元件上，因此本文主要針對npn元件來進行介紹，主要分為三部份：元件原理、直流(DC)特性和交流特性。而關於在基極中矽鍺：碳的效應也概要討論之。

一、元件原理

如同所有P-N-P雙極型晶體管，

Si/Si_{1-x}Ge_x/Si異質界面雙極型晶體管的輸出電流（集極電流I_C）與在正偏壓V_{BE}（集極-射極）下，電子從n型射極區注入到p型基極區的數目有關。在基極區內，少數載子-電子會向C-B（集極區-基極區）界面方向擴散和漂移，通常C-B界面處於零偏壓或反偏壓，在這種狀態下，電子會由pn接面的高電場進入n型的集極區。基極區電流(I_B)主要經由兩個來源構成：①B-E界面於正偏壓下，電洞從基極區注入過射極區；②基極區中額外的載子-電子之一部份與電洞的復合。目前，在元件中，少數載子的生命週期(Life Time)很長，而基極區的傳輸時間則相當短，所以，在組成基極電流的兩個來源中，以第一種來源為主。集極電流與基極電流之比(I_C/I_B)稱之為電流增益β。與完全是Si材料且摻雜均衡的電晶體相比，Si/Si_{1-x}Ge_x/Si HBT（即射極區與集電區為Si，基極區為Si_{1-x}Ge_x）有兩大優點：第一，Si_{1-x}Ge_x基極區的能帶較窄，能降低導帶的勢能，因而在相同的射極-基極偏壓V_{BE}下，提高了集極電流。又因為導帶偏移較小，做為一級近似，電洞從基極區注入回射極區所經過的能障是不變的，所以不但射極效率提高，也大大提高電流增益β=I_C/I_B，更對電路性能的改善提供了極佳的選擇。提高基極區摻雜的濃度N_A就可以增加增益。以電路的角度來看，要求基極摻雜濃度高，可以降低基極區的本質(Intrinsic)片電阻R_{BI}。

如果基極區的本質片電阻在總電阻R_B中所佔的比例較大（R_B包括元件的非本質區的電阻和接觸電阻等），則降低R_{BI}就會減少電路R_{BC}的延遲時間，且降低微波應用中的雜訊。較高的基極摻雜濃度可以提高基極區的穿擊(Punch Through)電壓，在一些窄基極元件中，這限制了最高的集極電壓，從而引起集極電壓增大（即輸出電阻增加），使元件能經受較大的電流容量。

Si/Si_{1-x}Ge_x/Si HBT的第二個優點是基極區內的能隙分佈可以由漸變(Linear Graded)鎳濃度來控制（鎳濃度在集電極一側較多而使能隙比較窄），它提供一個內建電場，並大大提高少數載子電子跨越基極區的速度，因而也減少電子跨越基極區的傳輸時間(Transit Time)，使電子以較高的縱向本質速度穿越過整個元件區域，基極區傳輸時間是雙極晶體管內部的基本傳輸時間。若在靠近集極一側的基極區能隙不重摻雜的情況下，集極電壓也會顯著增高⁽¹⁰⁾。

二、直流特性

原則上，可用I_C和I_B以證明各種結構的元件直流特性。然而如前文所述，組成基極電流I_B的電洞電流部分，主要受射極區結構的影響，而不受Si_{1-x}Ge_x基極區的影響，因此不再贅述。另外，影響I_B的因素諸多，如射極界面製程、寄生的B-E空間電荷區復合等，它

並不受 $\text{Si}_{1-x}\text{Ge}_x$ 的影響，所以本文只討論 I_C 與鍺成分 χ 的依賴關係，而不討論電流增益 β 與鍺成分 χ 的關係。

在不考慮大電流效應（如基極區高階注入、B-C空乏區空間電荷效應和串聯電阻）的情況下，雙極性電晶體（包括HBT）中集極電流可表示為：

$$I_c = I_{co} e^{qV_{BE}/nkT} \quad (1)$$

式中， q 是電子電荷， V_{BE} 是基極與射極間的偏壓， k 是波茲曼常數， T 是溫度， n 是理想狀態因子。如果不考慮極端條件下HBT的二級效應^(11,12)和B-E偏壓對寄生能障的調製帶來的小偏差，對 I_C 來說， n 取1。在基極區摻雜 N_A 為常數的本質(Intrinsic)元件中， I_{co} 可表示為：

$$I_{co} = \frac{Aq n_i^2 D_n}{N_A W_B} \quad (2)$$

式中， A 是B-C結的面積， n_i 是基區的本徵載子濃度， W_B 是中性基極寬度， D_n 是基極中電子的擴散係數。在 $\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ HBT中，如果中性基極的寬度和基極摻雜與本質元件(BJT)相同，則收集極電流 $I_{C,HBT}$ 以及 I_{co} 將比同質BJT增強，如果基區鍺成份均勻，兩種元件的集極電流之比為：

$$I_{C,HBT} / I_{C,BJT} = \frac{N_{C,SiGe} N_{V,SiGe} D_{n,SiGe}}{N_{C,Si} N_{V,Si} D_{n,Si}} e^{\Delta E_v / kT} \quad (3)$$

式中， $N_{C,i}$ 和 $N_{V,i}$ 分別為在材料 i 中導帶和價帶的有效狀態密度。考慮到Si和

$\text{Si}_{1-x}\text{Ge}_x$ 的界面是緩變的，式(3)中通常用價帶變化 ΔE_v 來代替整個的能隙變化 ΔE_g ⁽¹³⁾。然而，在 $\text{Si}(100)$ 襯底上生長應變 $\text{Si}_{1-x}\text{Ge}_x$ 之際，當 $x < 0.7$ 時幾乎為0⁽¹⁴⁾，因此這種區別對nnpn HBT來說並不重要。在後文的討論中，用 $E_{g,eff}$ 和 $\Delta E_{g,eff}$ 分別表示HBT的有效能隙和相對於全Si器件的有效能隙變化，代替 ΔE_v 來描述集電極電流的增強模型。重摻雜引起的帶隙變窄效應也包括在 $\Delta E_{g,eff}$ 中。用術語“有效”能隙來區別於真實能隙，其目的在於用來描述少數載流子濃度和集極電流。基極區為簡並摻雜時，能帶填充效應和費米-狄拉克統計效應致使 $\Delta E_{g,eff}$ 不同於真實能帶⁽¹⁵⁾。HBT中的 I_{co} 可寫為

$$I_{co,HBT} = \frac{Aq N_{C,SiGe} N_{V,SiGe} D_{n,SiGe}}{N_A W_B} e^{-E_{g,eff} / kT} \quad (4)$$

因此， $\Delta E_{g,eff}$ 和集極電流的增量真實呈現出窄能隙基極區HBT效應。然而業已證實，如果重摻雜基區過量的硼擴散到射極區和集極區，會在導帶中形成寄生能障，這將嚴重減弱集極電流的增強作用並減小 $\Delta E_{g,eff}$ ，還會增加基區傳輸時間^(11,16-19)。事實上，就算只有幾個奈米的擴散長度也會造成很大的影響，研究已發現，若在射極區注入硼，之後的退火過程中將大大增強基區的硼擴散^(18,20)。

1988年首次發現 $\text{Si}/\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ HBT可增大集極電流增益，但是沒有明析測量到 I_C 的增強^(1,2)。Patten等人第一次

清楚地測量了SiGe HBT集極電流 I_c 的增強效應⁽³⁾，但遠小於預期的結果，這是由於元件中有一些未知的寄生問題，如應變鬆弛、寄生能障等。此後，一些研究團隊採用性能更好的元件，利用 I_c 同溫度的依賴關係來表徵 $\Delta E_{g,eff}$ ^(18,19,23~27)。這種方法的優點為毋需知道 N_A 、 W_B 、 A 、 D_n 的資訊，只需假設式(3)中的比例因子與溫度無關就行了。但此假設將會引起誤差，例如在300~400K範圍內，比例因子變化2倍，就會在 $\Delta E_{g,eff}$ 內導致大約75meV的誤差。**圖一**綜合所有可得到的數據，並發現 $\Delta E_{g,eff}$ 滿足下式：

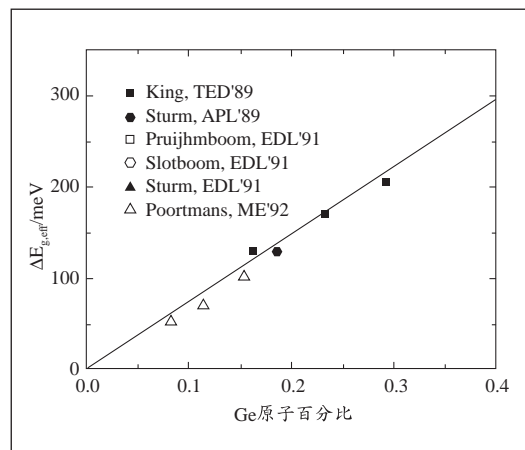
$$\Delta E_{g,eff} = 0.74x\text{meV} \quad (5)$$

在基極摻雜和基極區寬度不同的HBT以及全矽電晶體中，式(3)中的比例因子約為0.4⁽¹⁸⁾，該值與 $x>0.15$ 時所預期的有效狀態密度差吻合⁽¹⁶⁾。然而，目前還沒有狀態密度和擴散常數的實驗數據。**圖一**所示電晶體中，它們的基區摻雜濃度在 $5 \times 10^{17} \text{cm}^{-3} \sim 7 \times 10^{18} \text{cm}^{-3}$ 之間，在某些情況下，HBT與全矽晶體管的摻雜濃度可能相差10倍以上⁽²⁵⁾，重摻雜使得能隙變窄，引起一些不確定性。

第二種求 $\Delta E_{g,eff}$ 的方法是：如果已知 N_A 、 W_B 的值，並假定 $N_{c,SiGe}$ 、 $N_{v,SiGe}$ 、 $D_{n,SiGe}$ 值，將式(4)直接用於某一溫度下（如室溫）測得 I_∞ ，可直接求得 $E_{g,eff}$ 。文獻(28)就是採用此方法，並提供了足夠的數據，此外還可以從文

獻(18,20,24,25,29,30)求出數據。文獻(16)的模型中，先假定SiGe與Si的 N_v 、 N_c 比值，再假定Si中少數載子（電子）遷移率與摻雜的關係適用於SiGe，295K時Si的 n_i^2 為 $1 \times 10^{20} \text{cm}^{-3}$ ，在這些前提下，可以求得 $\Delta E_{g,eff}$ 。**圖二**為各種摻雜下 $\Delta E_{g,eff}$ 與鍺成份的關係。隨著矽成份的增加和摻雜濃度的增高， $\Delta E_{g,eff}$ 通常呈減小的趨勢。

如果確定 $\Delta E_{g,eff}$ 是由於鍺成份和重摻雜兩者所引起，其份量分別為 $\Delta E_{g,Ge}$ 和 $\Delta E_{g,dop}$ ，透過與摻雜相近的 $\Delta E_{g,Ge}$ 之比較，可以發現用這種方法求出的 $\Delta E_{g,Ge}$ 等於0.69x，與摻雜無關，如**圖二**中虛線所示。將 $\Delta E_{g,eff,dop}$ 與摻雜的關係以**圖三**表示，結果為一直線，可得知 $\Delta E_{g,eff,dop}$ 與鍺成份無關。在基極區摻雜

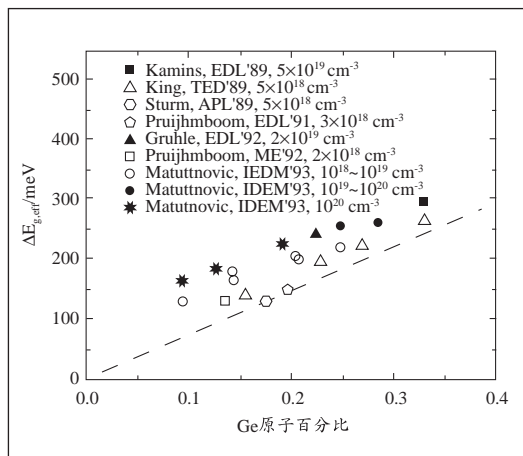


▲圖一 與全Si元件相比，Si/SiGe/Si HBT有效帶隙的降低依賴於Ge的成份（圖中數據是由同全Si元件 I_c 的溫度依賴關係相比較而測得的；該所有情況的基區摻雜均低於 $7 \times 10^{18} \text{cm}^{-3}$ ；曲線擬合為 $\Delta E_{g,eff} = 0.7 \times \text{meV}$ ；實驗數據引自參考文獻(14~19)（本圖摘自文獻73）

大於 10^{18}cm^{-3} 範圍，可以得到以下公式：

$$\Delta E_{g,\text{eff}} = 30 + 0.69x + 23 \log_{10}(N_A \text{cm}^3 / 10^{18}) \quad (6)$$

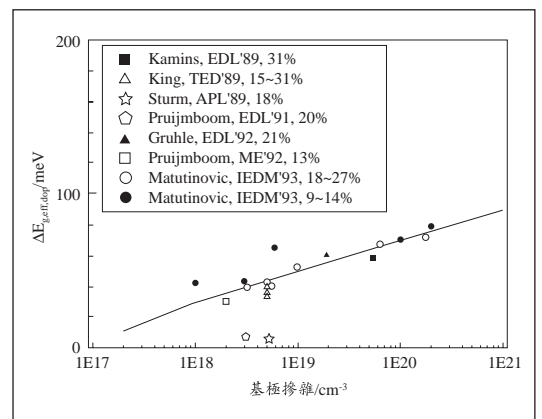
需注意的是，依據 $\Delta E_{g,\text{eff}}$ 與溫度的依賴關係，可觀察到基極區摻雜在 $5 \times 10^{17}\text{cm}^{-3} \sim 5 \times 10^{18}\text{cm}^{-3}$ 之間，銻組分以 $x=0.08$ 變到 $x=0.16$ 時， $\Delta E_{g,\text{eff}}$ 的差別約為 30meV ，這個結果與式(6)相符。圖三中的那些點仍有較大變化，原因可能為元件的參數（如摻雜銻含量等）不精確所致。有趣的是，離子佈植單晶和退火製程射極的元件中，所測到的各個點都在擬合曲線之下。可以得知^(18,20)，基極區中擴散增強導致B-E和（或）B-C界面處產生寄生勢壘，因而減小 $\Delta E_{g,\text{eff}}$ （由於有這種可能性，擬合式(6)時，並未把參考文獻^(18,24,25,29)



▲圖二 室溫下(295K)，由式(4)求得的HBT有效能隙減小與銻成份的關係（圖中的數值為基極區摻雜濃度，虛線表示以相同源 $0.69 \times \text{meV}$ 相同摻雜下有效帶隙減小對銻的依賴關係）（本圖摘自文獻⁷³）

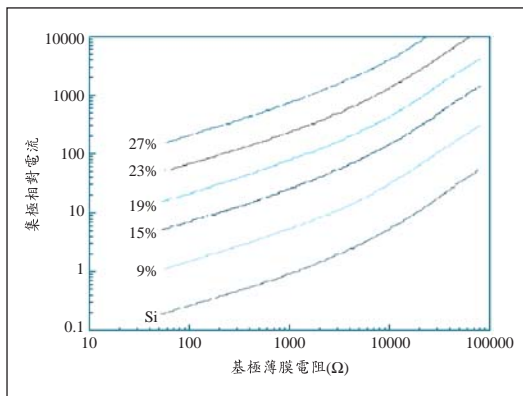
中的數據納入）。在這兩種求 $\Delta E_{g,\text{eff}}$ 的方法中，後一種方法（即絕對合法）比前一種方法（用溫室附近集電極電流同溫度的關係來確定 $\Delta E_{g,\text{eff}}$ 的方法）更精確，但是用溫度依賴關係來確定各種溫度下的 I_{c0} 的大小比較精確。

為了全面計算各種銻含量下其電流增益與本質基極區電阻的關係，必須知道垂直方向上的 D_n 、 N_v 、 N_c 以及橫向電洞遷移遷移率（不是霍耳遷移率），還應知道 $\text{Si}_{1-x}\text{Ge}_x$ 中重摻雜引起的效應。儘管文獻中已有記載一些原始模型，並且測量過狀態密度及橫向遷移率^(16-18,28,31-34)，但是仍缺乏這些參數的系統數據，唯有文獻記錄過實驗中直接測量的結果，並提出一種集極電流模型，其中指出在一個平坦基極區具有各種不同的摻雜和不同的銻成份的元件（50mm中性基極區）中， I_{c0} （以及相應的電流增益）與本質基極區電阻之間的關係⁽²⁸⁾。圖四即這些數據



▲圖三 基區重摻雜引起禁帶寬度明顯變窄，圖中已減去圖二中與銻成份相關的能帶變窄部分）（本圖摘自文獻⁷³）

及其模型的結果。要求元件設計避免寄生能障效應（採用空間區不摻雜 Doping、射極區未經受離子佈植等措施），圖四代表了平坦基極區HBT的基極區電阻同電流增益的關係。由此可以看出，隨著基極區內銻含量的增加和基極區電阻的增加，集極電流 I_c 也增加。同式(4)和式(6)一樣，這個模型包括了基極區重摻雜對電洞和電子遷移率以及能隙的影響，得到的結果與實驗結果相符合。在基極區內銻組分和摻雜變化的元件（例如“緩變基極區”）中，原則上可以計算收集極電流的增強作用^(26,35)，但是需要相關狀態密度、擴散係數、重摻雜效應等方面的知識，甚至還可能需要知道速度飽和效應等⁽³⁶⁾。但是，如果由於空乏區中有外擴散，將引起寄生勢壘，這些公式



▲圖四 在基極區成份和各種雜質分佈都是均勻的 $\text{Si}_{1-x}\text{Ge}_x/\text{Si}$ HBT中，溫度295K下基極區的本質電阻與集極的相對電流的關係（包括擬合實驗數據與模型⁽²⁸⁾），並與全矽電晶體的集極電流進行比較，假定全矽的電晶體的中性基極區厚度為50nm，基極區電阻為 $1000\Omega/\square$ （本圖摘自文獻⁽⁷⁾）

即不再適用⁽³⁷⁾。圖四為已有的一些實驗數據，但是它們只是呈現銻組分簡單地線性緩變分佈時的數據。

加碳到矽銻基極層形成矽銻碳層已被廣範圍用於HBT的製程，且摻雜碳濃度可達1%。加碳之後可抵消一些矽銻層的應力，使得基極之能隙等效上升，可寫成 $\Delta E_{C,eff} = -0.24y \text{ eV}$ ，其中y是碳莫耳濃度。此式可加到式(6)展現出碳的效應。

三、交流特性

HBT交流特性有幾個標準參數：最簡單的一個參數是電流增益等於1時的截止頻率(f_T)，它是在垂直方向上電子穿過元件整個區域的輸運速度的量度。在高頻下，各種延遲作用和充電效應的綜合作用為：當交流調制偏壓 V_{BE} 一定時，會降低集極交流電流和增大基極交流電流，因而降低了它的小信號電流增益。截止頻率 f_T 定義為共射極短路，小信號增益減小為1（或從低頻測量外推到1）時的頻率。這些延遲效應和充電效應可以由元件內部的幾種延遲來表示，包括射極電荷存儲時間、基極接面電容充電時間、基極區傳輸時間、集極空乏層傳輸時間和集極充電時間。所有這些都十分依賴於元件設計的製程細節。如前所述，高 f_T HBT的主要優點是前述緩變結構中通過縮短基極傳輸時間 τ_B 來實現。在最簡單的模型中（忽略速度飽和），基極區

寬度相同的線性緩變基極區HBT和基極區分佈均勻的全Si元件兩者之間，其渡越時間比為：

$$\frac{\tau_{B, SiGe}}{\tau_{B, Si}} = \frac{2kT}{\Delta E_g} \left(1 - \frac{kT}{\Delta E_g} \left(1 - e^{-\Delta E_g/kT} \right) \right) \quad (7)$$

式中， ΔE_g 是從射極區一側到集電區一側中性基極區的能隙減小量（由於空乏區的作用，這個量可能不同於根據鍺成份總的分佈量計算的值⁽¹²⁾），式中並假定兩種元件的 D_n 值均相同。例如，若基極區從射極一側到集極一側的能隙差為75meV，在室溫下，可以預計傳輸時間減小0.46倍。但是，如果因硼向外擴散引起寄生勢壘（或pnp SiGe HBT的價帶能障^(8,9,39)），則基極區傳輸時間明顯增大，並大於上述值^(18,19,11)。對於任意摻雜和任意成份分佈來說，文獻15中提供了一種計算基極區傳輸時間的通用方法。然而，如果最高的寄生能障不在中性區而是在空乏區，則這些公式就不適用了⁽³⁷⁾。還有，基極區-集極空乏區中的空間電荷效應會造成在大電流下基極區渡越時間的顯著增加。HBT中，由於基極區在擴展到基極區-集極空乏區時會形成寄生能障，使這一效應變得特別明顯^(40,41)。基極區成份漸變的HBT中，基極區渡越時間減小；此外，與相應的全Si元件相比，由於HBT結構的電流增益增大，使得一些HBT的發射結存儲時間大為減小。但是，因為其他許多因素對元件的總延遲有所助益，而這些

因素又嚴格地與元件內的摻雜分佈和電流大小有關，所以不能像描述集極電流的增強作用那樣簡單地將 f_T 同元件結構的物理參數（能隙、遷移率等）聯繫起來。

然而，由於 f_T 不能反映出元件的任何橫向的寄生參量（例如基極區電阻），所以也無法清楚預示出實際的電路性能。對微波電路而言，更好的參數是功率增益等於1時的截止 f_{max} 。在一級模型中， f_{max} 與 f_T 的關係為：

$$f_{max} = \left(\frac{f_T}{8\pi R_B C_C} \right)^{\frac{1}{2}} \quad (8)$$

式中， R_B 是基極的總電阻（不單是本徵基極區薄層電阻）， C_C 是集電結電容。 f_{max} 依賴於那些與橫向尺寸有關的量，如非本徵和本徵的基極區電阻等。除了決定 f_T 的元件縱向分佈外， f_{max} 還與製程因素（如最小微影尺寸、所採用的基極區和射極電極的自我對準等）有關。在數位電路應用中，最重要的參數是傳輸延遲，其受到VLSI集成的製程過程和電路設計之影響。因為元件的設計必須解決散熱和良品率等問題，VLSI集成的各種製程環節都特別重要。

為了完整地表示HBT的交流特性，表一儘可能列出迄今收集到的npn和pnp兩種元件的資料。最值得一提的是基極寬度、薄層電阻和鍺成份分佈，還包括射極製程和射極寬度。到目前為止，室溫下增益等於1時的截止

表一 室溫下Si/Si_{1-x}Ge_x/Si npn和pnp HBT的高頻特性與製程條件說明

參考文獻 公司	日期型號	基極寬 度/nm	基極Ge的 組分(E到C)	R _{B,I} (kΩ/□)	N _{A,base} cm ⁻³	射極寬 度/μm	射極製程	自對 準B-E	β _{max}	f _T /GHz	f _{max} /GHz	電路 形式	傳輸延 遲/ps
[42] IBM	1988pnp	70	0.06~0.12	<4	-	1.2	異位摻雜(Ex-situ) 磊晶(Epi)	無	50	12	-	-	-
[29,43]HP	1989npn	25	0.31	-	7×10 ¹⁸	1	離子佈植/退火	無	25	29	35	-	-
[44] IBM	1989npn	65	0~0.11	20	-	1.5	原位摻雜(In-situ) 多晶矽/退火	無	1000	40	-	-	-
[45] IBM	1990npn	45	0~0.07	17	-	0.9	多晶矽/離子佈植 /退火	無	135	75	-	-	-
[8] IBM	1990pnp	45	0(不)~> 0.15	-	1×10 ¹⁹	1.5	異位摻雜磊晶	無	~70	15	-	-	-
[46] IBM	1990npn	60	0~0.10	8	-	0.6 0.4	多晶矽/離子佈植 /退火	有	100	50	-	ECL	28.3 24.6
[47] IBM	1990npn	<65	0~0.11 0~0.18	8.3 17	-	0.35 0.45	多晶矽/離子佈植 /退火	有 有	90 不確定	50 63	-	ECL	27~28
[39] IBM	1990pnp	50	0.05~0.15(不) 0.05~0.15(不)	3 × 10 ¹⁸ 不確定	8.5 >15	不確定	多晶矽/離子注入 /975°C 異位外延/850°C	無 無	60 不確定	30 31	-	-	-
[9] IBM	1990pnp	~50(不) ~50(不)	0~0.11 0~0.18	>20 20	-	0.8 0.8	原位摻雜多晶矽 925°C, 5s	無 無	85 135	55 52	-	-	-
[48] Buhr-U. Bochum	1991npn	40	0.18	-	1×10 ¹⁹	5	磊晶/離子佈植 /900°C退火	無	100	30	-	-	-
[49] IBM	1991npn	50	0.3~0.10	8	~10 ¹⁹	0.7	外延/原位摻雜多 晶矽/離子佈植 /退火	有	94	43	40	ECL NTL	24 19
[30,50] DB	1992npn	30	~0.25	~1	2×10 ¹⁹ ~6×10 ¹⁹	1~3	原位摻雜磊晶	有	30~5 50	40~46	40~53	-	-
[51] IBM	1992npn	35	0~0.15	16	-	0.6	多晶矽/離子佈植 P/750/860°C退火	有	290	73	26	NTL ECL	28 34
[52] NEC	1992npn	60	0~0.15	~4(不)	-	0.2	原位摻雜多晶矽 /退火	有	120	51	50	ECL	19
[53] IBM	1992npn	70	0~0.17	12	2×10 ¹⁸	0.5	多晶矽/離子佈植 /退火	有	94	50	61	ECL	18.9
[54] IBM	1993npn	80(不 確定)	0(不)~0.12	9.5	-	0.7	原位摻雜多晶矽 /935°C退火	有	45	31	21	ECL	44.5
[55,56] DB	1993npn	22~25	0.25(不)	1.2 2.0	8×10 ¹⁹ 3×10 ¹⁹	1 1	原位摻雜磊晶	有	不確定 >50	95 91	50 65	-	-
[57,58] IBM	1993npn	~65 ~40 <30	0~0.08 0.22 0.22	10.5 8 >20	~4×10 ¹⁸ 2×10 ¹⁹ 81×10 ¹⁸	0.6 0.6 0.6	原位摻As多晶 矽/800°C退火15s	有 有 有	200 170 2400	44 45 64	34 48 30	- NTL NTL	- 21 24
[7,59] IBM	1993npn	35	0~0.25	7	2×10 ¹⁹	0.5	原位摻雜多晶矽 /800°C退火	無	443	113	-	-	-
[60] IBM	1993npn	100	0~0.14	5~7(不)	-	0.5	多晶矽/離子佈植 /退火	有	不確定	48	50	ECL	17.2
[61] IBM	1994npn	16~20	0.3	0.78	8×10 ¹⁹	1	異位摻雜磊晶	有	不確定	59	90	-	-
[62] Siemens	1995npn	45	0-0.12	8	5×10 ¹⁸	0.27	多晶矽/離子佈植 /退火	有	220	61	74	CML	11

(續) 表一

參考文獻公司	日期型號	基極寬度/nm	基極Ge的組分(E到C)	$R_{B,I}$ /(k Ω /□)	$N_{A,base}$ cm ⁻³	射極寬度/ μ m	射極製程	自對準B-E	β_{max}	f_T /GHz	f_{max} /GHz	電路形式	傳輸延遲/ps
[63] Hitachi	1996npn	30	0-0.15		7×10^{18}	0.2	原位摻雜多晶矽/退火	有		45	72		
[64] Hitachi	1997npn	41	0-0.15		1×10^{19}	0.1	原位摻雜多晶矽/退火	有		62		ECL	9.3
[65] Hitachi	1998npn	20	0-0.15		1×10^{19}	0.14	原位摻雜多晶矽/退火	有	720	95		ECL	8
[66] Oki Japan	1999npn	20	0.12-0.27	~8	1×10^{19}	0.5	原位摻雜多晶矽/退火	有	290	88	65	ECL	13.8
[67] Hitachi	2000npn	20	0-0.2		~ 1×10^{19}	0.2	原位摻雜多晶矽/退火	有		76	180	ECL	6.7
[68] Hitachi	2001npn	20	0-0.14 有加碳(0.4%)		~ 1×10^{19}	0.2	原位摻雜多晶矽/退火	有		144	174		
[69,70]	2002npn	25	有加碳 0-0.25		~ 1×10^{19}		原位摻雜多晶矽/退火	有		207 (375)	285	ECL	4.2
[71] IHP	2003npn		有加碳			0.175	原位摻雜多晶矽/退火	有		190	243	CML	3.6
[72] IHP	2003pnp	30	有加碳			0.21	原位摻雜多晶矽/退火	有	180	80	120	CML	8.9

備註：表中列出分佈在中性基極區中整個元件結構和製程的相關訊息：單個銻數值表示銻組分均勻，表中基極寬度與射極寬度表整個寬度， f_T 和 f_{max} 為目前的峰值，傳輸延遲為最小值。

頻率已經超過375GHz⁽⁷¹⁾，而 f_T 的峰值達285 GHz⁽⁷⁰⁾，ECL最小Gate Delay為3.6ps⁽⁷²⁾。

前文介紹了Si/Si_{1-x}Ge_x/Si npn HBT的直流和交流特性。元件功能受限於材料的基本參數，如Si_{1-x}Ge_x層能隙以及製程（摻雜分佈和集成製程等）。對Si_{1-x}Ge_x中少數載子和多數載子的傳輸特性已有概略性的了解。至於加少量碳到矽銻基極層，則是目前最先進的技術，雖可解決硼外擴散造成的元件效能退化效應，但還有許多其在元件製程上的問題尚待了解與探討。

矽銻場效電晶體

矽銻技術在場效電晶體上之應用可從下面三部分談起：

(一)以矽銻為緩衝層之全面性應變(Global Strain)矽通道場效電晶體

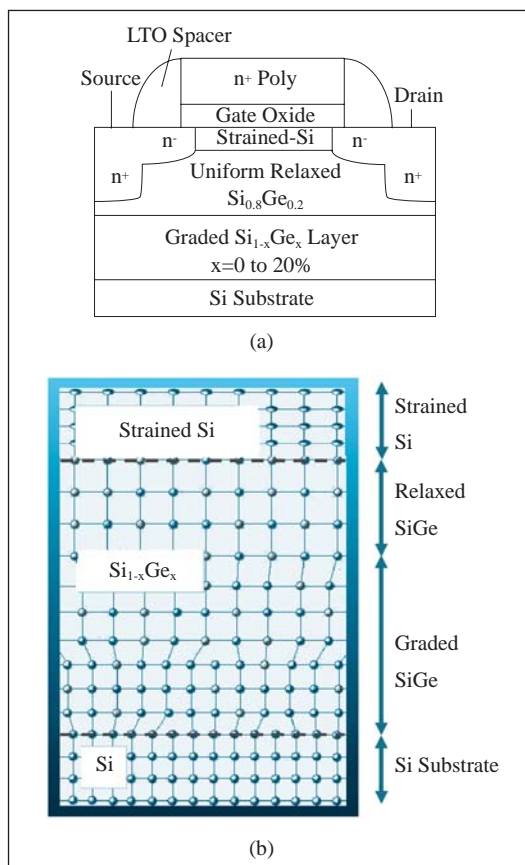
主要係利用矽與銻的晶格常數差，矽的晶格常數為5.431 Å。銻為5.646 Å，相差約為4%，若成長矽銻合金(Si_{1-x}Ge_x Alloys)其晶格常數則會略大於矽，因此若將矽沉積於鬆弛矽銻上，由於磊晶成長，晶格常數較小的矽原子勢必受到一橫向的張力，進而

造成應變(Strain)，而此層矽便稱為應變矽(Strained-Si)，利用此應變矽當一虛擬基板(Virtual Substrate)製作元件，如圖五(a)，而底下的鬆弛矽鍺則是利用漸變(Graded)增加鍺濃度，如圖五(b)，以求降低缺陷(Dislocation)。應變矽之最大優點為增加遷移率，且保有矽在MOSFET上的優勢，有品質的閘氧化層與非常好的MOS介面(Interface)，而所形成之表面通道(Surface Channel Structure)可減輕短通道效應(Short Channel Effect)與產生較

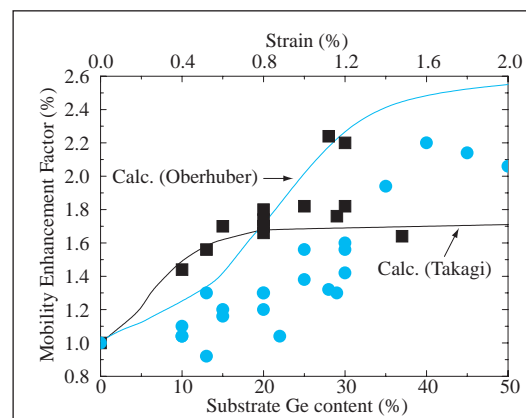
高的閘極電容(Gate Capacitance)，而由於應變矽之高遷移率，故可提高驅動電流和驅動電壓。目前應變矽的電子與電洞的遷移率的增加率，以電子而言^(4,5,7-15)，在鍺濃度20%時，大多數的研究結果皆為60~80%的增加率，此點與理論值相符；而對電洞而言^(7,8,12,14-21)，在鍺濃度20%時，大多數的研究結果卻只有約20%的增加率，此點與理論值差距甚大，詳見圖六之比較。

(二)與矽鍺相關之製程造成的區域性應變(Local Strain)

目前使用矽鍺當基材使矽通道產生雙軸應變的技術，從研究得知可增強CMOS的效能。然而，其面對的挑戰包括成本、縮小化所衍生之問題，如短通道效應與鍺濃度之影響，又如在整合方面的淺溝渠隔離(STI)、缺陷等問題均是在量產之前需要克服的課題。另一方面，製程產生之應變效應



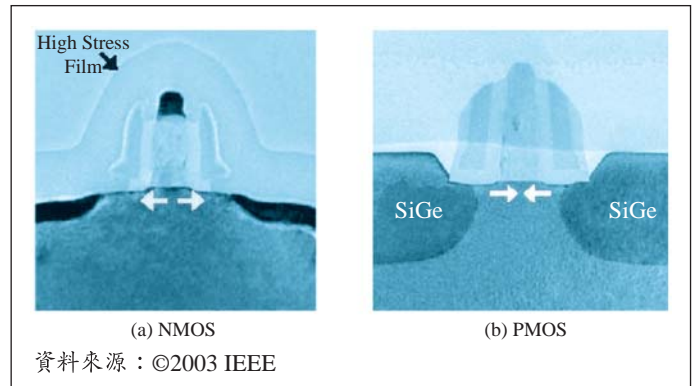
▲圖五 (a)利用應變矽當一虛擬基板製作元件；(b)鬆弛矽鍺則是利用漸變增加鍺濃度，以求降低缺陷



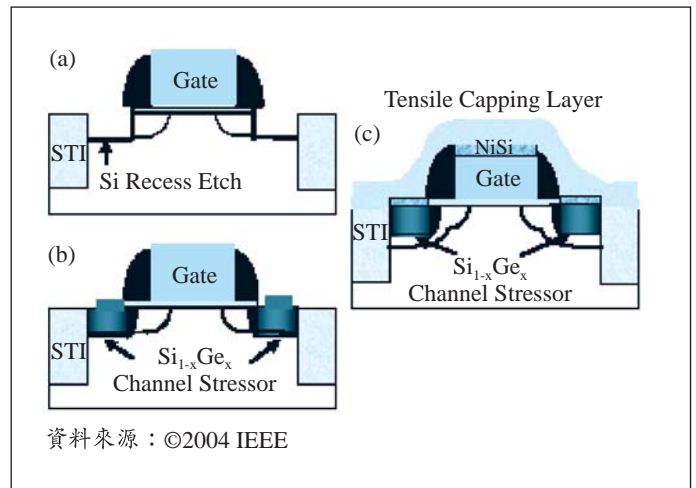
▲圖六 目前應變矽的電子與電洞的遷移率的增加率

更加重要，特別是目前元件技術節點縮小至90nm甚或65nm時需考慮之。有關全面性應變（矽鍺緩衝層結構）與區域性應變（製程造成）之比較列於表二。全面性應變可以得到較大的應變量，對元件的尺寸較不具影響；而區域性應變則可降低成本，與目前的製程完全相容。

在英特爾(Intel)公司的90奈米應變矽技術⁽⁷⁴⁾上，係利用有高應變的氮化矽層(Si₃N₄ Cap)來增強NMOS的效能，如圖七(a)。對於PMOS（圖七(b)），Intel在P-doped（摻有硼以提供電洞）的區域相對應的兩端挖出“壕溝”（Trench-es），然後填入具有較大晶格常數的矽鍺（圖八）。所填入的矽鍺則會從兩側壓縮其間的矽通道，使得其電洞



▲圖七 Intel所發表利用製程調變的應變矽技術之(a)NMOS；(b)PMOS



▲圖八 Intel PMOS製程流程圖(a)在P-doped區域相對應的兩端挖出“壕溝”；(b)填入具有較大晶格常數的矽鍺；(c)後續Silicide與應變氮化矽Cap層

表二 全面性應變與區域性應變之比較

	全面性應變	區域性應變
應變大小	~1%	< 0.4%
產生應變方式	矽鍺緩衝層	製程產生：STI、Nitride Cap、Silicide、Spacer等方式
應變方向	雙軸應變（在通道L寬度w的應變均勻）	單軸應變（在通道L寬度w的應變不均勻）
縮小化	佳	敏感
效能增強部份	NMOS	PMOS
其它方面	可以產生大的應變（高的鍺濃度可達成）	選擇性成長矽鍺磊晶在源/汲極區

遷移率增加，特別是在高電場區仍能保持跟電子一樣增強不遞減的特性，大幅改善傳統應變矽PMOS的問題。

(三)以矽銻為通道的場效電晶體

目前熱門的雙通道(Dual Channel)的場效電晶體⁽⁷⁵⁾，其結構為矽基板上成長鬆弛矽銻層，且濃度較低，然後成長銻濃度較高之應變矽銻作為PMOS通道，最後再將應變矽成長在應變矽銻層上，作為NMOS通道，並配以TiN的金屬閘極，其NMOS與PMOS均出現遷移率增強情形，特別是PMOS更超過兩倍以上。

矽銻光電元件

因為Si的帶溝約為 $1.1\mu\text{m}$ ，使得發光波長與偵測之截止波長受到限制，而發光能力也受到間接帶溝的影響，效率很低。但因Si技術在材料上的進步，已經可以加入SiGe材料在原有的基礎結構上，來調整帶溝及產生異質介面，而未來也可望使用高介電質材料來改變電場分佈及折射率。

然而，其元件特性仍受限於Si帶溝而無法將發光及偵測波長延伸至 1.3 及 $1.5\mu\text{m}$ 。而 1.3 及 $1.5\mu\text{m}$ 均為光纖通訊中最常使用的波段，因此，要如何才能突破Si的帶溝限制、增加元件應用範圍呢？目前最佳的方法即是將SiGe材料和Si整合在一起。Ge和Si同為四族元素，Ge的晶格常數較Si大4%，帶溝約為 0.67eV ，因此理論上可將發光及偵測波長延伸至 $1.8\mu\text{m}$ ，若受到應力時，

Ge的帶溝可更小。傳統的MOS (Metal Oxide Silicon)結構，因為Oxide較厚，使得閘極電流幾乎是零，以減少IC的功率消耗，但在 180nm 的技術節點，氧化層厚度已減少至 2nm 以下，會產生大的閘極電流；另一方面，也可利用此閘極穿透電流做成新的元件，例如台大電機的研究團隊即首先利用MOS結構研發出光二極體及偵測器⁽⁷⁶⁾。發光二極體的原理如下：在累積(Accumulation)偏壓下，NMOS的電子由閘極經超薄氧化層穿透至p型矽，當電子降低能量至導電帶邊緣時，若動量守恆能夠滿足，在導電帶邊緣的電子與在氧化層p型矽介面的電洞復合，則可發出光子。而當元件在反轉(Inversion)偏壓下，由於少數載子電子經由熱及介面缺陷產生的數量有限，而所產生的電子很快就穿透氧化層形成暗電流(Dark Current)。因此隨著電壓增加，大部分壓降均落在Si上，形成深空乏現象(Deep Depletion)，而電流卻幾乎不隨電壓增加而增加。在這樣的情況下，若是利用照光產生額外的電子，電流將隨著照光強度而變化。此即為光偵測器的基本原理。當光照射於半導體上時，若光子能量大於半導體帶溝能量，則可將價帶的電子激發至傳導帶，形成電子電洞對，這些額外產生的電子即可形成光電流。隨著光強度越強，所產生的光電子也越多，光電流也越大。而此光偵測器所能偵測的光波長範圍便受到半導體基材的帶

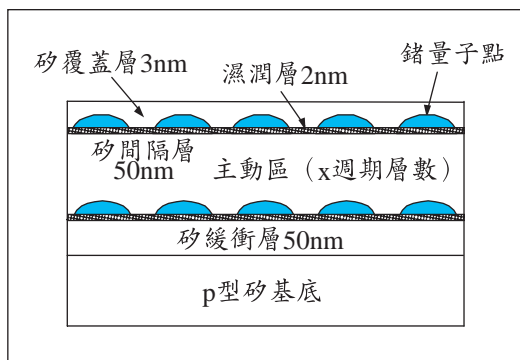
溝能量限制，Si光偵測器的截止波長約為 $1.2\mu\text{m}$ (1.1eV)。

圖九即為利用超高真空化學氣相沉積機台(UHVCVD)所成長的多層矽鍺量子點結構。由於晶格常數不同所造成的應力，在Si上無法成長太厚且無缺陷的Ge層。因此在適當的溫度及壓力下，Ge在形成一薄Wetting Layer後(約數nm)會產生量子點以釋放應力達成平衡。重複利用此特性可在Si基板上成長出多層的鍺量子點結構。量子點的寬度約 100nm ，而高度約為 6nm 。

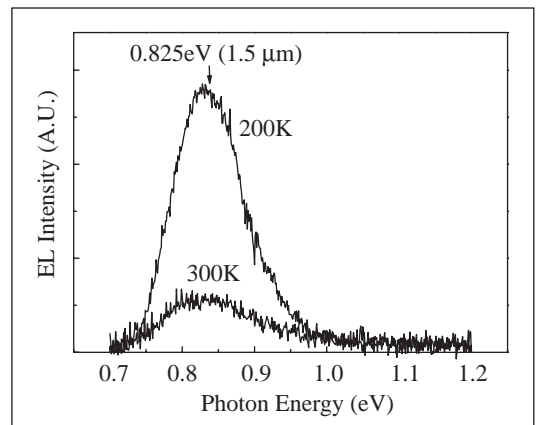
利用此鍺量子點基板所製作的PIN發光二極體發光強度對能量關係圖如圖十所示⁽⁷⁷⁾。(註：因為SiGe材料表面缺陷尚多，其金氧半結構之發光強度較PIN而言又低了 $10\sim 100$ 倍左右，研究上將持續設法降低SiGe之缺陷)。在 0.8eV ($1.5\mu\text{m}$)處有一明顯反應，且隨著溫度升高強度下降，顯示因帶溝

減少，電子電洞結合所放出的光能量已由 1.1eV 下降至 0.8eV ，即發光波長由 $1.1\mu\text{m}$ 延伸至 $1.5\mu\text{m}$ 。同理，利用此基板來製作金氧半光偵測器，可將偵測波長延伸至 1.3 及 $1.5\mu\text{m}$ 。圖十即為光偵測器響應對光強度關係圖。響應(Responseivity)的定義為每一瓦的光能夠產生多少的光電流，在金氧半光偵測器上，響應幾乎為常數。從圖十可知利用鍺量子點基板做成的金氧半光偵測器，不但具有 1.3 及 $1.5\mu\text{m}$ 之響應，在 $0.85\mu\text{m}$ 的響應也較純Si的光偵測器增加許多(效率約為 60%)。

除了利用半導體可吸收光能量而產生電子電洞對的特性之外，利用鍺量子點結構所製作的金氧半光偵測器更可應用於長波長紅外光偵測上^(78, 79)。紅外光偵測器在軍事、醫療及天文觀測上均有相當大的用處，目前多為III-V族元件所製造，成本相當高，而利用矽鍺材料異質界面產生的

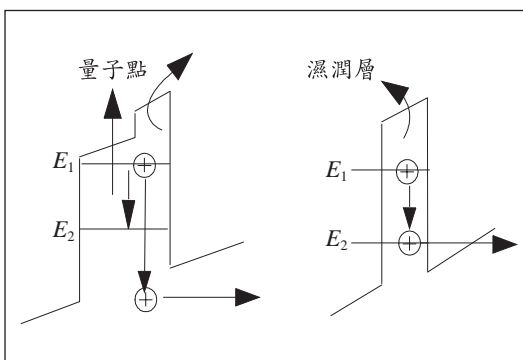


▲圖九 多層鍺/矽量子點結構圖。控制間隔層厚度可使量子點在垂直方向自動對齊，稱為自聚性量子點(Self-Assembled Quantum Dot)



▲圖十 利用鍺量子點結構之元件發光強度對能量圖，在 $1.5\mu\text{m}$ 有明顯的響應

量子侷限(Quantum Confinement)現象，亦可應用於紅外光偵測上，其原理如圖十一所示。由於在垂直方向量子點的寬度約為6nm，而Wetting Layer僅3nm，銻層受到矽間隔層(Spacer)的包圍，因此對電洞來說會形成量子位障(Quantum Barrier)。在無光照射下，部分經由缺陷產生的電洞會被侷限在能量位障內；而在室溫下，被侷限的電洞可藉由吸收熱能而跳出位障；在低溫下，由於缺乏熱能，被侷限在量子井中的電洞無法跳出位障，且由介面缺陷及材料缺陷處所產生的電子電洞對數目也減少，造成暗電流下降。由量子力學理論可知，在量子井(點)中的電洞會產生不連續的能階分佈，電洞會佔據不同的能階而被侷限在量子井中。雖然Wetting Layer及量子點之材料均為銻，但由於所受到的應力及厚度不同，因此兩層之能隙會有少許不同，如圖十一所示。



▲圖十一 矽銻異質界面所產生之量子位障示意圖。在位障中之電洞可吸收紅外光而躍遷至較高能階並跳出位障，形成光電流

此時元件若照射波長較長之紅外光，雖然光子的能量小於材料能隙而無法藉由直接躍遷而產生額外的電子電洞對，但量子井中被侷限的電洞卻能夠吸收該能量 ΔE 而跳出，或是先由 E_1 能階跳至 E_2 能階再跳出位障，跳出的電洞被負電壓所吸引而被負電極所接收，形成光電流。當光波長超過矽、銻能隙波長時，紅外光光偵測器均可有效偵測（當然亦可偵測光波長小於矽、銻能隙波長之光，差別在於產生光電流的機制不同）。

綜上所述，可知利用超薄氧化層具有大穿隧電流的特性，再配合矽銻半導體本身的特性，可以製作出新型的光電元件，這些元件不但具有低成本、高積集度的優點，並且能與工業界製程相結合，可應用於未來的光纖通訊或IC中的光連接部分，甚至應用為紅外光的偵測，是非常有趣且具應用價值的研究。

結語

以上僅就矽銻電晶體作一概略性的介紹，讓讀者了解目前矽銻相關技術的進展，並對於新的矽銻元件有更進一步的了解與認識。

參考文獻

1. T. Tatsumi, H. Hirayama, N. Aizaki. Appl. Phys. Lett. (USA) vol.52 (1988) p. 895-7.
2. H. Temkin, J.C. Bean, A. Antreasyan, R. Leibenguth. Appl. Phys. Lett. (USA) vol 52 (1988) p. 1089-91.
3. G. L. Patton, S. S. Iyer, S. L. Delage, S. Tiwari, J.M.C. Stoik. IEEE Electron Device Lett (USA)

- wA.9 (1988) p. 165-7.
4. D.-X. Xu, G.-D. Shen, M. Willander, W.-X. Ni, G.V. Hansson I Appl. Phys Lett (USA) vol.52 (1988) p. 2239-41.
 5. P. Narozny, M. Hamacher, H. Dambkes, H. Kibbel, E. Kasper. Int. Electron Devices Meet Tech. Dig. (USA) (1988) p. 562-5.
 6. J.F. Gibbons et al. Int. Electron Devices Meet. Tech. Dig. (USA) (1988) p. 566-9.
 7. E.F. Crabbe, B.S. Meyereon, J.M.C. Stork, D.L. Harame. Int. Electron Devices Meet. Tech Dig. (USA) (1993) p. 83-6.
 8. D.L. Harame et al. Tech. Dig. VLSI Tech. Symp. (USA) (IEEE, New York, 1990) p. 47-8.
 9. D.L. Harame et al. Tech. Dig. VLSI Tech. Symp. (USA) (Business Center for Acad Soc Japan, Tokyo, 1991) p. 71-2.
 10. E.J. Prinz, J.C. Stunn. IEEE Electron Device Lett. (USA) vol.12 (1991) p. 661-3.
 11. A. Gruhle. IEEE Trans. Electron Devices (USA) vol.41 (1994) p. 198-203.
 12. E. Crabbe, J.D. Cressler, G.L. Patton, J.M.C. Stork, J.H. Comfort, J.Y.-C. Sun. IEEE Electron Device Lett. (USA) vol. 14 (1993) p. 193-5.
 13. H. Kroemer. Proc. IEEE (USA) vol.70 (1982) p. 13-25.
 14. C.G. Van de Walle, R.M. Martin. Phys. Rev. B (USA) vol.34 (1986) p. 5621-34.
 15. S.E. Swihun, Y.-H. Kwark, R.M. Swanson. Int. Electron Devices Meet. Tech Die (USA) (1986) p. 24.7.
 16. E.J. Prinz, P.M. Garone, P.V. Schwartz, X. Xiao, J.C. Stunn. Int. Electron Devices Meet Tech. Dig. (USA) (1989) p. 639-42.
 17. E.J. Prinz, P.M. Garone, P.V. Schwartz, X. Xiao, J.C. Stunn [IEEE Electron Device Lett (USA) vol.12 (1991) p. 42-4.
 18. A. Pruijboom et al [IEEE Electron Device Lett. (USA) vol. 12 (1991) p. 357-9.
 19. J.W. Slotboom, G. Streutker, A. Pruijboom, D.J. Gravesteijn. IEEE Electron Device Lett ^/S^ vol.12(1991) p. 486-8.
 20. A. Pruijboom et al. Microelectron. Eng. (Netherlands) vol.19 (1992) p. 427-32.
 21. S.E. Swihun, D.E. Kane, R.M. Swanson. Int. Electron Devices Meet. Tech Die (USA) (1988) p. 298-301.
 22. S.S. Iyer, G.L. Patton, J.M.C. Stoik, B.S. Meyerson, D.L. Harame. IEEE Tram. Electron Devices (USA) vol.36 (1989) p. 2043-64.
 23. C.A. King, J.L. Hoyt, C.M. Gronet, J.F. Gibbons, M.P. Scott, J. Turner. IEEE Electron Device Lett. (USA) vol.10 (1989) p. 52-4.
 24. J.C. Stunn, E.J. Prinz, P.M. Garone, P.V. Schwartz. Appl. Phys. Lett. (USA) vol.54 (1989) p. 2707-9.
 25. C.A. King, J.L. Hoyt, J.F. Gibbons. IEEE Trans. Electron Devices (USA) vol.36 (1989) p.2093-104.
 26. J.C. Stunn, E.J. Prinz, C.W. Magee. IEEE Electron Device Lett. (USA) vol. 12 (1991) p. 303-5.
 27. J. Poortmans et al. Microelectron. Eng. (Netherlands)vol.29(1992) p. 443-6.
 28. Z. Matutinovic-Krstelj, E.J. Prinz, V. Venlcata-rainan, J.C. Stunn. Int. Electron Devices Meet.Tech Dig. (USA) (1993) p. 87-90.
 29. T.I. Kamins et al. IEEE Electron Device Lett. (USA) vol. 10 (1989) p. 503.5.
 30. A. Gruhle, H. Kibbel, U. Konig, U. Erben, E. Kasper. IEEE Electron Device Lett. (USA) vol.13 (1992) p. 206-8.
 31. T. Manku, A. Nathan. J. Appl. Phys. (USA) vol.69 (1991) p. 8414-6.
 32. T. Manku, A. Nathan. IEEE Electron Device Lett. (USA) vol.12 (1991) p. 704-6.
 33. T. Manku, A. Nathan. Phys. Rev. B (USA) vol.43 (1991) p. 12634.
 34. J.M. McGregor, T. Manku, J.P. Noel, D.J. Roulston, A. Nathan, D.C. Houghton. J. Electron.Mater. (USA) vol.22 (1993) p. 319-22.
 35. H. Kroaner. Solid-State Electron. (UK) vol.28 (1985) p. 1101-3.
 36. K. Suzuki, N. Nakayama. IEEE Tram. Electron Devices (USA) vol.39 (1992) p. 623-8.
 37. E.J. Prinz, J.C. Stunn. Int. Electron Devices Meet. Tech. Dig. (USA) (1991) p. 853-6.
 38. G.L. Patton, D.L. Harame, J.M.C. Stork, B.S. Meyerson, G.J. Scilla, E. Ganin. IEEE Electron Device Lett. (USA) vol. 10 (1989) p. 534-6.
 39. D.L. Harame et al. Int. Electron Devices Meet. Tech. Dig. (USA) (1990) p. 33-6.
 40. S.Tiwari. IEEE Electron Device Lett. (USA) vol.9 (1988) p. 142-4.
 41. P.E. CottreU, Z. Yu. IEEE Electron Device Lett. (USA) vol. 11 (1990) p. 431-3.
 42. D.L. Harame et al. Int. Electron Devices Meet. Tech. Dig. (USA) (1988) p. 889-90.
 43. T.I. Kamins et al. Int. Electron Devices Meet. Tech. Dig. (USA) (1989) p. 647-50.
 44. S.E. Fischer et al. Int. Electron Devices Meet. Tech. Dig. (USA) (1989) p. 890-2.
 45. G.L. Patton et al. IEEE Electron Device Lett. (USA) vol.11 (1990) p. 171-3.
 46. J.H. Comfort et al. Int. Electron Devices Meet. Tech. Dig. (USA) (1990) p. 21-4.
 47. J.N. Burghartz et al. Int. Electron Devices Meet. Tech. Dig. (USA) (1990) p. 297-300.

48. H.-U. Schreiber, J.N. Albers. *Electron. Lett. (UK)* vol.27 (1991) p. 1465-6.
49. J.H. Comfort et al. *Int. Electron Devices Meet. Tech. Dig. (USA)* (1991) p. 857-60.
50. A. Gruhle, H. Kibbel, E. Kasper. *IEEE Trans. Electron Devices (USA)* vol.39 (1992) p. 2636.
51. E.F.CiabbcitHal. *IEEE Electron Device Lett. (USA)* vol.13 (1992) p. 259-61.
52. F. Sato, T. Hashimoto, T. Tatsumi, H. Kitahata, T. Tashiro. *Int. Electron Devices Meet.Tech. Dig. (USA)* (1992) p. 397-400.
53. D.L. Harame. *Int. Electron Devices Meet. Tech. Dig. (USA)* (1992) p. 19-22.
54. D.L. Harame et al. *Tech. Dig. VLSI Tech. Symp. (USA)* (1993) p. 61-2.
55. A. Gruhle, H. Kibbel. *Electron. Lett. (UK)* vol.29 (1993) p. 415-7.
56. A. Gruhle, H. Kibbel, U. Erben, E. Kasper. *Tech. Abs. Dev. Res. Conf. (USA)* (1993).
57. J.N. Burghartz, T.O. Sedgwick, D.A. Grutzmacher, D. Nguyen-Ngoc, K.A. Jenkins. *Tech.Proc. Bip. Circ. Tech. Mtg. (USA)* (1993) p. 55-62.
58. J.N. Burghartz. Private communication.
59. E.F. Crabbe et al. *Tech. Abs. Dev. Res. Conf. (USA)* (1993).
60. D.L. Harame et al. *Int. Electron Devices Meet. Tech. Dig. (USA)* (1993) p. 71-4.
61. A. Schuppen, A. Gruhle, U. Erben, H. Kibbel, U. Konig. *Tech. Abs. Dev. Res. Conf (USA)*(1994).
62. T.F. Meister et al. *Int. Electron Devices Meet. Tech. Dig. (USA)* (1995) p. 739-742.
63. M.Kondo et al. *Int. Electron Devices Meet. Tech. Dig. (USA)* (1996) p. 245-248.
64. K. Washio et al. *Int. Electron Devices Meet. Tech. Dig. (USA)* (1997) p. 795-798.
65. K. Washio et al. *Int. Electron Devices Meet. Tech. Dig. (USA)* (1998) p. 312-5.
66. Ito et al. *IEICE Trans. Electron (japan)* vol. 82-c (1999) p. 526-529.
67. K. Washio, E. Ohue, H. Shimamoto, K. Oda, R. Hayami, Y. Kiyota, "A 0.2-mm 180-GHz f_{max} 6.7-ps-ECL SOI/HRS self-aligned SEG SiGe HBT/CMOS technology for microwave and high-speed digital application," in *IEDM Tech. Dig.*, 2000, pp. 741-744.
68. K. Oda, E. Ohue, I. Suzumura, R. Hayami, A. Kodama, "Self-aligned selective-epitaxial- growth SiGe HBT technology featuring 170-GHz f_{MAX} ," in *IEDM Tech. Dig.*, 2001, pp.332-335.
69. B. Jagannathan, M. Khater, F. Pagette, J.-S Rieh., D. Angel, H. Chen, J. Florkey, F. Golan, D. R. Greenverg, R. Grove, S. J. Jeng, J. Johnson, E. Mengistu, K. T Schonenberg., C. M. Schnabel, P. Smith, A. Stricker, D. Ahlgren, G. Freeman, K. Stein, S. Subbanna, "Self-align SiGe NPN transistors with 285 GHz f_{max} and 207 GHz ft in a manufacturable technology," *IEEE Electron Devices*,vol. 23, pp258-260, 2002.
70. J. -S. Rieh, B. Jagannathan, H. Chen, K. T. Schonenberg, D. Angell, A. Chinthakindi, J. Florkey, F. Golan, D. Greenberg, S. -J. Jeng, M. Khater, F. Pagette, C. Schnabel, P. Smith, A. Stricker, K. Vaed, R. Volant, D. Ahlgren, G. Freeman, K. Stein, and S. Subbanna, "SiGe HBTs with Cut-off Frequency of 350GHz," *IEEE IEDM Tech. Dig.*, pp.771-774, 2002.
71. H. Rucker et al. "SiGe:C BiCMOS Technology with 3.6ps Gate Delay," *IEEE IEDM Tech. Dig.*, pp.121-124, 2003.
72. B. Heinemann et al. "A Complementary BiCMOS Technology with High Speed npn and pnp SiGe:C HBTs," *IEEE IEDM Tech. Dig.*, pp.121-124, 2003.
73. J. C. Sturm et al., "Si/SiGe/Si heterojunction bipolar transistor" in "Properties of silicon germanium and SiGe:Carbon," edited by Erich Kasper and Klara Lyutovich. (London: INSPEC, c2000)
74. Shaofeng Yu, Jongwan Jung, Judy L. Hoyt, and Dimitri A. Antoniadis, "Strained-Si-Strained-SiGe Dual-Channel Layer Structure as CMOS Substrate for Single Workfunction Metal-Gate Technology," *IEEE Electron Device Lett.*, vol. 25, p. 402, 2004.
75. T. Ghani et al., "A 90nm high volume manufacturing logic technology featuring novel 45nm gate length strained silicon CMOS transistors," *IEDM*, p. 793, 2003
76. C. W. Liu, M. H. Lee, C. F. Lin, I. C. Lin, W. T. Liu, and H. H. Lin, "Light emission and detection by metal oxide silicon tunneling diodes," *Tech. Dig.*, International Electron Device Meeting (IEDM), Washington D. C., pp. 749-752, 1999.
77. Z. Pei et al., *Appl. Surface Science*, Vol. 224, p. 165, 2004.
78. B.-C. Hsu, S. T. Chang, C.-R. Shie, C.-C. Lai, P. S. Chen, and C. W. Liu, "High Efficient 820 nm MOS Ge Quantum Dot Photodetectors for Short Reach Integrated Optical Receivers," *Tech. Dig.*, International Electron Device Meeting (IEDM), pp. 91-94, 2002.
79. B.-C. Hsu, C.-H. Lin, P.-S. Kuo, S. T. Chang, P. S. Chen, C. W. Liu, J. -H. Lu, and C. H. Kuan, "Novel MIS Ge-Si Quantum Dot Infrared Photodetectors," *IEEE Electron Device Lett.*, vol. 25, pp. 544-546, 2004.