

單電子電晶體

胡淑芬

財團法人國家實驗研究院 國家奈米元件實驗室

副研究員

摘要

單電子電晶體開創了一個嶄新的研究領域，讓我們能用一個巨觀的系統觀測並控制單一個電子的行動。雖然此一領域發展的時間相當短，但是不論在基礎研究或應用領域都有突破性的進展。因此，在這個要求體積小、消耗功率小的電子元件的時代，預期單電子電晶體將成為21世紀最重要的奈米電子元件之一。本文將介紹利用庫倫阻斷(Coulomb Blockade)及穿隧(Tunneling)等量子效應來操作單電子電晶體之基本原理，並介紹本實驗室利用符合現今超大型積體電路製程之電子束激影多層對準直寫技術、氧化製程特性，乾、濕式蝕刻方式所製作之矽基單電子電晶體。

關鍵詞

單電子電晶體(Single Electron Transistor; SET)、庫倫阻斷(Coulomb Blockade)、穿隧(Tunneling)、庫倫震盪(Coulomb Oscillation)

前言

積體電路製造技術在近幾十年來快速地進步，元件尺寸持續縮小，在一定的容積內包裝大量的多功能與低消耗功率之元件。事實上，單一晶片內元件數量已由上千個增加到數十百萬個。這是因為積體電路設計與半導體材料、微影製程、蝕刻製程、薄膜成長和離子植入製程等技術相輔相成

發展的成果，尤其近年來金氧半場效電晶體(MOS)元件尺寸持續性地縮小。依據專家們的預測，MOS元件尺寸仍然會持續縮小，由目前0.25微米將持續減縮到小於10奈米之製程技術。並且為因應大量的多功能與低消耗功率之元件在單一晶片上操作，其消耗功率之需求為幾個瓦特之內，而元件的消耗功率與形成電流之電子數目成正比，因此電子數目將由超過50,000個降

低為約10個電子所形成的電流。單電子電晶體(Single Electron Transistor; SET)其電流為單一電子所形成，故其消耗功率相對地非常低，是未來元件的主流。

單電子電晶體其動作基本原理主要乃應用庫倫阻斷(Coulomb Blockade)及穿隧(Tunneling)等量子效應來操作。其最早被發現是在金屬薄膜內極微小穿透性接合(Tunnel Junction)中的一種電子傳輸效應，它的理論約在十年前開始萌芽，而實驗是在極微小元件(尺寸約100nm)的製造技術開發之後，也就是約在7~8年前才開始，而且馬上掀起研究熱潮，因為它不但解釋了以往無法瞭解的現象(例如超微粒薄膜的相變化)⁽¹⁾，並可探討量子力學內最基礎的問題，研究電子在微小結構中之傳導機制，從而開發新的電子元件。

庫倫阻斷與單電子穿隧效應⁽²⁾

庫倫阻斷效應的表現是靜電能量對電子穿隧位障過程的影響。以二極板間距很小的平行板電容器為例，由於電容器極板中正離子的吸引，極板上的電子不能逃到二極板間的真空中去，亦即真空區電子的位能大於極板中電子的能量。如果把真空區當作是位障區，能量低於位障高度的電子不能進入或穿過位障區，不過依量子力學觀點，電子有可能穿過位障區，此

種現象稱為穿隧效應。位障區的寬度愈小，位障高度與電子能量差別愈小，則穿隧的機率愈大。因此，如果電容器極板的間距愈小，極板上的電子就能穿隧到二極板間的真空區而到達另一極板上，將此種電容器稱為隧道結。而電子穿隧的結果形成穿過電容器的電流，此種電流乃為真實的電荷輸送。

電子能否穿隧隧道結與極板上的電荷 Q 有緊密的關係。對於電容為 C ，極板上的電荷為 Q 的電容器，具有靜電能為 $Q^2/2C$ 。假設二極板表面上沒有電荷，一個電子從左到右穿隧通過此隧道結，亦即一個電子由左邊電極轉移到了右邊的電極，在右邊產生了一個淨負電荷 $-e$ ；同樣的，因為左邊電極少了一個負電荷，亦即留下一個淨正電荷 $+e$ 。此時兩邊的電荷差是 $2e$ ，表示電子穿隧通過此隧道結的過程，此系統增加了能量。如果考慮電子反方向的穿隧，也會得到同樣的結果，此系統不可能維持在最低可能的能階，因此不會有電子移動越過此隧道結，這就是所謂的庫倫阻斷效應。

如果兩個電極帶有的電荷量等於半個電子電荷，那麼當有一電子由左到右穿隧通過此隧道結，亦即移轉了一個 $-e$ 的電荷，使得右邊有了總電荷 $-e/2$ ，而在左邊有了總電荷 $+e/2$ 。因此整個系統的電荷差是 e ，表示電子穿隧通過此隧道結的過程之前後，能量是相等的，使得電子穿隧通過此隧道結

的機率增加了。然而，只有單一電子從左到右的穿隧是允許的。如果有兩個電子穿隧，就會造成左邊有 $+3e/2$ 的電荷，而右邊有 $-3e/2$ 的電荷，如此一來系統能量又增加許多。

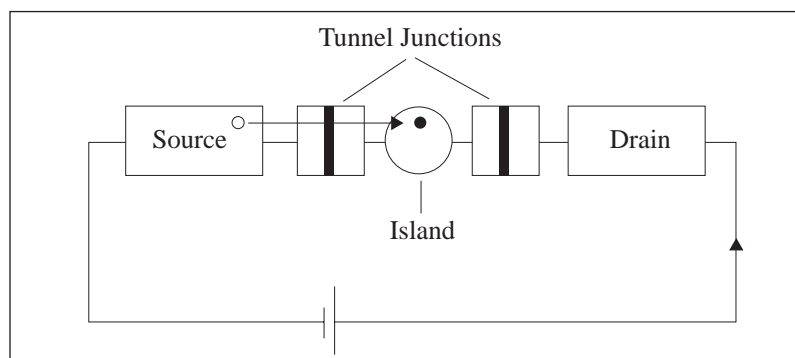
假如極板上原來沒有電荷，現以恆定電流 I 充電電容器，上一個電子穿隧導致體系的電荷與電位的變化，將阻止下一個電子的穿隧。由於電流源繼續地工作，電容器又重新充電而改變極性，又引起下一個電子的穿隧，全部過程遂以頻率 I/e 週期性地重複著。極板上電荷與電壓的週期性振盪稱為單電子穿隧振盪。由此觀之，庫倫阻斷的作用將使單個電子穿隧事件之間存在著時間相關性：下一個電子必須等待 e/I 的時間才能通過隧道結。

電極板上的電荷可在 $+e/2$ 和 $-e/2$ 之間連續變化，亦即電荷的變化量可任意小，完全不受電子電荷 e 的整數倍的限制。此與一般的認知不同。極板上的電荷是由電流源提供的，而電流的定義是單位時間內通過導線截面的電荷數，此處之電荷是指傳輸電荷，其大小取決於所有參加導電的電子相對於導線晶格上正離子的位移之和，電子的位移是連續的，因此傳輸電荷也是連續的。

電流對電容器充電是使極板表面附近的電子相對於正離子發生位移而累積傳輸電荷。因此，充電電荷就可為連續值。然而，電子的穿隧又只能一個一個地通過，這是一種分立過程。因此，在單電子穿隧過程中，連續（充電）和分立（穿隧）兩種現象是並存的。

單電子電晶體基本原理

單電子電晶體與一般的場效電晶體(FET)一樣，是一具有源極(Source)、汲極(Drain)及閘極(Gate)的三極體。可經由閘極電壓形成的電場來控制源、汲極間的電流，而源極及汲極則是電流流通的路徑。不同的是，SET用尺寸極小的中央島(Island)與包圍此中央島之微小接合(Tunneling Barrier)連結至電極，以取代場效電晶體的通道(Channel)與p-n Junction，如圖一所示。中央島可以儲存電荷，而微小接合則為薄絕緣層，一方面可以使中央島絕緣，另一方面則薄到可以

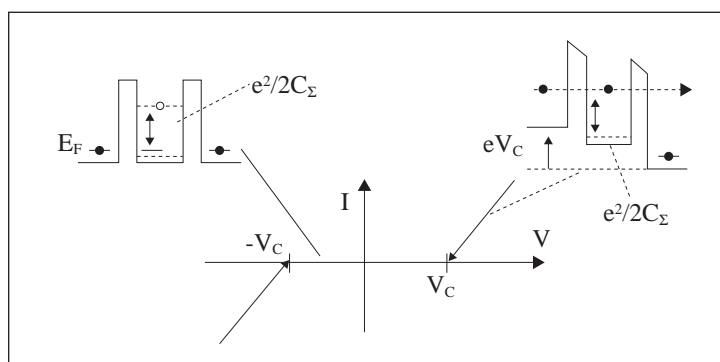


▲圖一 單電子電晶體的基本電路，除源極、汲極和閘極外，尚有一量子點(Island)，在量子點兩端則為極微小之穿透性接合⁽¹⁶⁾

使電子穿隧而過。當施給源極適當大小範圍的負電壓時，使得電子位能大於 $e^2/2C_\Sigma$ ，單一個電子可穿隧能量障壁而進入此量子點，此時量子點之量子井的電位能(Potential Energy)升高，使第二個電子無法進入，當量子點之量子井的電位能升高時，相對的離汲極處較近的位能障壁(Potential Barrier)則降低，此時電子將可從量子點穿隧至離汲極處較近的能量障壁而通過另一接合線到汲極。庫倫阻斷之I-V特性則如圖二所示，當電壓值介於負臨界電壓 $-V_c = -e^2/2C_\Sigma$ 和正臨界電壓 $V_c = e^2/2C_\Sigma$ 時，電流值因電子被“鎖住(Blocked)”而為零，當電壓增加到大於臨界電壓 V_c ，能量障壁消除，電子可穿隧能量障壁，而電流也因所施給的電壓而增加。

單電子電晶體庫倫阻斷效應之電子流動方式⁽³⁾有兩個基本要件，第一個要件為 $R \gg R_k$ ， R 為接合面之電阻

(Tunnel Resistance)， R_k 為量子點之電阻(Quantum Resistance， $R_k = h/e^2 \approx 26 \text{ KW}$ ， h 為浦郎克常數， e 為電子之電荷量)，如此才能產生量子振盪(Quantum Fluctuation)，把電子鎖在量子點內；然而在巨觀體系中，由於電容 C 甚大，使得此能量甚小，遠低於體系熱能 kT ，因此要觀察到此現象必須將電容大小縮小至奈米尺度，亦即第二個要件為 $e^2/2C_\Sigma \gg kT$ （其中 C_Σ 為總電容，而 kT 為熱能），讓電容值 C 小至 $e^2/2C_\Sigma \gg kT$ ，為避免熱能幫助電子穿隧，因而減弱了庫倫阻斷效應，或造成多餘電子數的熱波動，充電能量必須遠大於載子(Carrier)的熱能(Thermal Energy) kT 。當電容 C_Σ 為 10^{-16} F 時，量子點尺寸大小約為直徑 100 nm ，但只有在操作溫度小於 4 K 時才有庫倫阻斷即量子效應顯現，如果要在室溫產生量子效應，則電容 C_Σ 必須約為 $10^{-18} \sim 10^{-19} \text{ F}$ ，相對地量子點尺寸大小則須要縮小到



▲圖二 庫倫阻斷之I-V特性，當電壓值介於負臨界電壓 $V_c = -e^2/2C$ 和正臨界電壓 $V_c = +e^2/2C$ 時，電流值因電子被“鎖住(Blockade)”而為零，當電壓增加到大於臨界電壓 V_c ，能量障壁消除，電子可穿隧能量障壁，而電流也因所施給的電壓而增加⁽¹⁶⁾

直徑小於 10 nm 以下。當上述的兩個要件都符合，吾人才能在施給適當大小範圍的電壓時，觀察到所謂的庫倫阻斷效應：電子是一個接一個流動而不是集體一起行動的，亦即導電性(Conductance)的振盪(Fluctuation)和流入及流出量子點的電荷數有極大的關係⁽³⁾。

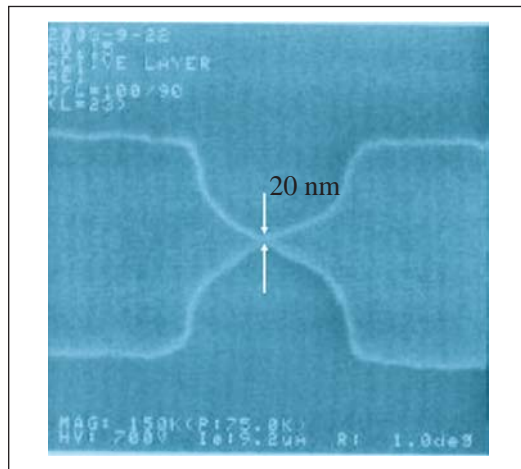
矽基單電子元件之製作

要製作具實用化之單電子電晶體，意即其要能滿足在室溫操作條件下，因此在線寬及量子點尺寸大小，必須使用奈米製程技術控制在10nm以下。電子束直寫微影系統是可以形成非常細窄（0.1微米或更小）的線寬圖形於積體電路中。如此細窄的線寬是因為電子束的光點(Spot of Electron)可以達到非常的小，而光學系統則受限於曝光光源的波長。由於電子束的波長非常小，所以沒有繞射(Diffraction)現象產生，故而可以提高影像鑑別度(Resolution)。因此電子束微影系統常常使用在製造極細線寬的結構上，而許多研究者皆以此系統來製作奈米級線寬(Nano-Pattern)與圖形。

電子束直寫微影系統中，會產生眾所周知的近階效應(Proximity Effect)，其乃因圖形線寬與形狀及圖形密度(Density of Shapes)的不同，造成提升影像鑑別度的困難。該近階效應正是電子束直寫微影系統要達到完善鑑別度的最大絆腳石。當帶電的粒子入射於晶片上的光阻層，電子會經歷碰撞之前後往返(Forward & Backward)的散射(Scattering)過程，而散射結果造成圖形周圍不應該曝光之區域，也會累積電子束散射能量。而散射累積電子束的能量，對單一圖形(Isolated Pattern)的影響比較輕微，但對圖形稠密之區域(Densely Patterned Area)則影

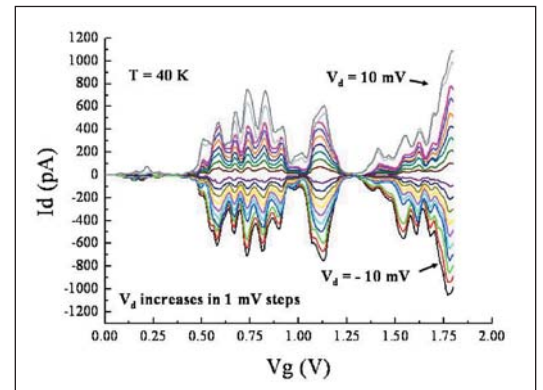
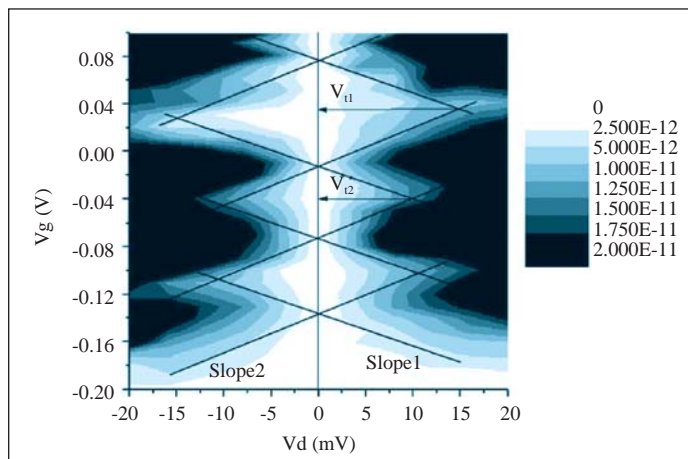
響非常嚴重。因此單一圖形經電子束直寫微影製程所形成的線寬，會比原先所設計的線寬為窄，而圖形稠密區域的情形，則正好相反。電子束的曝光強度，原則上是呈現高斯分佈(Gaussian Intensity Profile)，其乃因電子經歷碰撞前後往返所產生的散射導致。而欲降低近階效應的主要方法，為隨著不同圖形的疏密程度調整電子束的劑量，或是改變線寬尺寸大小來修補。因此，設計不同線寬圖形並選用電子束直寫微影系統中電子束劑量及顯影的時間，以製造矽的點接觸(Point-contact)結構，進而利用所形成的矽的點接觸結構製作單電子電晶體。在點接觸式單電子電晶體的製作中，我們已經成功做出平均20nm（寬）×20nm（長）×50nm（厚）的奈米點通道⁽⁴⁾，如圖三。在操作溫度高達40K時也可得到庫倫振盪(Coulomb Oscillation)特性曲線，如圖四⁽⁴⁾。圖五則為量測溫度固定為40K，灰階部分為電導的準位，而菱形區域之內為庫倫阻斷電流截止的部分⁽⁴⁾。

另外，我們也利用閘極加上電壓所產生之氣態電子壓縮成量子島，以形成電極、量子島和能量障壁之結構，製作一種自我對準之複晶矽間隙壁閘極之單電子電晶體結構⁽⁵⁾。利用複晶矽間隙壁閘極(Polysilicon Spacer Gate)，來作為分立下閘極，藉由此法可大為縮減分立閘極的間距（約為40奈米或更小），進而減少量子井的電容



▲圖三 利用掃描式電子顯微鏡(SEM)所擷取的主動區通道，經過近階效應修正後形成20nm的奈米點

以提高操作溫度，直到室溫可操作，並有極佳的對稱性。流程為以電子束微影多層對準直寫技術、氧化製程特性，乾、濕式蝕刻方式在SOI晶片上製作源極與汲極之間的1維奈米級通道(Nano Channel)。接著製作跨於通道上

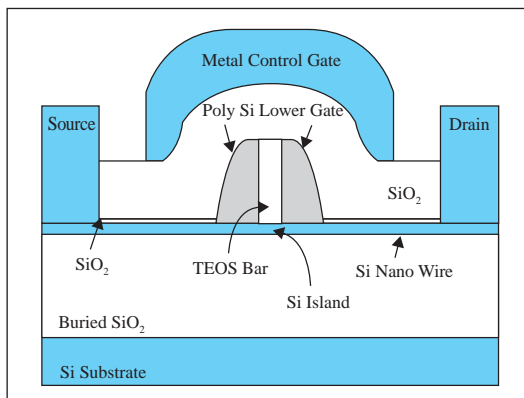


▲圖四 V_g - I_d 特性曲線在閘極電壓範圍為0~2V，溫度固定在40K，偏壓分別為-10~10mV時之庫倫震盪

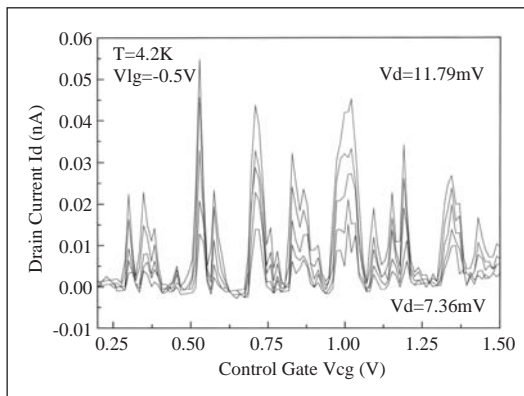
二氧化矽的一維奈米級細線(Nano Wire)。再來沈積複晶矽，並蝕刻形成複晶矽間隙壁閘極，施與偏壓使通道中形成兩個位能障壁，及夾於此兩個位能障壁之中可貯存電荷之量子井(Quantum Well)。再於上方加上金屬閘極，加偏壓感應形成二維電子氣，並同時控制量子井之能階，以期達成雙閘極控制之單電子電晶體結構的運作。

圖六所示為元件結構剖面圖，圖七為元件於低溫操作之電流-電壓量測結果，由圖中展現出明顯的非線性的庫倫震盪特性。其整體製程符合現今超大型積體電路的製程，未來可應用於單電子電晶體之製作，故極具產業應用價值。

▲圖五 特性曲線在閘極電壓範圍為0~16V，偏壓範圍為±2mV，量測溫度固定為40K的關係圖，灰階部分為電導的準位。在菱形區域之內為庫倫阻斷之電流截止的部分



▲圖六 自我對準之複晶矽間隙壁閘極之單電子電晶體結構剖面圖



▲圖七 低溫操作之I-V特性，展現出明顯的非線性的庫倫震盪

結論

要觀察到此雙介面庫倫島之階梯式電子傳輸現象之關鍵，還是在庫倫阻塞所造成之能障，必須大於系統熱能 kT ，因此只有在低溫與奈米尺度下才容易觀測到。要注意的是，此一能障與半導體一維通道之量子化能障能隙是不同的，半導體一維通道之量子化能障能隙是單純的帶電粒子運動受

到庫倫作用力的阻礙，而雙介面庫倫島之階梯式電子傳輸現象則來自量子尺寸效應的電子能階化。對金屬微粒之庫倫島而言，要使其達到量子化能階所需之尺度之下，幾乎是無法實際做到。

目前，SET 必須在低溫下操作才能呈現其特殊功能。主要是因為高溫時將造成的二種效應，會破壞 SET 的特性：其一促使電子穿透而模糊了庫倫阻斷的特性；另一是造成多餘電子數的熱擾動。因此提高 SET 工作溫度是目前最主要的研究課題，唯有如此才能真正凸顯 SET 的應用價值。欲達成此一目標，必須使中央島的尺寸能小於 10 奈米。應用最先進的矽材料氧化、蝕刻等製程技術，已可在實驗室達成此一目標。

參考文獻

1. C. D. Chen, P. Delsing, D. B. Haviland, Y. Harada, and T. Claeson, Phys. Rev. B. 51, R15645 (1995).
2. 李雅明，如何創新，天下文化書坊，242-245 頁。
3. U. Meirav, and E. B. Foxman, Semicond. Sci. Technol. 10, 255 (1995).
4. S. F. Hu, K. D. Huang, Y. M. Wan, C. L. Sung, Proximity Effect of Electron Beam Lithography for Single-electron Transistor Fabrication, Appl. Phys. Lett. 85, 18, (2004). In press
5. S. F. Hu, Y. C. Wu, C. L. Sung, C. Y. Chang and T. Y. Huang, A Dual-Gate-Controlled Single-Electron Transistor using Self-Aligned Polysilicon Sidewall Spacer Gates on Silicon-on-Insulator Nanowire, IEEE Tran. on Nanotechnology vol. 3, No. 1, 92-97 (2004).
6. H. Ahmed, J. Vac. Sci. Technol. B 15, 6 (1997).