

# 奈米電子元件

張鼎張\* 顏碩廷\*\* 劉柏村\*\*\*

\*國立中山大學物理系 / 國家奈米元件實驗室 教授

\*\*國立交通大學電子所 / 鴻海科技公司 博士

\*\*\*國立交通大學顯示科技所 / 國家奈米元件實驗室 副教授

## 摘要

資訊的獲取、放大、儲存、處理、傳輸、轉換、顯示等，任何一樣都離不開電子元件，微電子元件技術早已經成為人類主要經濟的命脈。至於奈米電子元件未來的發展，將以更小且更快為目標：「更小」是指進一步提高晶片中電子元件的積集度，「更快」是實現更高的資訊運算和處理速度。在奈米電子元件的發展中，與現有積體電路製程的相容性，已成為能否成功開發出奈米電子元件的重要因素。本文針對目前較被廣泛研究的三種奈米電子元件：奈米尺度金氧半場效電晶體(Nano-scale MOSFET)、奈米晶體非揮發性記憶體元件(Nano-crystal Nonvolatile Memory Device)及單電子電晶體(Single Electron Transistor; SET)作一簡要的敘述。

## 關鍵詞

奈米尺度金氧半場效電晶體(Nano-scale MOSFET)、奈米晶體非揮發性記憶體元件(Nano-crystal Nonvolatile Memory Device)、單電子電晶體(Single Electron Transistor; SET)

近年來，全世界「奈米科技」學術研究盛行，希望能藉此發展出一個新世代的產業革命。政府也藉由「兩兆雙星」口號以及大型研究計畫的推動，極力發展奈米科技成為國內產業的另一股競爭力。其實早在50年代末期，著名的諾貝爾物理學獎得主費曼

(Feynman)博士就已經預言，當人類能在原子尺寸上進行操縱時，將得到其大量獨特的性質，並能夠做出許多與現在不同的事情；如果能夠在原子和分子尺度上製造材料和元件，就會有許多令人振奮的斬新發現<sup>(1)</sup>。費曼當年的預言就已經充滿了對奈米電子元件

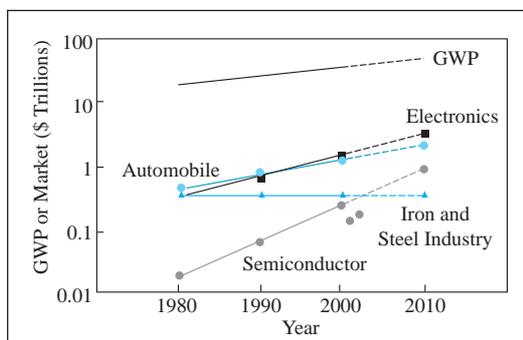
到來的美好憧憬！身為奈米技術中最重要一個分支領域的奈米電子元件(Nano-Electronic Devices)技術，是微電子元件(Micro-electronic Devices)技術向更小尺寸發展的直接結果，尤其是在資訊社會中，電子元件的應用顯得越來越重要，從資訊的獲取、放大、儲存、處理、傳輸、轉換、顯示等，任何一樣都離不開電子元件，微電子元件技術早已經成為人類主要經濟的命脈。至於奈米電子元件未來的發展，將以更小且更快為目標：「更小」是指進一步提高晶片中電子元件的積集度，「更快」是實現更高的資訊運算和處理速度。在奈米電子元件的發展中，與現有積體電路製程的相容性，已成為能否成功開發出奈米電子元件的重要因素。本文針對目前較被廣泛研究的三種奈米電子元件：奈米尺度金氧半場效電晶體(Nano-scale MOSFET)、奈米晶體非揮發性記憶體元件(Nano-crystal Nonvolatile Memory Device)及單電子電晶體(Single Electron Transistor; SET)作一簡要的敘述。

## 奈米尺度金氧半場效電晶體

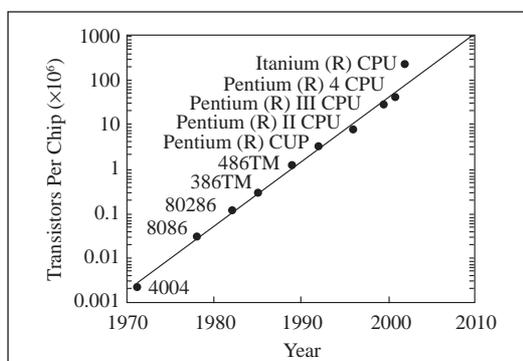
微電子工業的進展不僅在台灣被視為經濟發展的指標，在全世界更是絕大多數高科技產業發展的依據。圖一為電子工業在全世界經濟所佔的比重。圖中顯示，在90年代中期之後，電子工業已經超越汽車工業的營收，成為二十一世紀最重要的經濟發展領導者角色。綜觀現今的科技發展，諸

如各式各樣的可攜帶式電子產品，無不以輕、薄、短、小作為產品開發的方向。自從西元1965年以來，Intel的摩爾(Moore)博士即提出了著名的摩爾定律(Moore's Law)：約每18個月，晶片上的電晶體數目會加倍<sup>(2)</sup>。圖二即為摩爾定律的數據佐證。Intel在近三十年來的技術發展，幾乎完全依循摩爾定律，全世界各大半導體廠，也都以摩爾定律作為推動技術發展的驅動力，甚至想要超越摩爾定律。

自積體電路以及場效電晶體發明以後，元件的縮小化一直是技術發展的趨勢與重點。電子元件尺寸的縮小可以加速電路運作的速度，更可以使

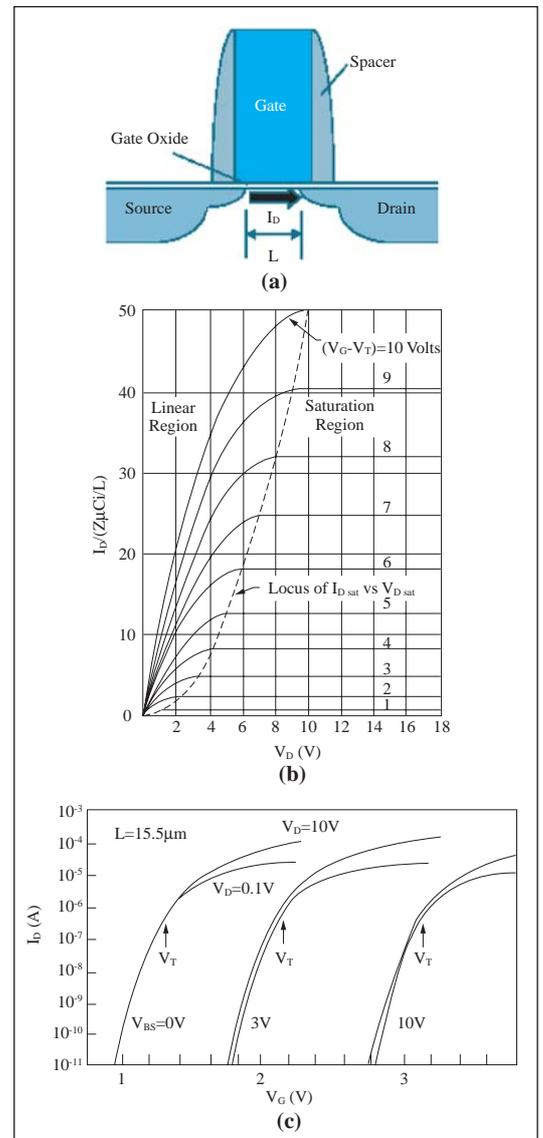


▲圖一 電子工業在全世界經濟所佔的比重



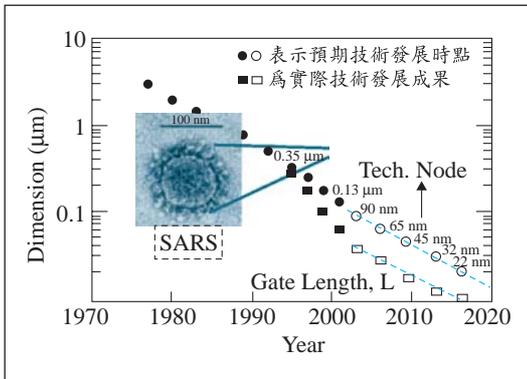
▲圖二 摩爾定律的數據佐證

元件的積集度提昇，進而造就新興電子相關產業的榮景。圖三(a)為金氧半場效電晶體(Metal-Oxide-Semiconductor Field Effect Transistor; MOSFET)的剖面結構圖，在閘極氧化層(Gate Oxide)下方，源極(Source)和汲極(Drain)之間的基板表面，稱為此場效電晶體的通道(Channel)。當電晶體的閘極(Gate)長度和寬度相繼縮小之後，閘極氧化層也必須隨之變薄，以增強閘極控制通道的能力。至於跟隨尺度微縮而來的元件短通道效應，也必須設法將其影響降到最低。圖三(b)為金氧半場效電晶體在導通狀態下的汲極電流( $I_D$ )-汲極電壓( $V_D$ )特性圖， $V_T$ 為電晶體的起始電壓。圖中亦顯示了不同的閘極電壓( $V_G$ )對汲極電流的影響。當閘極電壓大於起始電壓時，此電晶體即為導通狀態(Turn On)；當汲極電壓很小時，電晶體的導通狀態是屬於線性區域(Linear Region)。然而，當汲極電壓逐漸增大之後，電晶體的導通狀態會逐漸進入飽和區域，此時汲極電流呈飽和狀態。圖三(c)為長通道的場效電晶體在不同汲極電壓下(10V或0.1V)的 $I_D$ - $V_G$ 特性圖，圖中亦顯示了在不同基板電壓( $V_{BS}$ )下的 $I_D$ - $V_G$ 變化。當閘極電壓小於起始電壓( $V_T$ )時，電晶體是屬於關閉的狀態(Off)，此時不論汲極電壓為10伏或0.1伏，汲極電流特性曲線應該是重疊的，亦即在電晶體關閉的狀態下，汲極電流不應受到汲極電壓的影響。但當元件尺寸逐漸變小之後，短通道效應逐漸顯現，



▲圖三 (a)金氧半場效電晶體剖面結構圖；(b)金氧半場效電晶體在導通狀態下的汲極電流( $I_D$ )-汲極電壓( $V_D$ )特性圖；(c)長通道的場效電晶體在不同汲極電壓下(10V或0.1V)的 $I_D$ - $V_G$ 特性圖

在電晶體關閉的狀態下，汲極電流開始受到汲極電壓的影響而變化，即汲極電流與汲極電壓相關(Dependent)，嚴重者甚至此電晶體無法正常執行開關的功能。



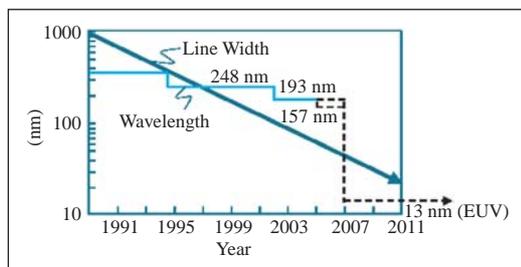
▲圖四 金氧半場效電晶體元件發展的趨勢圖

圖四為金氧半場效電晶體元件發展的趨勢圖。圓點為原本預期的技術節點(Technology Node)發展趨勢準則(Roadmap)，方點為實際上的進步成果，顯示目前各大半導體廠皆以超越技術準則為目標。此處所謂的技术節點，指的是金氧半場效電晶體通道的長度。圖四中更顯示嚴重急性呼吸道症候群(SARS)病毒尺寸大小的相關位置，跟目前的半導體技術所能達到的尺度相比，其尺寸明顯大了許多。西元2002年全世界有許多半導體大廠，紛紛宣佈將進入90奈米技術節點的量產，等於是宣告奈米電子世代的到來。然而，在逐漸逼近奈米尺寸物理極限的過程中，如何提昇元件的性能並延續摩爾定律，是值得重視的一大課題。藉由近年來的技術發展趨勢來看，新元件結構的開發以及新材料的應用，將是奈米電子世代最重要的策略之一。下文將針對奈米尺度金氧半場效電晶體的微縮化所遭遇到的問題，以及相關應變的技術開發，做一簡述。

## 一、微影系統(Photo-lithography)

微影製程的目的是為了在積體電路製程中，定義出更微小且更精準的圖樣(Pattern)。光學微影系統從過去的G-line(436nm)、I-line(365nm)一直發展到目前仍用在量產上的深紫外光(Deep UV, DUV, 248、193nm)，除了光源波長的演進之外，微影製程技術更是推動元件微縮化的一大推手。圖五為積體電路定義線寬(Line Width)與所需的光源波長時程圖。為了製作線寬小於90奈米的場效電晶體元件，現有的微影技術已經無法完全滿足半導體產業的需求，因此尋找並發展下一個世代的主流微影技術已刻不容緩。

當微影技術邁入奈米世代，出現了三種備受矚目的主流方案：真空紫外光微影技術(VUV, 157nm)、極紫外光微影技術(EUV, 13nm)以及投射式電子束微影(E-beam Lithography)<sup>(3)</sup>。在193奈米的深紫外光微影世代之後，真空紫外光已經在快速的發展當中，其應用範圍之目標主要是定在線寬介於65到90奈米之間的技術，光源採用氟氣( $F_2$ )的準分子雷射，活性氣體の種類

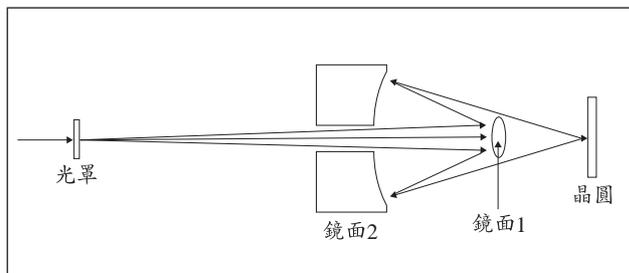


▲圖五 積體電路定義線寬與所需的光源波長時程圖

為激發態氟分子，輻射出的紫外光為波長約157奈米的真空紫外光。當波長短到157奈米或以下時，各種材質在短波長下都屬於高吸收狀態，容易吸收雷射光源的能量，因此首先必須尋找可讓157奈米或以下的雷射光穿透的材質，用來製作光學鏡片。至於在微影鍍膜的介電質應用上，必須增加抗反射與高反射的設計。抗反射的設計是為了消除鬼影以及增加產能；高反射則是為了增加對光束的操控性。

極紫外光(EUV)微影系統所採用的光源波長為13奈米，如此短的波長，幾乎所有物質都會吸收，因此不能採用傳統穿透式的光學系統，必須改用反射式。此外，極紫外光微影系統的光罩亦為反射式。圖六為極紫外光微影系統簡單示意圖。

投射式電子束微影系統最大的優點就是可製作高解析度、小線寬之任意圖樣，但需要花費較長的時間執行曝光動作，複雜的圖樣往往需要數個小時才能完成曝光。為了解決曝光耗時的問題，必須研發出高解析度與長聚焦深度的投射式電子束微影步進機系統，利用掃描的方式進行曝光，以



▲圖六 極紫外光微影系統簡單示意圖

增加產能。此外，光阻的開發、曝光劑量的均勻性、曝曬條件等，亦是影響電子束微影製程的重要因素。

微電子工業的發展日新月異，先進的製程技術不斷地在研發當中，當微影技術能夠從90奈米進展至60奈米以下的世代時，積體電路晶片的積集度將因而急速的上升。

## 二、金氧半場效電晶體微縮化 (MOSFET Miniaturization)

為了增進元件的性能並提高晶片中電晶體的積集度，電子元件的微縮化已成為必然的趨勢。如圖三所示，一個金氧半場效電晶體需具備閘極、源極、汲極以及作為絕緣的閘極氧化層等基本單元。式(1)為場效電晶體操作時，元件參數之間的關係<sup>(4)</sup>。

$$I_D \propto \frac{C_{ox} \cdot \mu}{L} \quad (1)$$

其中 $I_D$ 為汲極電流、 $C_{ox}$ 為閘極氧化層電容、 $\mu$ 為傳輸載子的移動率、 $L$ 為通道長度。為了提高汲極電流、維持電晶體良好性能(Performance)，可以藉由縮小通道長度、增加閘極氧化層電容和增加傳輸載子移動率(Mobility)來著手改善。通道長度的縮小與積體電路之微影製程所能定義的最小閘極長度有關，然而，電晶體元件的微縮並不能夠只單方面縮短通道長度而其餘不變，必須配合閘

極氧化層變薄，如此才能改善閘極的開關控制能力，減少短通道效應(Short Channel Effect)的不良影響。使閘極氧化層變薄亦即增加閘極氧化層電容。隨著通道的微縮，閘極氧化層薄至數個奈米時，用來絕緣的閘極氧化層漏電卻開始變得嚴重，進而使電晶體性能受到損害。式(2)為平行板電容值的基本公式。

$$C = \epsilon_0 \epsilon_r \frac{A}{d} \quad (2)$$

$\epsilon_0$ 為真空介電常數（為一常數值）， $\epsilon_r$ 為相對介電常數（即所謂的k值），d為平行板間介電質的厚度，A為平行板面積，傳統所使用的閘極氧化層為二氧化矽(SiO<sub>2</sub>)，其相對介電常數（k值）約為3.9。由式(2)可知，當閘極氧化層的電容、平行板的面積維持一定時，所使用的氧化層或介電層之介電常數與厚度呈正比。即在一定的電容下，可使用較厚的高介電常數介電層用來作為閘極氧化層，如此一來便可以解決傳統二氧化矽變薄的漏電問題。表一為目前成為研究主流的高介電常數介電質。

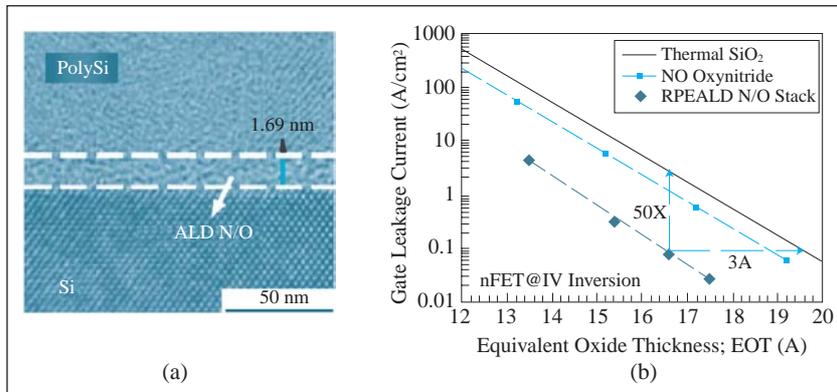
高介電常數介電質在閘極氧化層的使用上，並非如預期般順利。除了介電質漏電的考量之外，高介電常數

介電質與通道的介面，對傳輸載子移動率降低的不良影響，亦是亟需克服的重點之一。因此目前高介電常數介電質的主要研究方向，為尋找並發展出最佳的沉積方式，而已逐漸在量產上出現的高介電常數閘極氧化層為含氮氧化矽(Oxynitride)以及氮化矽/氧化矽堆疊(N/O Stack)。圖七為台灣積體電路公司(TSMC)2003年在IEEE超大型積體電路(VLSI)國際研討會上發表的數據。圖七(a)為閘極堆疊結構的穿透式電子顯微鏡(TEM)照片，閘極介電層為超薄氮化矽/氧化矽堆疊，閘極為多晶矽(Poly-Si)，基板為單晶矽晶片，閘極介電層的實際厚度(Physical Thickness)約為1.69奈米，換算成等效氧化層厚度(Equivalent Oxide Thickness; EOT)約為1.4奈米。圖七(b)為氮化矽/氧化矽堆疊與傳統熱氧化二氧化矽、含氮氧化矽之閘極漏電比較圖。由圖中可知，在相同的等效氧化層厚度下，氮化矽/氧化矽堆疊的漏電比傳統熱氧化二氧化矽低約50倍；在相同的漏電下，氮化矽/氧化矽堆疊可沉積比傳統二氧化矽薄約0.3奈米的等效氧化層厚度。然而此處氮化矽/氧化矽堆疊所採用的沉積方式為原子層沉積(Atomic Layer Deposition; ALD)，在薄膜的沉積上頗為費時，實為量產所需克服的一大問題。

為了提高汲極電流，由式(1)可知另一種方式為提高傳輸載子的移

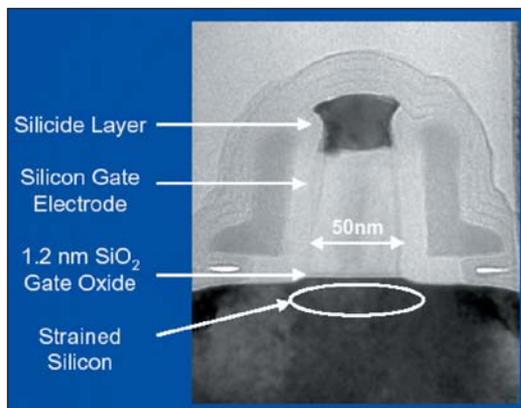
表一 目前為研究主流的高介電常數介電質及其介電常數值

Material	N/O Stack	Al <sub>2</sub> O <sub>3</sub>	HfSi <sub>x</sub> O <sub>y</sub> HfAl <sub>x</sub> O <sub>y</sub> HfSi <sub>x</sub> O <sub>y</sub> N <sub>z</sub>	ZrO <sub>2</sub> 、 HfO <sub>2</sub>	Lanthanide Oxides (CeO <sub>2</sub> , La <sub>2</sub> O <sub>3</sub> )
Dielectric Constant (k)	5-6	8-9	10-15	20-30	15-30



▲圖七 台積電在2003年IEEE VLSI國際研討會上發表的高介電常數介電質資料

動率。目前在奈米尺度金氧半場效電晶體中，所採用的方式為利用應變矽 (Strained Si) 作為載子傳輸的通道，減少能帶與能帶間的散射 (Inter-Valley Scattering)，以提高載子傳輸的移動率。圖八為2002年Intel在IEEE國際電子元件研討會 (IEDM) 所發表的元件結構TEM照片。Intel利用90奈米世代的積體電路技術，製作出通道長度約50奈米的應變矽金氧半場效電晶體 (Strained Si MOSFET)。其中閘極氧化層仍沿用二氧化矽，厚度只有1.2奈



▲圖八 2002年Intel在IEEE國際電子元件研討會所發表的元件結構TEM照片

米，不到五層原子層的厚度；通道長度50奈米，大約只有一根頭髮直徑的2000分之一，實為奈米電子元件之表徵。應變矽場效電晶體可以增加10~20%

的驅動電流，由於電子以及電洞的移動率在應變矽的通道中皆同時增快，因此N型和P型金氧半場效電晶體元件的性能皆得到改善，且製程成本只增加約不到2%。

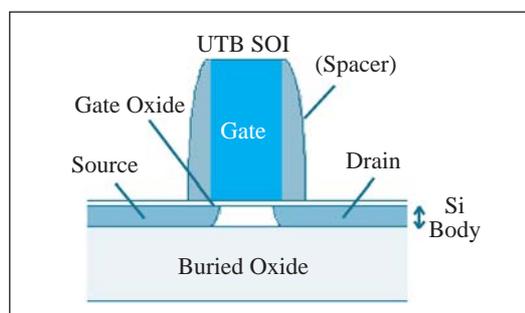
### 三、新世代奈米電子元件結構

縮短通道長度說明了發展精密微影技術的必要性，然而其所衍生出來的短通道效應的控制卻是一大問題。當通道越來越小、閘極氧化層厚度越來越接近物理極限的時候，漏電的問題直接影響到場效電晶體的操作，尤其是當通道長度小於50奈米之後，可能就必須發展新的元件結構來因應，以克服短通道效應。傳統的結構如圖三所示，元件的通道層 (Channel Layer) 位於基板的表面，由於在製造上較為容易且具有非常成熟的製程整合技術，預測到了65奈米技術節點 (最小通道長度約可達到30奈米，2007年)，仍可以維持其主流的地位。但若再繼

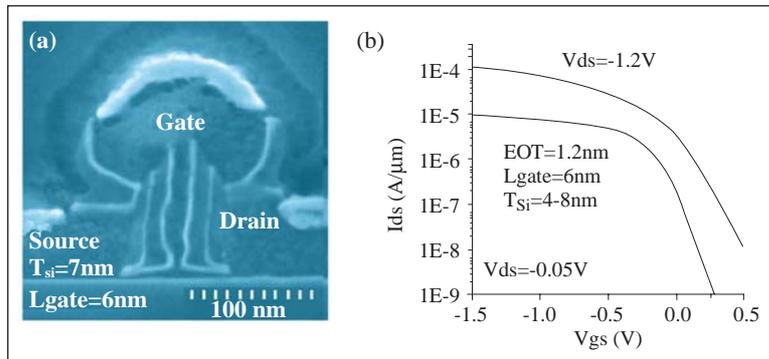
續發展下去，主要的問題便在於短通道效應的控制，也就是當通道很短時，便會出現漏電流難以關閉的問題。當場效電晶體元件持續縮小尺寸，致基板內的源極和汲極區域非常接近，容易造成空乏區貫穿(Punch-through)或直接漏電，使漏電流經由基板體內(Bulk)的路徑流通，致使電晶體失去對電流的控制能力。針對這些問題所發展的基本對策，包括採用超淺接面(Ultra Shallow Junction)源/汲極、局部高濃度基板摻雜(Halo Doping or Pocket Doping)的設計，及減少閘極氧化層厚度等<sup>(5)</sup>。部分大半導體廠已宣稱可以利用最佳化相關的製程參數，製造出通道長度20奈米的電晶體元件，雖然由電性的資料顯示，電晶體可以執行開關的功能，但與2001年國際半導體技術準則(ITRS)所規劃的應用規格相比，仍有許多差距需要趕上。

長久以來，絕緣層上矽(Silicon on Insulator; SOI)基板一直為高性能場效電晶體以及解決短通道效應的主要研究方向，但在實際量產上卻是不夠蓬勃，一直到最近的超薄本體絕緣層上矽(Ultra Thin Body SOI; UTB SOI)，才開始出現明顯的進展。對於奈米尺度金氧半場效電晶體而言，主要的焦點集中在厚度小於20奈米的超薄本體絕緣層上矽，因為本體矽層下方的絕緣層(二氧化矽)阻絕了大多數的漏電問題，短通道效應可以藉此得到舒緩。圖九為建構於超薄本體絕緣層上矽基板上電晶體元件剖面圖。超薄本

體絕緣層上矽的下埋氧化層(Buried Oxide; BOX)可以阻絕源極與汲極之間的漏電流，同時當絕緣層上矽表面的矽層厚度減少後，接面深度亦同時變薄，使得閘極控制能力增加，短通道效應的控制得到改善。根據理論分析，若要有效控制短通道效應，絕緣層上矽層的厚度不應超過通道長度的三分之一<sup>(6)</sup>。圖十為IBM公司在2002年IEEE國際電子元件研討會中(IEDM)，所發表的超薄本體絕緣層上矽之電晶體元件結構與特性。圖十(a)為場效電晶體的穿透式電子顯微鏡照片，其中利用超薄本體絕緣層上矽作為基板，製作出閘極長度6奈米、閘極氧化層之等效氧化層厚度約為1.2奈米、絕緣層上矽層厚度約為7奈米的P型金氧半場效電晶體(PMOSFET)，這是目前世界上最小尺寸的電晶體，此元件同時採用昇起式源/汲極(Raised Source/Drain)以及鈷自我對準金屬矽化物(Co Salicide)製程。圖十(b)為此電晶體元件的電流-電壓特性圖，在如此小的尺寸下，雖仍可執行開關的動作，但短通道效應依舊無法完全免除。



▲圖九 建構於超薄本體絕緣層上矽基板上電晶體元件剖面圖

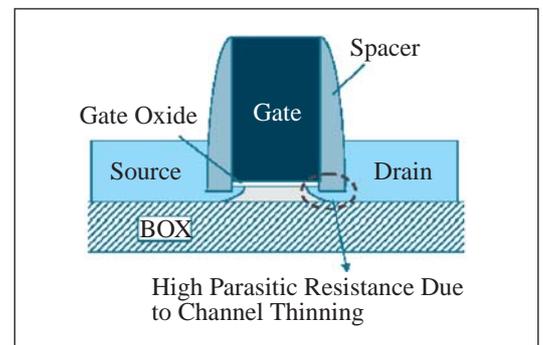


▲圖十 IBM公司在2002年IEEE國際電子元件研討會中所發表的超薄本體絕緣層上矽之電晶體元件結構與特性

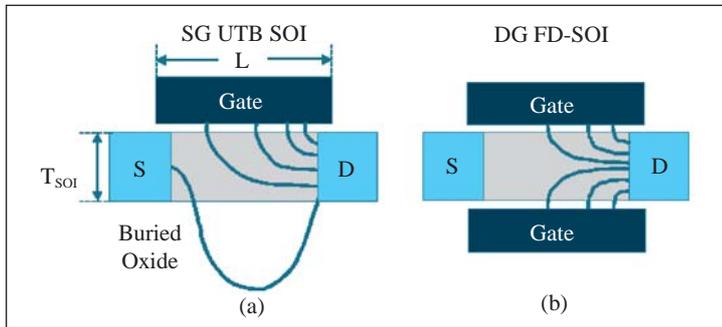
超薄本體絕緣層上矽的技術可立即改善65奈米場效電晶體所遭遇到的短通道效應問題，不過仍有一些其他問題需要克服。首先是超薄矽通道層的均勻性問題，如何製作出厚度均勻、品質良好的超薄絕緣層上矽層，首先必須克服使不影響驅動電流的均勻性。第二，超薄矽通道層的量子侷限(Quantum Confinement)效應，導致電晶體起始電壓絕對值的上升以及載子移動率下降的問題<sup>(7)</sup>。第三，源/汲極的寄生電阻，如圖十一所示，使用超薄的矽通道層，會使源/汲極寄生電阻升高，驅動電流下降。在製程的策略上可以採用昇起式源/汲極(Raised S/D)，將外部區域的電阻降低。通常利用選擇性矽或矽鍺磊晶的方式(Selective Si or SiGe Epitaxy)來形成昇起式源/汲極，不過側壁子(Spacer)下方薄矽層所導致的高電阻區往往很難消除，同時由於製程中的蝕刻、氧化、清洗，皆可能去除部分的本體薄矽層，使厚度更薄，寄生電阻效應更嚴重，造成驅動電流降低。因此在超薄

本體絕緣層上矽的製程中，製程參數的嚴格控管便顯得相當重要，如何改良元件結構的設計與強化製程參數的控制，將是決定超薄本體絕緣層上矽能否成為量產技術的主要關鍵。

超薄本體絕緣層上矽技術被視為是當前一波發展主流，它使得元件的尺寸得以繼續微縮下去，只不過製程上的問題會損害到驅動電流，因此仍需再進一步研發出更具潛力的結構，目前以雙閘極(Double Gate)場效電晶體最受重視。圖十二顯示超薄本體絕緣層上矽與雙閘極絕緣層上矽的電場示意圖。圖十二(a)顯示超薄本體絕緣層上矽元件的汲極電場，仍會穿過下埋氧化層而到達源極或通道區，引發短通道效應；至於圖十二(b)雙閘極絕緣層上矽元件，由於具有導電性的下閘極可以遮蔽汲極發散的電場，改善短



▲圖十一 超薄矽通道層會使源/汲極寄生電阻升高，驅動電流下降



▲圖十二 超薄本體絕緣層上矽與雙閘極絕緣層上矽的電場示意圖

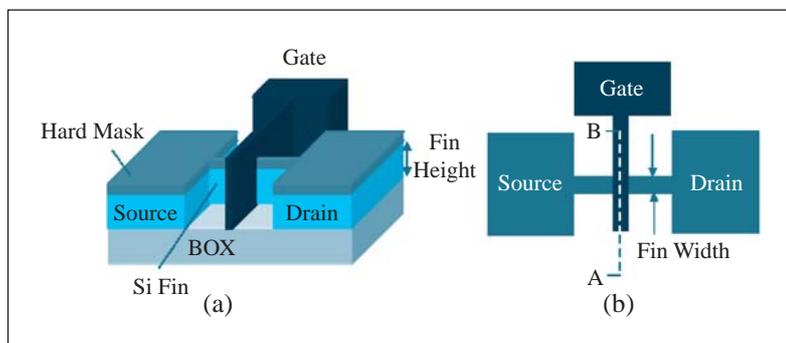
通道效應，亦即可以增進閘極的控制能力，且毋須大幅減少閘極氧化層的厚度，克服閘極漏電問題。另外由理論分析指出，在相同的通道長度下，雙閘極絕緣層上矽元件的通道厚度，可為超薄本體絕緣層上矽元件的兩倍，因而可以減少量子效應的不良影響，並且降低源/汲極區域的寄生電阻<sup>(6)</sup>。

雙閘極場效電晶體如今已逐漸引起另一股研究風潮，然而發展的最大困難是製程上的複雜度。基本上雙閘極元件屬於立體的製程結構，傳統平面式結構的生產技術不易支援及克服立體結構雙閘極元件的困難度，在目前多種雙閘極元件的結構中，以圖十三所示之結構最受矚目。此結構元件的通道層為絕緣層上矽，導通時電流與晶圓面向平行，閘極呈左右對稱夾住通道，使得通道的左右兩端皆受到閘極的控制。由於通道為一突起的鰭(Fin)狀，因此此類

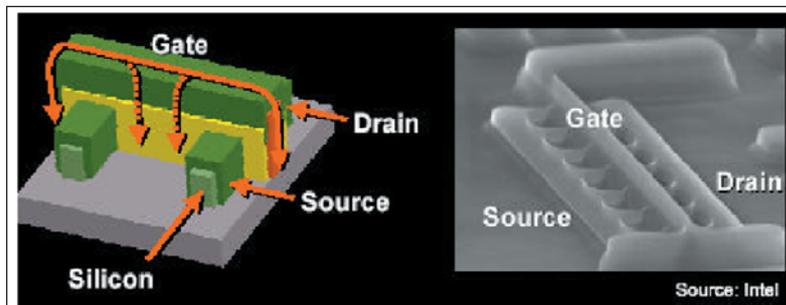
電晶體元件又稱為鰭狀電晶體(FinFET)。圖十三(a)為典型FinFET的俯視圖，通道長度由跨越的閘極決定。圖十三(b)為FinFET的頂視圖。FinFET的鰭狀通道層厚度和高度的大小會直接影響到元件的特

性：當厚度太厚時，源/汲極之間的漏電流易由中間的區域流通，使得短通道效應的抑制變差；厚度若是太薄，則量子效應和寄生電阻會影響到元件操作特性。一般來說，最佳的厚度大約為通道長度的2/3左右為宜。就高度而言，越高則導通電流可以較大，但在製程上相對比較困難，一般要求要低於或接近50奈米，如此一來便可以視為接近平面式(Quasi-planar)的結構，以傳統現有的製程技術和設備便可以完成，在量產上的潛力是令人期待的。

在近幾年的國際研討會上，FinFET元件的研究成果逐漸顯現出來。圖十四為Intel在2003年超大型積體



▲圖十三 FinFET元件結構(a)典型的俯視圖；(b)頂視圖



▲圖十四 Intel在2003年超大型積體電路國際研討會上所發表的三閘極FinFET

電路國際研討會上所發表的三閘極 (Tri-gate) FinFET。傳統的雙閘極 FinFET，在Fin的本體上需要一層氧化矽或氮化矽作為硬質罩幕 (Hard Mask)，以改良蝕刻的控制性。然而以目前蝕刻矽Fin的成熟技術來看，並不一定需要硬質罩幕就可以實現，因此Intel 2003年的三閘極FinFET應是預期中的產物。圖十四(a)為此場效電晶體的示意圖，圖十四(b)為實際的電子顯微鏡照片，照片中顯示此電晶體具有多條Fin，得以提高驅動電流。由於通道的矽Fin受到三面的閘極控制，減少Fin本體中間的漏電流區域，Fin的寬度有較大的選擇空間。三閘極FinFET比雙閘極FinFET更具有抑制短通道效應的能力，在奈米級半導體元件領域內有很大的發展空間，Intel預計在2007年以後正式投入量產。

#### 四、奈米元件在平面顯示器之應用

在兩兆雙星中，另一個重要的角色為平面顯示器的發展。目前發展中的平面顯示器以液晶平面顯示器(LCD

Display)為主流。依據Display Search 預估，2005年顯示器市場需求將達441億美元。而我國MIC調查2001年台灣TFT-LCD全球產值比例超過20%，達新台幣

1,196億元，若再加上我國已佔優勢的STN-LCD產值，合計已超過新台幣1,500億元。在我國已投入3000億新台幣於此產業的同時，如何強化及維繫LCD產業在競爭中贏得優勢，當務之急便是關鍵零組件供應材料之低成本化及提昇產品自主技術創新應用的開發能力。

在當前的液晶螢幕顯示器控制電路中，以主動式陣列(Active Matrix)最受重視。主動式陣列以薄膜電晶體 (Thin Film Transistor; TFT)作為控制液晶顯示亮或暗的開關，即所謂TFT-LCD。對於液晶平面顯示器而言，薄膜電晶體是製作於玻璃上的，其結構非常類似先前提到的絕緣層上矽(SOI)高性能金氧半場效電晶體。薄膜電晶體的操作速度會直接影響到液晶顯示器的運作，目前使用的薄膜電晶體主要分為非晶矽薄膜電晶體(a-Si TFT)及多晶矽薄膜電晶體(Poly-Si TFT)兩種，由於多晶矽薄膜電晶體具有相對較高的電子遷移率(Electron Mobility)，操作速度遠比非晶矽薄膜電晶體快得多，唯其受限於均勻性的問題，目前用在

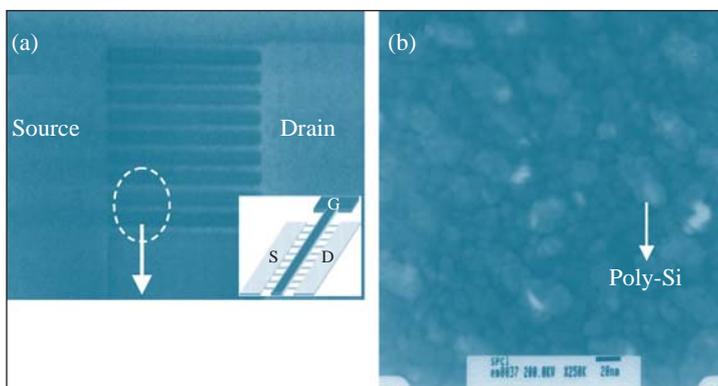
液晶顯示器量產上的薄膜電晶體，仍以非晶矽薄膜電晶體為主。針對未來平面顯示器的發展，將系統整合在同一個面板上(System on Panel)已是不可避免的趨勢，因此高效能、高速的薄膜電晶體，例如多晶矽薄膜電晶體，正刻不容緩的在發展當中。如同積體電路工業金氧半場效電晶體的發展，將薄膜電晶體的尺度微縮化是開發高效能薄膜電晶體的一個必要路徑。然而隨著尺度的縮小，薄膜電晶體元件的短通道效應也必然會顯現出來。為了改善薄膜電晶體的短通道效應，吾人提出了一種具有高效能的多重奈米線通道的多晶矽薄膜電晶體<sup>(8)</sup>。圖十五(a)為掃描式電子顯微鏡(SEM)的俯視圖。每一個奈米線通道多晶矽薄膜電晶體，其通道長度皆為 $0.5\mu\text{m}$ ，通道寬度為67奈米，實為奈米尺度的薄膜電晶體。圖十五(b)為多晶矽晶粒(Grain)的電子顯微鏡圖。圖十六(a)為高效能多重奈米線通道多晶矽薄膜電晶體的輸出特性，由圖中可知，相較於傳統的單一

通道多晶矽薄膜電晶體，短通道效應已獲得改善，具有長通道場效電晶體的飽和區域。圖十六(b)為該電晶體的次臨限電晶體特性。其中可觀察到高效能多重奈米線通道多晶矽薄膜電晶體具有較佳的次臨限擺幅(Sub-threshold Swing)，是為一較高速的多晶矽薄膜電晶體開關。針對未來的奈米尺度薄膜電晶體而言，元件的操作速度以及均勻性將是主要的研究重點。

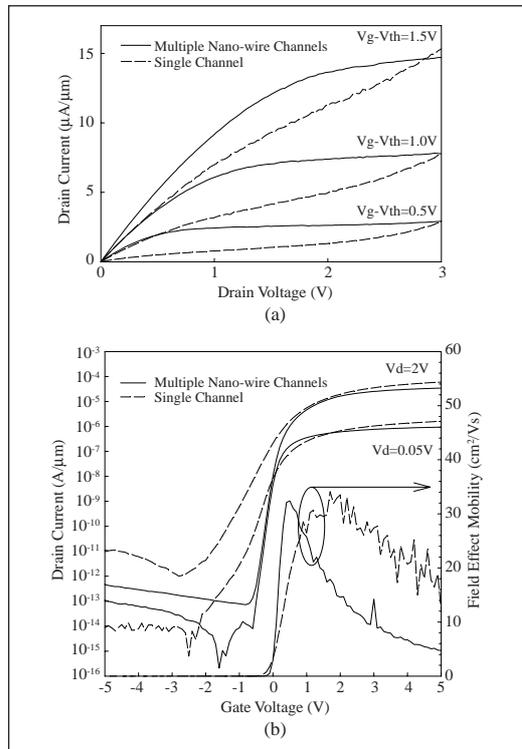
### 五、奈米尺度金氧半場效電晶體元件 未來的挑戰

當元件尺寸越來越小之後，無可避免地會逐漸遭遇到短通道效應，漏電問題也會變得愈來愈重要。電晶體元件必須先克服在小尺寸下的漏電流問題，才能確保電晶體的正常開關操作。另外在電晶體特性的均勻度方面，尤其是各個電晶體之起始電壓(Threshold Voltage)的均勻性，必須在製程上尋求製程參數均勻性的突破，

以確保起始電壓的穩定度，才能使電路在運作時保持良好且穩定的性能。另外，當元件的積集度越來越高之後，一個積體電路晶片內將擁有數以千萬計的場效電晶體，如何讓晶片的功率消耗以及散熱性能最佳化，當是不容忽視的重要挑戰。奈米尺度的



▲圖十五 (a)奈米線通道多晶矽薄膜電晶體掃描式電子顯微鏡(SEM)的俯視圖；(b)多晶矽晶粒(Grain)的電子顯微鏡圖



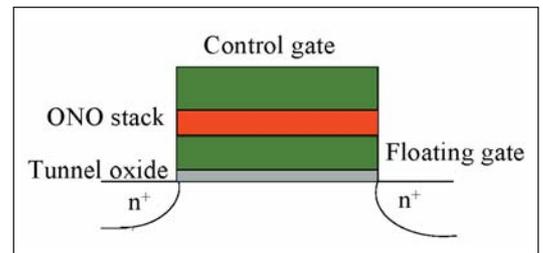
▲圖十六 高效能多重奈米線通道多晶矽薄膜電晶體的(a)輸出特性；(b)次臨限電晶體特性

積體電路製程越來越進步，如何把元件做得更小、性能更好，並降低成本，將是這一個產業能否再向上提昇的重大關鍵。

## 奈米晶體非揮發性記憶體元件

近年來，攜帶式電子產品大行其道，諸如數位相機、筆記型電腦、MP3隨身聽、智慧型IC卡、USB Flash隨身碟等等，皆在市場上佔有重要的地位。這些產品全都是以快閃記憶體(Flash Memory)為基本架構所建構。隨著快閃記憶體的需求與日俱增，快閃記憶體的積集度、操作速度及可靠性

便成為最熱門的研究主題。圖十七為目前商業上可獲得的傳統非揮發性快閃記憶體的元件結構圖。傳統的非揮發性記憶體是利用複晶矽浮停閘(Floating Gate)做為載子儲存的單元，當浮停閘儲存由通道注入的電子之後，元件的起始電壓就會發生改變，利用起始電壓的差異作為記憶體0和1邏輯的定義<sup>(9)</sup>。然而，由於浮停閘是連續的一層半導體薄膜，在反覆的操作下，一旦穿隧氧化層(Tunnel Oxide)出現漏電路徑，儲存的電荷就會全部流失，記憶體就會失效，因此穿隧氧化層的厚度無法縮減下來，操作電壓無法降低，速度也無法增快。一般認為當元件通道長度微縮到65奈米時，便是此種結構的極限。為了能夠減少穿隧氧化層的厚度，而不損失可靠性，進而降低操作電壓，並使元件縮小、密度提高、操作速度增快，當前的專家學者咸認為，利用半導體或金屬奈米點或絕緣體作為電荷儲存的單元，取代傳統的多晶矽浮停閘，減少穿隧氧化層厚度，將是延續並發展未來奈米世代非揮發性記憶體的重要方式之一<sup>(10,22,23)</sup>。關於這方面的研究，吾



▲圖十七 商業上可獲得的傳統非揮發性快閃記憶體的元件結構圖

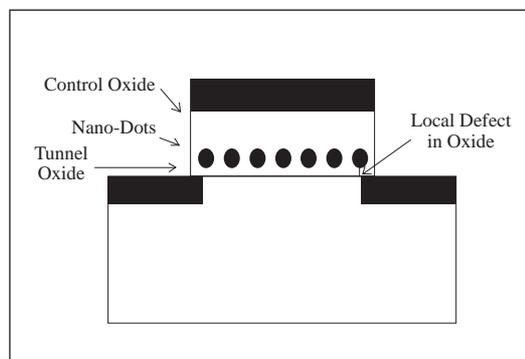
人所組研究團隊已有不錯的初步成果，內容請見參考文獻11-17。

圖十八及圖十九(a)為奈米晶體(奈米點)非揮發性記憶體元件結構圖，利用半導體或金屬奈米點作為電荷儲存的單元。在元件的反覆操作下，即使穿隧氧化層產生缺陷或漏電路徑，所損失掉的儲存電子僅是單一奈米點的電子漏失，對整體元件特性的影響並不明顯。因此，穿隧氧化層的厚度得以縮減，使得操作速度提升，元件積集度增加，元件可操作的次數(Endurance)以及保存時間(Retention)也同時得以改善<sup>(17-21)</sup>。當電子儲存在奈米點時，由於庫倫阻絕(Coulomb Blockade)效應，儲存的電子會限制後續電子的注入。庫倫充電能量如下式：

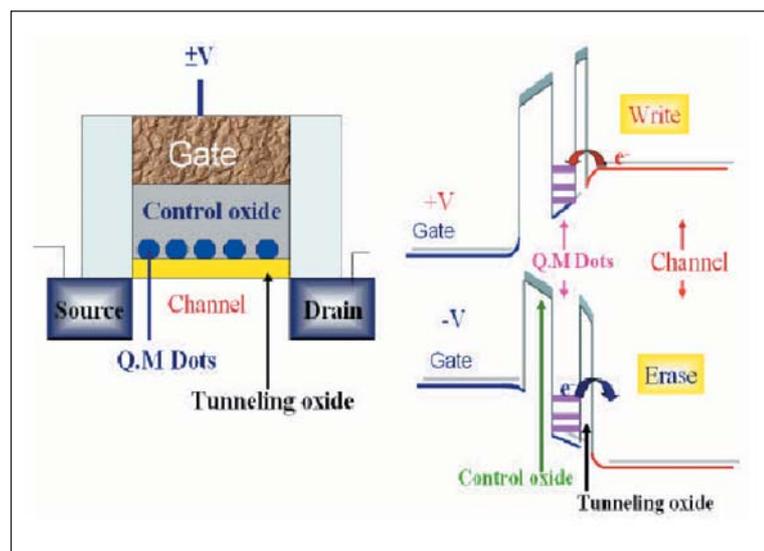
$$\Delta U = \frac{Q^2}{C_{it}} \quad (3)$$

Q為注入電子的電荷量， $C_{it}$ 為奈米點電容，由於奈米點電容是相當小的(對直徑5奈米的矽奈米點而言，大約為0.65aF)，因此庫倫充電能量(~0.12eV、0.48eV、...)相對於電子熱能量而言是相當大的，電子不容易再進入奈米點中。奈米點的庫倫阻絕效應

使得記憶體元件的儲存及操作更加的穩健。圖十九(b)為記憶體元件之讀寫過程示意圖。當閘極偏壓使通道產生反轉層後，通道的電子藉由直接穿隧效應或是Fowler-Nordheim穿隧效應通過穿隧氧化層，而被奈米點捕獲，是為寫入動作(Write)。當閘極偏壓反向時，儲存的電子便經由穿隧氧化層回到通道，是為抹除動作(Erase)。關於



▲圖十八 奈米晶體揮發性記憶體元件結構圖，圖中顯示穿隧氧化層中的一個局部缺陷

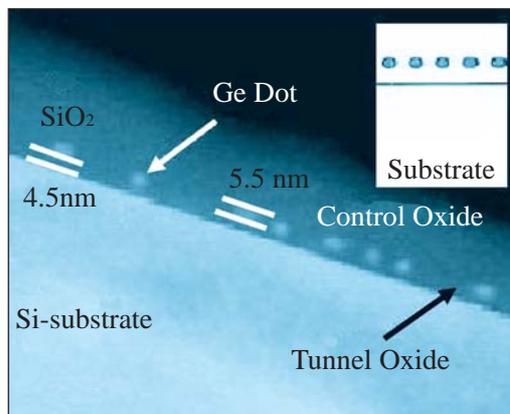


▲圖十九 奈米晶體非揮發性記憶體元件之(a)結構及(b)讀寫過程示意圖

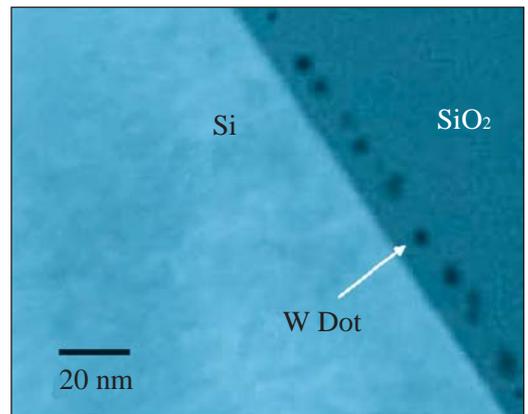
半導體奈米晶體的製作方面，近幾年在國際學術期刊上陸續有許多人發表了許多方法，也確實表現出先前提到的奈米晶體非揮發性記憶體的優越特性。在諸多文獻中，發表的大多是矽(Si)奈米點的製作方法，例如最常見的利用低壓化學氣相沉積(LPCVD)成長矽薄膜，在薄膜形成的孵化期(Incubation Time)之前停止製程，使矽晶體成核於穿隧氧化層上方。另外，在銻(Ge)奈米點的製作上，文獻上發表的例如利用分子束磊晶(MBE)沉積銻薄膜和矽薄膜堆疊結構於穿隧氧化層上方，並加以氧化而得到銻奈米點包覆於二氧化矽中<sup>(22)</sup>；或是利用銻離子佈植以及多重熱氧化的方式，使銻奈米點包覆於二氧化矽中<sup>(23)</sup>。但以上所知兩種銻奈米點製程皆頗為複雜或耗時，不易量產。圖廿國家奈米元件實驗室製作之銻奈米點析出於穿隧氧化層上方的穿透式電子顯微鏡圖<sup>(11,15)</sup>。圖廿一為該實驗室製作之金屬鎢奈米點析出於穿隧氧化層上方的穿透式電子顯微

鏡照片。吾人所利用的製程方法不僅較為簡單，製程成本也較低。

欲使奈米晶體非揮發性記憶體走出實驗室的規模，邁向量產，最重要的階段是能夠控制製作出來的奈米晶體大小以及分佈的均勻性。由於記憶體定義0和1是藉由起始電壓的差異，奈米晶體大小和分佈的均勻性會影響到記憶體中電荷儲存的多寡及均勻性，進而影響到電路中每一顆非揮發性記憶體場效電晶體的起始電壓，假如積體電路中電晶體的起始電壓差異過大，那麼這樣的記憶體電路便容易失效。此外，在非揮發性記憶體元件的特性表現上，除了操作的速度之外，最重要的便是可靠性的部分，例如可操作的次數以及保存時間。一般來說，可操作次數須達到一百萬次以上；而保存時間需要能夠達到十年。由目前的資料來看，奈米晶體非揮發性記憶體的可靠性已充分達到要求，優於傳統的浮停閘非揮發性記憶體許多，但製程上均勻性的控制，仍需極



▲圖廿 銻奈米點析出於穿隧氧化層上方的穿透式電子顯微鏡圖



▲圖廿一 金屬鎢奈米點析出於穿隧氧化層上方的穿透式電子顯微鏡照片

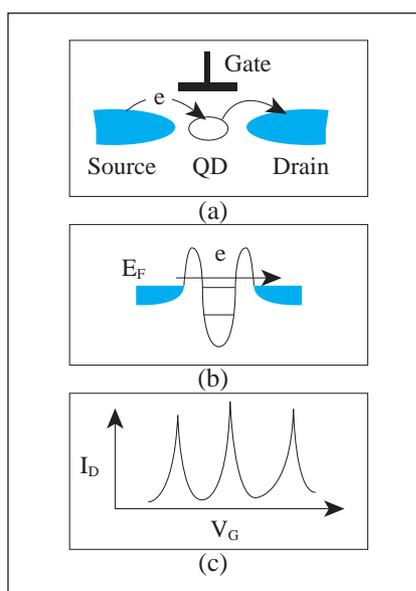
力克服，方能步入量產階段。

國際大廠諸如摩托羅拉，日前已宣佈將加速對於奈米晶體快閃記憶體(Nanocrystal Flash)的研發時程，其他相關的記憶體產業也相繼發表對於新世代奈米晶體非揮發性記憶體的樂觀態度，由於其具有可繼續微縮的優勢，對於記憶體晶片積集度提高、容量提昇的要求具有相當大的貢獻機會，相信未來奈米晶體快閃記憶體問世應該是指日可待的。

### 單電子電晶體

當元件尺寸持續縮小至奈米尺度時，量子效應即成為主導元件特性的主要因素，單電子電晶體(SET)元件即為利用量子效應的一個成功例子<sup>(24)</sup>。單電子電晶體和一般的金氧半場效電晶體類似，具有閘極、源極、汲極，一樣經由閘極電壓形成的電場來控制源/汲極間通道的電流。圖廿二為單電子電晶體的結構圖、能帶圖、以及電流-電壓特性圖。單電子電晶體主要是由中央島(Island, 或稱為浮停點, Floating Dot) 透過兩個可讓電子穿透的微小接合(Tunnel Junction), 再連接至電極所構成。由於中央島的奈米級尺寸(小於10奈米), 形成量子井(Quantum Well), 當電子進入島後, 會提高島的電位能, 致使下一個電子不易進入, 此為庫倫阻絕效應。以圖廿二(c)來作說明, 在低閘極電壓下, 改變閘極電壓可以使電晶體的電流震盪, 每一個震盪代表中央島的電

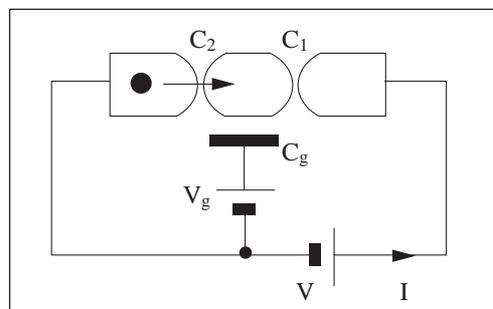
子增加或減少一個, 此為電荷效應(Charging Effect)。如同奈米晶體非揮發性記憶體的極致表現, 即只有一顆奈米點作為電荷儲存的單元, 由於只需要一個電子作為資料的儲存, 目前已有有人提出可在室溫下操作, 密度高達256兆位元( $256 \times 10^{12}$ 位元)的單電子記憶體。由於單電子電晶體具有低功率消耗、高密度組裝及高電荷靈敏度的優點, 已成為下一代奈米記憶體元件、偵測器、量子計算器等產品應用開發上的重要元件。目前單電子電晶體仍處於實驗室的階段, 原因主要是大多必須在極低溫下操作此元件, 避免熱能幫助電子穿透, 而減弱了庫倫阻絕特性, 或造成多餘電子數的熱波動。傳統用蝕刻方法作出來的單電子晶體必須在小於10K的低溫環境下操作, 想要讓單電子電晶體在高溫



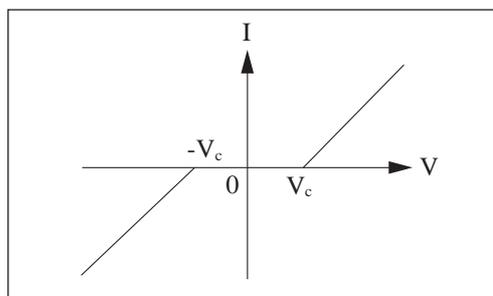
▲圖廿二 (a)單電子電晶體的結構圖、(b)能帶圖、以及(c)電流-電壓特性圖

下操作，就必須將電子侷限到更小的體積內。

圖廿三為施以閘極電壓後的單電子電晶體等效電路示意圖<sup>(25)</sup>。C<sub>1</sub>和C<sub>2</sub>為中央島附近所有的電容，C<sub>g</sub>為中央島的電容，C<sub>tot</sub>=C<sub>1</sub>+C<sub>2</sub>+C<sub>g</sub>，V<sub>g</sub>為閘極電壓。當給予一臨界電壓V<sub>c</sub>=e/2C<sub>tot</sub>時，元件便會導通，此利用庫倫阻絕的元件電流-電壓特性如圖廿四所示。在中央島的微小量子系統中，電子穿透所造成在中央島中的淨電荷改變量是個不連續的（量化的）量，由於庫倫阻絕效應，進入和離開中央島的電子並非同時進行，此時電子是一個接一個流動而不是集體一起行動，因此出現了如圖廿五(a)所示的階梯式臨界電壓 (Staircase of Threshold Voltage)，



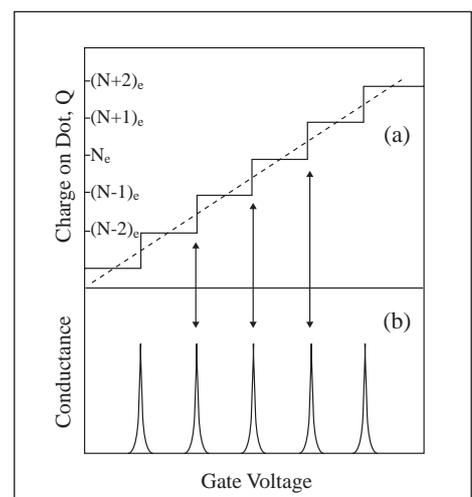
▲圖廿三 施以閘極電壓後的單電子電晶體等效電路示意圖



▲圖廿四 利用庫倫阻絕的元件電流-電壓特性

圖廿五(b)為導電性(Conductance)與閘極電壓的關係，導電性的振盪和流入及流出中央島的電荷數有極大的關係<sup>(26)</sup>。

近年來應用奈米級之金屬微粒，已成為奈米結構製程上重要的一種基本材料。1996年Klein等人<sup>(27)</sup>，首先將其應用於製作微粒型之單電子電晶體上。1997年Sato等人發表利用奈米級金微粒鏈(Chain)所製作之單電子電晶體<sup>(28)</sup>，其具有如同金氧半場效電晶體的源極、汲極與閘極，使用電子束微影製程(E-beam Lithography)，並利用化學方法於源極與汲極之間，形成短鏈狀的金微粒。在低溫下量測，展現良好的單電子電晶體之電性，其已成為製作單電子元件一種可行之方向。圖廿六為含有一個金奈米顆粒的單電子電晶體的電子顯微鏡照片，照片中未顯示閘極。右上方插圖是未橋接上奈米顆粒前的金電極，源/汲極間間隙約是10個奈米。這兩電極間以破60-金-碳

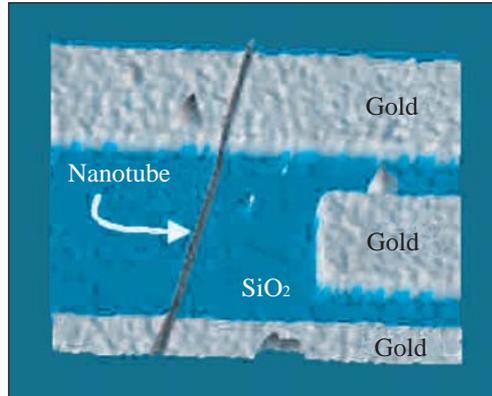


▲圖廿五 (a)階梯式臨界電壓；(b)導電性與閘極電壓的關係

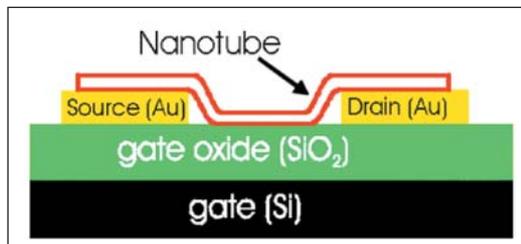
60( $C_{60}$ -Au- $C_{60}$ )的奈米顆粒跨接，碳60作為穿隧阻障，形成單電子電晶體。閘極上因有碳60-金奈米顆粒作為記憶胞，可表現出記憶單元(Memory Unit)的特性。

據「科學」雜誌的報導，一種能在室溫下正常工作的單電子電晶體已經在荷蘭的實驗室中誕生。這種電晶體以奈米碳管(Carbon Nanotube; CNT)為基礎，依靠一個電子來決定「開」和「關」的狀態，由於它具有微型化和低耗能的特點，因而可成為分子計算機的理想材料。這種單電子電晶體是以一個單獨的奈米碳管為原材料製造出來，約只有1奈米寬、20奈米長，整體而言，還不足人類頭髮直徑的五百分之一。**圖廿七**為奈米碳管單電子電晶體示意圖。圖中顯示電晶體的剖面結構圖，利用奈米碳管作為單電子元件的接合<sup>(29)</sup>。**圖廿八**為電晶體的剖面示意圖，源/汲極電極為金(Au)或鉑(Pt)，利用奈米管橋接，閘極可為多晶矽或金屬閘極。

單電子電晶體概念越來越有吸引力。因為這種特殊的單電子電晶體只需要一個電子來實現開和關的狀態，



►圖廿七  
奈米碳管單  
電子電晶體  
示意圖



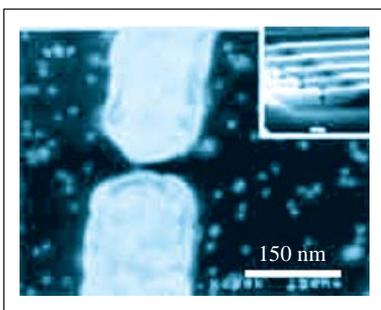
▲圖廿八 奈米碳管電晶體的剖面示意圖

即計算機中的1和0，相較之下，微電子技術中的電晶體則需要使用數百萬個電子來實現“開”和“關”的狀態。由於省電優點單電子電晶體將成為未來分子計算機的理想材料。在這個要求體積小、消耗功率小的奈米電子元件時代，單電子電晶體將成為本世紀新一代最重要的奈米電子元件之一。

## 結論

尋求更快、更低耗能及更微小的元件一直是全球積體電路發展的共同目標。而由積體電路製程技術發展趨勢可知，目前已面臨到必須尋求新材料、新結構與新製造技術之積體電路細微化極限的挑戰，因此發展奈米電子元件技術實為刻不容緩的工作。奈

►圖廿六  
含有一個  
金奈米顆  
粒的單電  
子電晶體  
的電子顯  
微鏡照片



米電子元件是奈米科技中最重要的分支之一，目前積體電路的微電子技術在過去40年，運算速度增加了3000倍，記憶體密度增加100萬倍，要再更快、更小就得靠奈米技術。目前全球的半導體業即將從微米進入奈米級量產製程，奈米製程晶片擁有的運算更快（超過Intel Pentium4速度百倍以上）、面積更小（約為現有0.13微米製程的一半）。著名的摩爾定律（每隔18個月，性能提升一倍）目前受限於矽的量子物理性質，如果要讓摩爾定律延續下去，則必須在奈米電子元件技術上，不管是由上往下微縮(Top-down)或是由下往上建構(Bottom-up)的技術，皆需再繼續深耕研究，方能有所突破。

## 參考文獻

1. C. Poole and F. Owens, Introduction to Nanotechnology, Wiley 2003.
2. G. E. Moore, Electronics, Vol. 38, No. 8, April 19 (1965).
3. 羅正忠，張鼎張（譯著），半導體製程技術導論，pp. 206-215，歐亞書局(2002)。
4. S. M. Sze, Physics of Semiconductor Devices, pp. 440-442, Wiley, New York 1981.
5. S. Wolf, Silicon Processing for the VLSI Era (III), CA: Lattice, pp. 207 (1994).
6. B. Doyle et al., Intel Technology Journal, Vol. 6(2), pp. 42-53 (2002).
7. K. Uchida et al., Tech. Dig. IEDM, pp. 267-270 (2002).
8. Y. C. Wu, T. C. Chang (張鼎張), C. Y. Chang, C. S. Chen, C. H. Tu, P. Y. Liu, H. W. Zan, and Y. H. Tai, "High performance Polycrystalline Silicon Thin-Film Transistor with Multiple Nano-Wire Channels and Lightly-Doped Drain structure", Appl. Phys. Lett., Vol. 84, pp. 3822 (2004).
9. D. Kahng and S. M. Sze, Bell Syst. Tech. J., 46, 1288 (1967).
10. J. D. Blauwe, IEEE Transaction on Nanotechnology, 1, 72 (2002).
11. T. C. Chang (張鼎張), S. T. Yan, P. T. Liu, C. W. Chen, S. H. Lin, S. M. Sze, "A novel approach for fabricating germanium nanocrystals for nonvolatile memory application", Electrochem. and Solid-State Lett., Vol. 7, G17, (2004).
12. T. C. Chang (張鼎張), S. T. Yan, P. T. Liu, C. W. Chen, S. H. Lin, S. M. Sze, "Study on SONOS nonvolatile memory technology using high-density plasma CVD silicon nitride", Electrochem. and Solid-State Lett., 7, G112 (2004).
13. T. C. Chang (張鼎張), S. T. Yan, F. M. Yang, P. T. Liu and S. M. Sze, "Memory effect of oxide/SiC: O/Oxide sandwiched structures", Appl. Phys. Lett., 84, 2094 (2004).
14. T. C. Chang (張鼎張), S. T. Yan, P. T. Liu, C. W. Chen, S. H. Lin, S. M. Sze, "A new method of fabricating superior oxide/nitride/oxide gate stack", Electrochemical and Solid-State Letters, p.G138 (2004).
15. T. C. Chang (張鼎張), S. T. Yan, C. H. Hsu, M. T. Tang, J. F. Lee, Y. H. Tai, P. T. Liu and S. M. Sze, "A distributed charge storage with GeO<sub>2</sub> nanodots", Appl. Phys. Lett., 84, 2581 (2004).
16. T. C. Chang (張鼎張), S. T. Yan, P. T. Liu, C. W. Chen, H. H. Wu, and S. M. Sze, "Leakage behavior of the quasi-superlattice stack for multilevel charge storage", Appl. Phys. Lett., Vol. 84, p. 3687 (2004).
17. T. C. Chang (張鼎張), S. T. Yan, P. T. Liu, C. W. Chen, H. H. Wu, S. M. Sze, "Quasisuperlattice storage: A concept of multilevel charge storage", Applied Physics Letter, 85(2), p. 248 (2004).
18. J. J. Welser, S. Tiwari, S. Rishton, K. Y. Lee, and Y. Lee, IEEE Electron Device Lett., Vol. 18, pp. 278-280 (1997).
19. S. Tiwari, F. Rana, K. Chan, L. Shi, and H. Hanafi, Appl. Phys. Lett., 69, 1232 (1996).
20. M. She, Y. C. King, T. J. King, and C. Hu, IEEE Device Research Conference, pp. 139-140 (2001).
21. M. Ostraat, J. D. Blauwe, M. Green, D. Bell, H. Atwater, and R. Flagan, J. Electrochem. Soc., Vol. 148, No. 5, pp. 265-270 (2001).
22. A. Kanjilal, J. L. Hansen, P. Gaiduk, A. N. Larsen, N. Cherkashin, A. Claverie, P. Normand, E. Kapelanakis, D. Skarlatos, and D. Tsoukalas, Appl. Phys. Lett. Vol. 82, pp. 1212-1214 (2003).
23. Y. C. King, T. J. King, and C. Hu, Int. Electron Devices Meeting (IEDM' 98) Tech. Dig., pp. 115-118 (1998).
24. S. Luryi et al., Future Trends in Microelectronics, pp. 291, Wiley, New York 1999.
25. H. Ahmed and K. Nakazato, Microelectronic Engineering, 32, 297-315 (1996).
26. U. Meirav and E. B. Foxman, Semicond. Sci. Technol., 10, 255-284 (1995).
27. D. L. Klein, P. L. McEuen, J. E. B. Katari, R. Roth, and A. P. Alivisatos, Appl. Phys. Lett., 68, 2574 (1996).
28. T. Sato, H. Ahmed, D. Brown, and B. F. G. Johnson, J. Appl. Phys., 82, 696 (1997).
29. R. Martel, T. Schmidt, H. R. Shea, T. Hertel, and P. Avouris, Applied Physics Letters, 73, 2447 (1998).