



精益求精—先進半導體封裝技術與材料

技術主編：李文錦 W. J. Li

現職：工研院材化所(MCL/ITRI) 研究主任

學歷：國立台灣大學(NTU) 化學工程研究所 博士

專長：電化學與電化學工程、熱電材料、膠體與界面科學

由於資訊與通訊科技的快速進展，我們的生活型態很快就會從物聯網邁入智聯網，身上的智慧裝置功能也日益強大，而這些都不能不仰仗於晶片精巧的設計與整合。然而隨著摩爾定律極限的逼近，晶片將面臨無法繼續微縮的窘境，但提升裝置功能的需求持續存在，新型態的系統級封裝技術就成為必要的解決之道。近年來，封裝產業所積極投入的扇外型封裝技術，藉由微細銅重佈線線路，把不同功能的晶片與被動元件串聯在一起，降低封裝的體積；或是透過新型垂直整合方式的三維積體電路(3D IC)，都是經由改變晶片在系統中組裝和互連的方式，同時兼顧成本以及性能，將異質晶片整合進化在單一封裝內。

支撐這些先進封裝技術的，是更微細的線寬/線距製作、更穩定的材料形貌控制、精準的對位結合及快速正確的檢測方式。在降低成本的思維下，製作承載的基材也由晶圓擴充到面板。這些需求意味著現有的技術必須加入新元素，才能在現有封裝製程架構下有所突破，滿足先進封裝的需求。舉例來說，在3.5代面板大小的玻璃基材上，製作線寬/線距=2微米/2微米的重佈線路，並維持高均勻性，傳統的電鍍銅設備根本無法達成目標。若能透過模擬計算，設計電鍍槽內的流場與電場變化，建構電鍍設備的功能，則面板級基板上的精微線路，便能搭配合適鍍液配方，以電鍍製程精準的達成。

在本期技術專題報導中，特別邀請聯合大學能源工程系的薛康琳教授與工研院材化所的周雅靜研究員，介紹運用模擬計算設計高精密電鍍銅設備時，所需之基本模擬概念。也邀請國際著名的陳冠能特聘教授及其博士生劉德民先生，介紹最新的低溫微銅柱接合技術，此技術為實現3D垂直整合之關鍵，文中詳細解說了現下最新銅柱接合技術發展及待突破之處。而工研院材化所顏銘鵬博士與林子婷副研究員完整地分析了現今全球最新的系統級封裝技術。最後電光系統所張道智經理與李衡副研究員透過實例的驗證，展示了功率模組檢測平台的重要性。這四篇精彩的文章必能為讀者對先進封裝技術，建構起鮮明的輪廓與認識，並掌握其中的關鍵要素。也期待能因而激起更多先進半導體封裝技術的創新構想。🔗