

3D IC檢測技術

3D IC Metrology

顧逸霞

工研院量測中心(ITRI/CMS) 正研究員

3D IC的技術需取決於矽通孔技術能力、晶片接合時的對準能力、晶片之磨薄技術等，而這些問題是在2D IC技術上所未見的。由於製程結構的密度及複雜度前所未有，再加上傳統光學顯微鏡方法無法檢測多層且不透光之矽材質，目前多半以破壞性切片方法-掃描電子顯微術，來做晶片製程結構離線分析檢測。本研究團隊成功地應用紅外顯微檢測技術及反射儀檢測技術，於建立突破性的非破壞、可穿透矽基材、即時線上之3D IC檢測技術。

3D IC packaging technology rapidly advances with the increasing need for through silicon via capability, bonding alignment capability and wafer thinning control techniques. Due to the compact and complex nature of 3D IC, many areas cannot be visually examined or analyzed using the standard light microscope procedures without destroying the sample. We revisited and successfully improved some existing wafer inspection techniques, Infrared Microscopy and Reflectometry, for non-destructive, silicon transparent, in-line 3D IC inspections.

關鍵字/Key Words

矽通孔(through silicon via : TSV)、對準(alignment)、紅外顯微檢測技術(infrared microscopy)、反射儀(reflectometer)

一、前言

在大眾消費電子產品應用朝向低耗能、輕薄化與多功高效能整合的需求下，傳統的2D IC技術已漸漸無法達到此種要求，為了解決在

2D IC技術的瓶頸，IC製造產業已從2D平面IC製造技術轉向3D立體之IC製造技術，統稱為3D IC。其最大特點在於3D IC可讓不同功能性質、甚至不同基板晶片，利用矽通孔(through silicon via ; TSV)技術進行立體堆疊整合，如

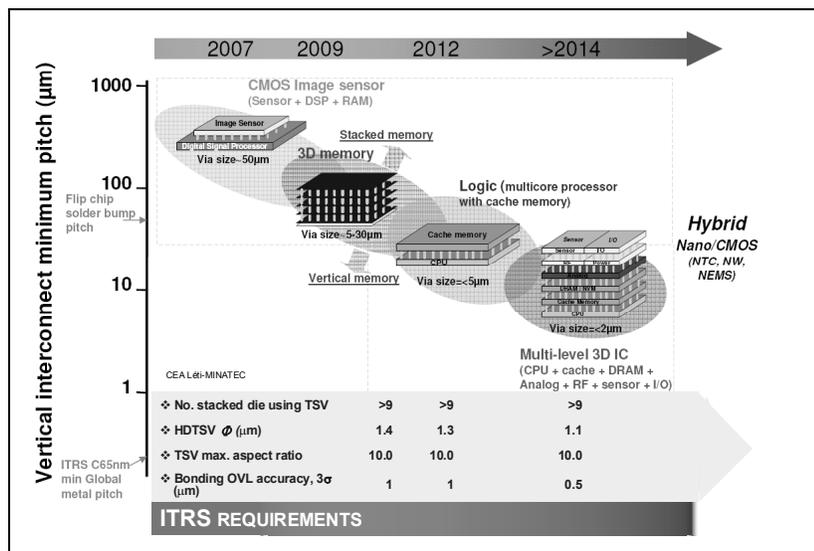
此可進一步縮短金屬導線長度及連線電阻，也能減少晶片耗能。近年來由IBM、Samsung、Intel等國際知名半導體廠商所揭露採用矽通孔互連接(interconnect)技術的3D IC，由於可同時滿足電子產品在小型化、高效能與低成本的多項需求，成為半導體業界所爭相關注的新寵兒。工研院為推動3D IC技術應用，並建立台灣上中下游相關產業之合作關係，也於國內發起成立「先進堆疊系統與應用研發聯盟；Advanced Stacked-System and Application Consortium/Ad-STAC」，結合產、官、學、研等相關機構，促進3D IC技術合作及資源整合，並提升國內整體研發3D IC堆疊系統與應用技術水準。

簡單來說，矽通孔技術是通過在晶片和晶片(chip-to-chip)之間、晶圓和晶圓(wafer-to-wafer)之間製作垂直導通，實現晶片之間互連接的最新技術。與以往的IC封裝以打線鍵合(wire bonding)和使用凸點(bumping)的覆晶(flip chip)技術不同，矽通孔技術能夠使晶片在三維方向堆疊的密度最大，外形尺寸最小，並且大幅改善晶片速度和低功耗的性能。然而，3D IC的技術需取決於矽通孔技術能力、晶片接合時對準(alignment)能力、晶片之薄化技術等問題，而這些問題都是在2D IC技術所未見的。由於製程結構的密度及複雜度前所未有，再加上傳統光學顯微鏡方法無法檢測多層且不透光

之矽材質，目前多半以破壞性切片方法-掃描電子顯微術(scanning electron microscopy；SEM)來做晶片製程結構離線分析檢測。因此未來3D IC技術的建立，除了需要精進的製程技術外，也同時需要建立突破性的非破壞、可穿透矽基材、即時線上之檢測技術。圖一為現今普遍被採用的3D IC技術發展藍圖，根據國際半導體技術藍圖(international technology roadmap of semiconductor；ITRS)所提出的3D互連接技術需求，堆疊晶片的數目預計在2010年將超過9層，高密度矽通孔(high density TSV；HDTSV)直徑將縮小至1.4微米，且矽通孔結構深寬比(aspect ratio)高達10，同時晶片堆疊的準確度(3倍標準差)必須小於1微米⁽¹⁾。

二、3D IC關鍵技術及相關檢測需求

根據國際半導體技術藍圖所提出的3D IC互連接技術需求，可歸納三大項關鍵技術發展方向及相關檢測技術需求如下。

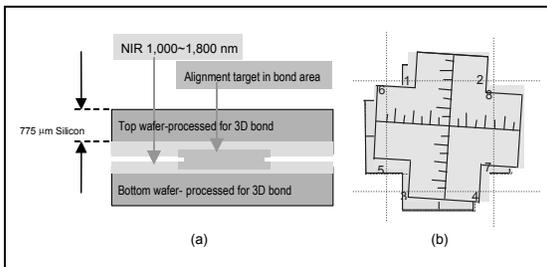


(來源:CEA-Leti)

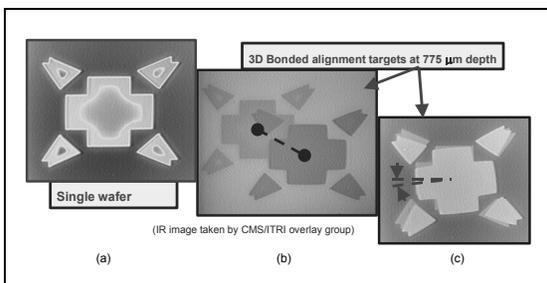
▲圖一 3D IC技術發展藍圖及國際半導體技術藍圖(ITRS)所提出的製程技術需求

(一)多層晶片對位黏接(bonding with alignment)

3D晶片互連接製程必須將晶片以面對面(face-to-face)或背對背(back-to-back)的方式接合，一旦晶片接合後就立即需要做晶片對位準確度的檢測，準確對位是影響產品整體功能性可否達最佳化非常關鍵的一個步驟。由於傳統光學檢測所使用的可見光波段是無法穿透矽基材的，所以無法量測到各疊層晶片上用來對位的對位標記(alignment mark)，因此要做到非破壞性之晶片對位控制，是很具挑戰性的。本研究團隊採用紅外光顯微鏡檢測系統，其所使用的近紅外光波段(near infrared)，波長範圍1,000~1,800奈米，此波段可穿透約775微米的矽基材厚度，而觀測到疊層晶片上的對位標記如圖二(a)所示，量測解析度約1微米。一般來說，整片完整晶圓對位(wafer-to-wafer alignment)的準確度較高，而切割後之個別晶片對晶片對位(die-to-die alignment)的準確度則會低些，



▲圖二 (a)紅外光顯微鏡檢測系統應用於標記對位示意圖；(b)應用自建的量測演算方法所得資訊



▲圖三 多層晶片對位黏接製程實際由紅外光顯微鏡檢測系統所拍攝之對位影像

主要是因為製程所容許的整片晶圓對位時間比個別晶片對晶片對位的時間來得長許多。圖二(b)則是應用自建的量測演算方法，將上下疊層的對位標記在標示為1, 2, 3...8位置的錯位誤差量綜合分析，即可得出疊對誤差(overlay)在X與Y方向分量及對位標記旋轉誤差量(rotation error)等的資訊，以作為晶片接合製程參數調整依據，這是薄化製程前的必要檢測步驟。圖三為多層晶片對位黏接製程實際由紅外光顯微鏡檢測系統所拍攝之對位影像。圖三(a)為單一層晶片上的對位標記；圖三(b)為雙層晶片面對面接合情形，由紅外光顯微鏡觀測影像顯示在X與Y方向都有明顯之對位誤差偏移量(translation)；圖三(c)則顯示晶片對位時發生旋轉誤差。

(二)晶圓薄化厚度控制

晶圓薄化過程通常是採用一連串的步驟，例如：矽基材或是玻璃基材 (silicon on insulator；SOI)從研磨(grinding)開始、再經過化學-機械平坦化(chemical mechanical planarization；CMP)、乾式拋光(dry polishing)、濕式化學蝕刻(wet chemical etching)、或是電漿蝕刻(plasma etching)等一連串的減薄程序，達到最終所需的薄化厚度及表面平坦度。因此，每一階段的晶圓厚度控制(thickness control)及總厚度變異(total thickness variation)量測，對之後接續的薄化製程非常重要，目前普遍採用傅立葉轉換紅外光譜術(Fourier transform infrared spectroscopy；FTIR spectroscopy)來做即時晶圓厚度及均勻度監控⁽²⁾，未來針對300釐米(12吋)大小的晶圓必須薄化至100微米的製程及檢測技術，無疑是重要發展議題。

(三)3D矽通孔製程及檢測

3D晶片應用矽通孔進行立體堆疊整合，

是非常重要的技術發展領域，如何開發製程能力可行且成本合宜的解決方案是一大挑戰。在晶圓製造CMOS影像感測器或BEOL(back end of line)步驟之前完成矽通孔製程，通常被稱作Via-first製程，其製程是在Fab廠前端金屬互連接製程之前進行的。Via-first製程目前在微處理器高性能器件領域研究較多，主要作為SoC(system on chip)的替代方案。另一將矽通孔製程放在封裝生產階段的方法，通常被稱作Via-last製程，該製程的明顯優勢是可以不改變現有積體電路流程和設計⁽³⁾。目前部分廠商已開始在高階的Flash和DRAM領域採用Via-last技術，例如現行的iPhone手機商品，即是在晶片的周邊進行通孔，然後進行晶片或晶圓的堆疊整合。

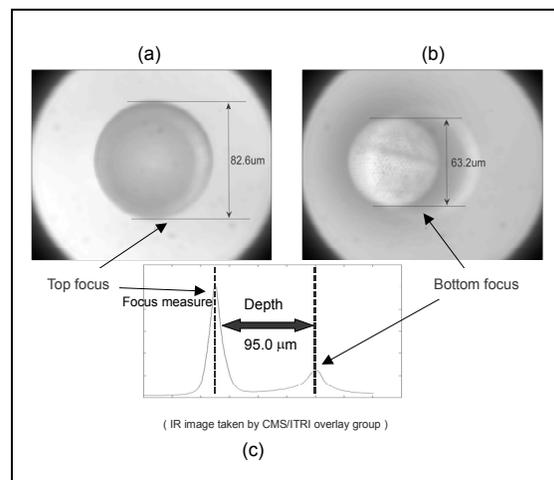
矽通孔目前算是相當新興的應用方案，也還有些製程上的挑戰有待克服。由於矽通孔結構所具有高深寬比幾何結構特性，因此使用傳統光學檢測方法量測矽通孔結構上下孔徑、深度及形貌等三維特徵，將更加困難且具挑戰性。

三、矽通孔結構孔徑・深度量測

針對較大孔徑(≥ 10 微米)的矽通孔上/下孔徑及深度量測，應用紅外光顯微鏡量測技術是一快速、方便又經濟的選擇。圖四說明如何使用100倍的顯微物鏡來擷取矽通孔上/下孔徑最佳對焦影像，應用自行開發的跨焦取像演算法，可以在連續移動Z軸取像的過程中找到對比度最好的兩張影像，也就是分別對焦到上孔徑及下孔徑的位置，如圖四(a)(b)所示⁽⁴⁾。同樣應用自建的影像處理演算法，可分析出矽通孔上/下孔徑尺寸大小分別為82.6 μm 及63.2 μm 。而矽通孔深度則可由矽通孔上/下孔徑，其在Z軸方向上最佳對焦位置的調變量(圖四(c))，

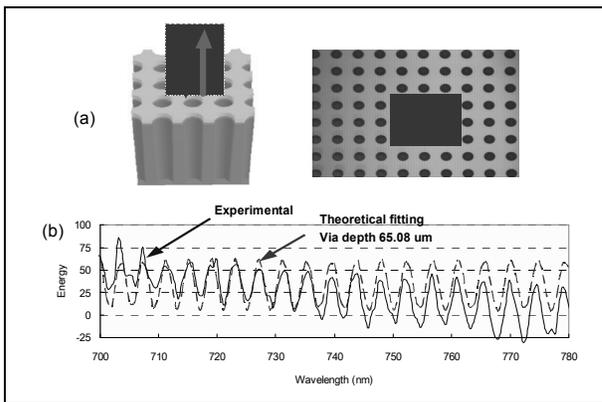
推算出來矽通孔深度為95.0 μm ，量測解析能力可達0.1微米。

針對高密度小孔徑(≤ 10 微米)的矽通孔孔徑及深度量測，則使用原來普遍應用在薄膜量測及微影製程線寬檢測的反射儀系統⁽⁵⁾，在不更動原有硬體的架構條件下，自行發展量測理論模型及反射光譜分析演算法，創新應用在高深寬比之矽通孔量測上。反射儀系統是以一寬頻譜(broadband, 190~780nm)波段範圍的光束垂直入射(normal incidence)待測矽通孔樣品如圖五(a)，光束直徑約30微米，待測矽通孔孔徑為5 μm ，節距pitch為10 μm 。所使用的量測物鏡為小數值孔徑的5倍倍率鏡組，可使光源近似垂直入射及垂直反射進出待測樣品，隨後反射光束經由光譜儀分光進入電荷耦合元件(charge-coupled device；CCD)偵測器可取得反射特性光譜如圖五(b)。由於反射光譜之振盪頻率正比於矽通孔深度，所以很容易藉由理論模型所模擬的反射光譜與實驗所量到的光譜比對，而得出矽通孔深度資訊，矽通孔深度為65.08 μm ，量測解析能力可達0.01微米。

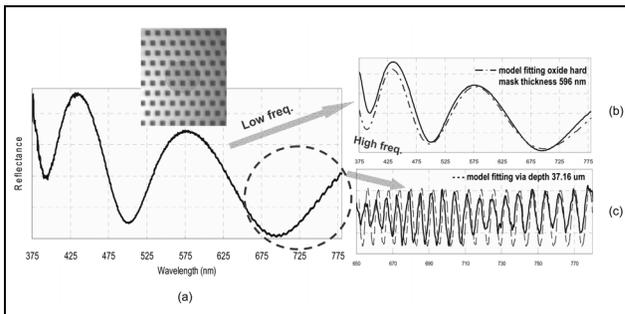


▲圖四 使用100倍的顯微物鏡來擷取矽通孔上/下孔徑最佳對焦影像

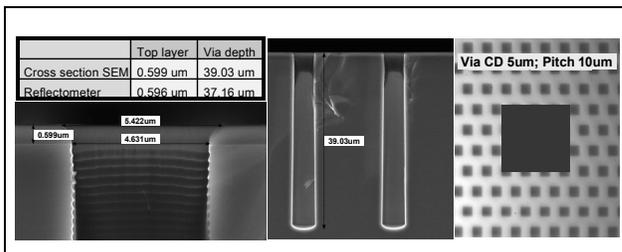
圖六為另一個反射儀量測高密度矽通孔樣品的實例，此矽通孔樣品表層覆有一薄層氧化層。由圖六(a)的反射光譜可清楚觀察到兩個不同的振盪頻率，反射光譜可以數值處理方法個別分離出高低頻頻譜如圖六(b)、(c)，分別以理論模型近似比對



▲圖五 (a)反射儀以一光束垂直入射待測矽通孔樣品；
(b)量測反射光譜與理論模擬的反射光譜比對



▲圖六 (a)反射儀量測高密度矽通孔樣品之反射光譜；
(b)、(c)分離出之高、低頻反射光譜分別以理論模型近似比對方式，得到薄氧化層的厚度及高密度矽通孔深度



▲圖七 掃描式電子顯微鏡截面檢測驗證結果

方式，可得到薄氧化層的厚度為596nm及高密度矽通孔深度為37.16μm。其中低頻振盪圖譜來自於薄氧化層的干涉現象，而高頻振盪圖譜則對應於高深寬比的矽通孔與表層干涉情形。本研究團隊可以數值處理方法個別分離出高低頻的頻譜，分別以理論模型近似比對方式，得到薄氧化層的厚度及高密度矽通孔深度資訊。圖七是以掃描式電子顯微鏡切片檢測的驗證結果，顯示反射儀量測高密度矽通孔樣品不僅準確度高，又兼具非破壞性及快速的優勢。

四、結論

3D互連接製程檢測技術首要挑戰便是量測可見光無法穿透的矽材質，本研究團隊成功應用紅外光顯微術來穿透觀察矽材質內部結構，發展出高深寬比矽通孔結構的非破壞性有效檢測方法。

因為3D IC技術具體積小、整合度高、效率高、耗電量及成本更低等特點，將更符合數位電子輕薄短小發展趨勢要求。3D IC技術是可攜式產品高功能整合與無線化需求最具潛力的方案，也是我國半導體與資訊科技產業創造下一波競爭優勢的機會。

參考文獻

1. 國際半導體技術藍圖(ITRS, International Technology Roadmap of Semiconductor) 2008 更新版
2. Ankur H. Desai et al, US patent 6030887, 2000
3. "Through Silicon Via Technology: The Ultimate Market for 3D Interconnect", TechSearch International 2008
4. Y. S. Ku, A. S. Liu and N. P. Smith, "Through-Focus Technique for nano-scale grating pitch and linewidth analysis", *Optics Express*, **13(18)**, p.6699- 6708, 2005
5. Ray J. Hoobler and Ebru Apak, "Optical critical dimension (OCD) measurements for profile monitoring and control: Applications for mask inspection and fabrication", Proc. SPIE, Vol. 5256, 638 (2003)