

NOR-Type快閃記憶體之發展趨勢

盧道政
旺宏電子股份有限公司
元件部經理

摘要

隨著彩色手機的數量與日俱增，大容量NOR型快閃記憶體的需求也隨之提高。目前傳統的懸浮閘快閃記憶體製程，已經面臨到越來越高的技術瓶頸，因此各大公司無不積極地尋求突破，以延長其壽命或是尋找新的替代方案。本文透過介紹懸浮閘(Floating Gate)NOR型快閃記憶體縮小(Scaling)後所遭遇到的技術瓶頸，以及可以幫助快閃記憶體密度倍增的幾種技術及元件架構，包括：多位階細胞元件技術、單細胞儲存兩位元的NROM及PHINES技術，希望可以幫助讀者了解快閃記憶體最新的發展趨勢。現今快閃記憶體的元件架構有朝雙主流發展之趨勢，一為多位階細胞元件技術之快閃記憶體，另一種則為SONOS-like，單細胞儲存二位元之快閃記憶體元件。然而當製程技術持續縮小時，這兩種架構都將不約而同地面臨難以突破的障礙，所以更具前瞻性的新非揮發性記憶體將有機會在關鍵時刻取而代之。

關鍵詞

快閃記憶體(Flash Memory)；多位階細胞元件技術(Multi-level Cell Technology)；SONOS；NROM；PHINES

前言

快閃記憶體(Flash Memory) 由於其輕、薄、短、小、省電、耐震、不具揮發性的特性，再加上其存取速度

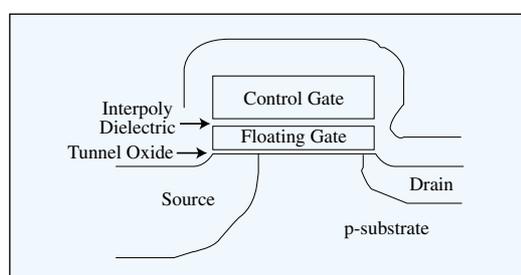
快與價格日漸合理等優點，目前已逐漸廣泛的被使用在各個領域上，如行動電腦(Mobile Computer)、嵌入式系統(Embedded System)以及各種消費性電子產品上，諸如：數位相機、MP3

Player、Set-top Boxes、行動電話、個人數位助理(PDAs)、印表機、網路設備、以及Memory Card等等。由於其應用與使用量的成長極具潛力，許多國內外知名廠商均投入了快閃記憶體的設計和生產。目前快閃記憶體在應用上可以分為NOR型及NAND型。生產NOR型快閃記憶體產品的公司以INTEL、AMD為代表，而生產NAND型快閃記憶體產品的公司以Samsung、Toshiba為代表。雖然NAND型快閃記憶體在市場上有逐漸增溫的趨勢，但是目前市場仍然以NOR型快閃記憶體為主。市調公司Semico Research甚至預測隨著彩色手機數量的與日俱增，大容量NOR型快閃記憶體的需求也隨之提高，2003年NOR型快閃記憶體銷售可望成長84%，因此本文以介紹NOR型快閃記憶體的技術發展及瓶頸為主。首先介紹目前NOR-type懸浮閘(Floating Gate)快閃記憶體元件縮小(Scaling)後所遭遇到的技術瓶頸，接下來介紹可以幫助快閃記憶體密度倍增的幾種技術及元件架構，包括：多位階細胞元件技術、單細胞儲存兩位元的NR0M及PHINES技術。

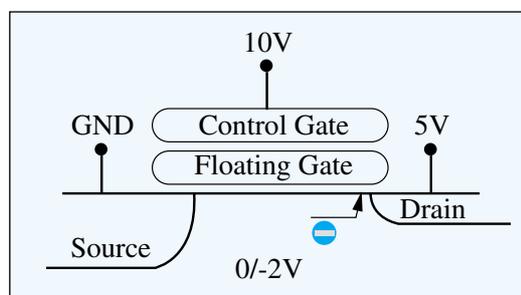
傳統NOR-type快閃記憶體面臨之技術瓶頸

快閃記憶體有很多種實現方法。目前多採用電荷作用為儲存媒介。電子儲存於懸浮的、與周圍絕緣的懸浮閘極上(如圖一)，並以懸浮閘上有無

儲存電荷來改變此快閃記憶體的臨界電壓，使得偵測電路可以判辨出儲存的資料。電荷的生成和儲存有多種實現方法，其中一種為“通道熱電子注入法(Channel Hot Electron Injection)”，為目前使用最為廣泛的電子寫入方式(Program or Write)。在該方法中，快閃記憶體元件透過施加於其控制閘極(Control Gate)上的高電壓，將通道切換至導通狀態，同時利用施加於汲極(Drain)上的電壓而形成從源極(Source)至汲極的水平電場，使電子獲得加速。這就形成了“熱”電子。熱電子受控制閘極電壓所形成的垂直電場的吸引，被拉向懸浮閘極(如圖二)並儲存在懸浮閘極上，形成高臨界電壓狀態。另一種電子注入方式為Fowler-



▲圖一 懸浮閘快閃記憶體示意圖

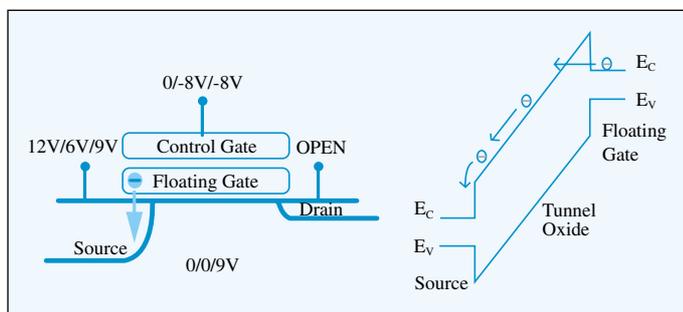


▲圖二 通道熱電子注入法示意圖

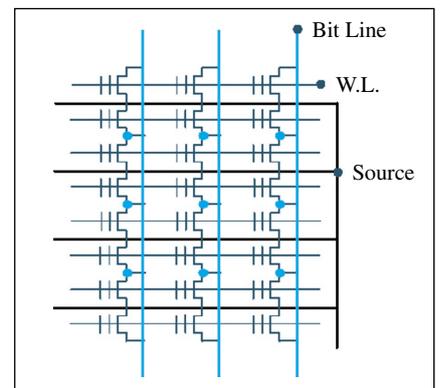
Nordheim (FN)穿隧法。它是在一氧化層兩側施加高電壓。高電壓形成強度電場，幫助電子穿越氧化層、由通道(Channel)注入懸浮閘，反之則由懸浮閘極將儲存電子拉出懸浮閘（如圖三）。通常電子抹除(Erase)的方式均用FN穿隧法來完成，可以將儲存電子由懸浮閘拉至源極，稱為源極抹除法(Source Erase)，或是拉至通道稱為通道抹除法(Channel Erase)。其中以通道抹除法比較適合快閃記憶體元件之縮小化使用，也是現今主流的懸浮閘快閃記憶體元件所採用的抹除法。

截至目前為止，NOR-type 快閃記憶體的主流產品為INTEL所採用的ETOX架構⁽¹⁾（其等效電路如圖四）。其操作方式乃利用通道熱電子注入法，將電子寫入懸浮閘以及通道FN穿隧法將電子抹除。INTEL已經在2001年IEDM⁽²⁾上發表0.13 μm 製程的快閃記憶體之技術，並在2002年以0.13 μm 製程技術量產64M快閃記憶體。然而由於可靠性的考量（包括：擦寫次數要

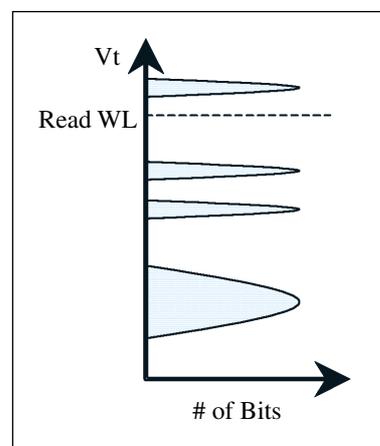
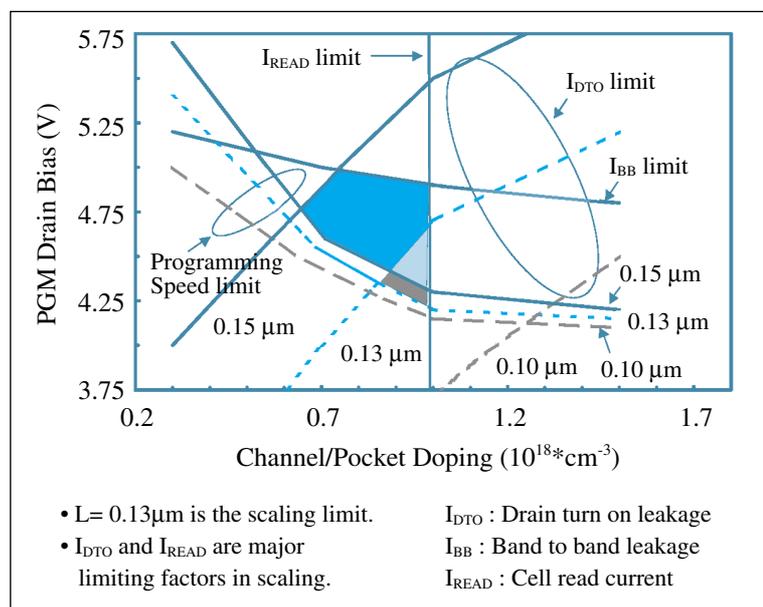
求到達100萬次以上且電荷保存(Charge Retention)時間須大於10年)，因此，穿隧氧化層(Tunnel Oxide)的厚度必須大於80Å，在此氧化層厚度下，通道長度(Channel Length)的縮小將非常困難⁽³⁾。根據Sam Pan在2002年SSDM⁽⁴⁾的文章中指出，此種快閃記憶體元件由於汲極耦合造成之漏電流(Drain-turn-on Leakage)，讀取電流(Read Current)以及寫入速度(Program Speed)的限制，當通道長度縮小至0.13 μm 以下時，將沒有製程空間(Process Window)（如圖五）。此預測也和INTEL的研究報告⁽⁵⁾不謀而合，INTEL利用物理元件大小以及電性元件大小的差異（此差異來自於：(1)在通道長度方向由於汲極和源極的濃度會向通道擴散，使得等效通道長度縮短；(2)在通道寬度方向由於絕緣區域會向內延伸，使得等效通道寬度縮短)，預測此技術的極限將在45nm的製程技術，而45nm製程技術的NOR-type快閃記憶體元件所對應的通



▲圖三 Fowler-Nordheim (FN)穿隧法將電子拉出懸浮閘及其能帶示意圖



▲圖四 ETOX架構之NOR-type快閃記憶體等效電路圖



▲圖六 多位階細胞元件之臨界電壓分佈圖

▲圖五 快閃記憶體之通道長度小於0.13μm後，將沒有製程空間

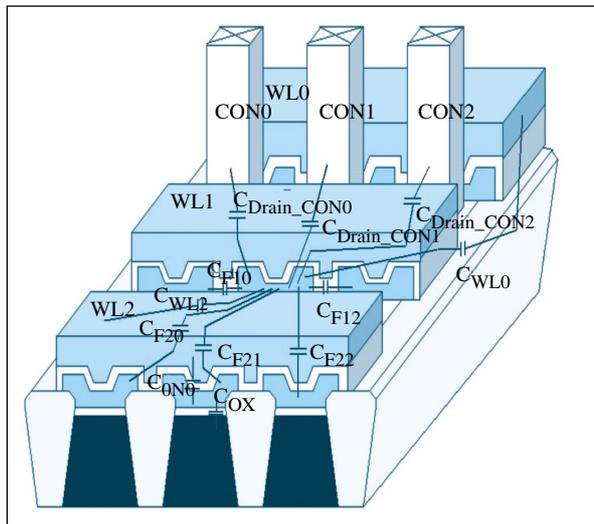
道長度也約略在0.13μm範圍。有鑑於此，各大生產NOR-type快閃記憶體的公司無不積極地發展新架構或新元件，例如多位階細胞元件(Multi-level Cell)技術、NROM、PHINES、MRAM⁽⁶⁾⁽⁷⁾、OUM⁽⁸⁾技術等，由於MRAM、OUM的量產時程尚遠，所以接下來只介紹目前居主流地位且已量產或即將量產之多階細胞元件技術、NROM以及PHINES技術。

多位階細胞元件技術

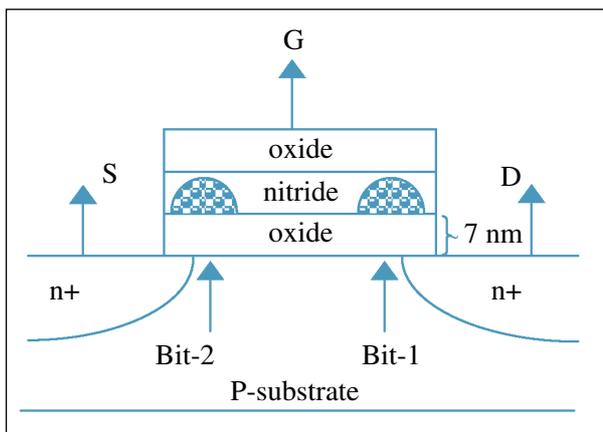
多位階細胞元件技術(Multi-level Cell Technology)乃基於和原來相同的快閃記憶體元件架構，藉由控制儲存在懸浮閘上電荷量的多寡，來改變電晶體的臨界電壓，所以不論NOR-type

或NAND-type快閃記憶體均適用⁽⁹⁾⁽¹⁰⁾。如果可以分出四個不同的臨界電壓分佈，則代表可儲存兩個位元(如圖六)，如果可以分出8個不同的臨界電壓分佈，則代表可儲存三個位元。欲實現此多位階細胞元件技術需具備三個條件，(1)精確地將不同的電荷量儲存在懸浮閘上；(2)精準的偵測電路以讀出不同的電荷量所造成的臨界電壓差異或讀取電流差異；(3)好的電荷保存能力及可靠度，以避免經過一段時間後，臨界電壓的差異愈來愈小而導致偵測電路無法辨識。目前已有相當多的文獻針對多位階細胞元件技術提出實現的方法，包括：(1)如何精確地控制寫入的電荷量，使得代表同一位階的臨界電壓分佈夠窄⁽¹¹⁾⁻⁽¹³⁾；(2)如何精確地讀出僅具備微小臨界電壓差異或者是讀取電流差異的資料⁽¹⁴⁾⁽¹⁵⁾；(3)

如何加強電荷保存能力及可靠度⁽¹⁶⁾。然而截至目前為止，真正應用此技術在產品上的公司並不多，仍然以INTEL的Strata Flash⁽¹⁷⁾為代表。目前INTEL已經將此多位階細胞元件技術實現在0.18 μm 的快閃記憶體製程技術上量產128M產品，並已經應用在彩色手機市場。



▲圖七 相鄰元件間的耦合電容示意圖



▲圖八 NROM元件結構示意圖（儲存兩個位元在通道兩端）

INTEL自從1992年開始啟動多位階細胞元件技術的研發，直到1995年才有第一顆32Mbit，具備錯誤更正(Error Corrector)電路的測試樣品(Test Chip)，又直到1997年底，第一顆64Mbit，不必具備錯誤更正電路的多位階細胞快閃記憶體才正式進入量產，可見此技術門檻之高。正因為如此嚴格的條件，也使得此技術欲應用在縮小後的快閃記憶體元件上，面臨更嚴酷的挑戰。因為當快閃記憶體元件縮小後，來自相鄰元件的耦合電容(如圖七)所造成的耦合電壓，將隨著元件的縮小而增大，並影響到正確的電荷儲存量而導致偵測錯誤⁽¹⁸⁾。因此，多位階細胞元件技術雖然可以等效上將快閃記憶元件縮小，但理論上卻會比原技術更快面臨極限。

單細胞儲存兩位元(Two Bits per Cell)之NROM技術

NROM 技術首先在1999年由Saifun所提出⁽¹⁹⁾。其元件結構(如圖八)和SONOS/MONOS⁽²⁰⁾相同。乃利用在閘極下方堆疊三層絕緣材料，分別為穿隧氧化層/氮化矽/屏障氧化層，其中氮化矽具有高深電子陷阱密度(High Deep-level Trap Density SONOS)，能抓住電子並達成儲存電荷的目的。而NROM和SONOS的差異在於：(1)SONOS的穿隧氧化層厚度只有20 \AA ~30 \AA ，而NROM的穿隧氧化層厚則為

50Å~70Å；(2)SONOS的操作方式乃利用Modified F-N穿隧法將電子注入氮化矽完成寫入過程，及利用直接穿透法(Direct Tunneling)將電洞注入氮化矽完成抹除動作⁽²¹⁾。而NROM的操作方式(如表一)乃利用通道熱電子注入法，將電子注入通道邊緣的氮化矽完成寫入過程，及利用價帶至價帶熱電洞(Band to Band Hot Hole)，將電洞注入通道邊緣的氮化矽完成抹除動作。因為氮化矽為絕緣層，故由熱電子效應產生之電子會被注入並侷限在靠近通道邊緣的地方，故可以在通道的兩邊邊緣儲存兩個位元(如圖八)；(3)SONOS僅可儲存一個位元而NROM可儲存二個位元；(4)NROM的讀取方式為逆向讀取法(Reverse Read)。當欲讀取右邊位元時，則將左邊電極電壓加高至約1.6V，使得左邊位元產生的能障(Barrier)被拉低，如此則可透過適當之閘極電壓將右邊位元讀出。

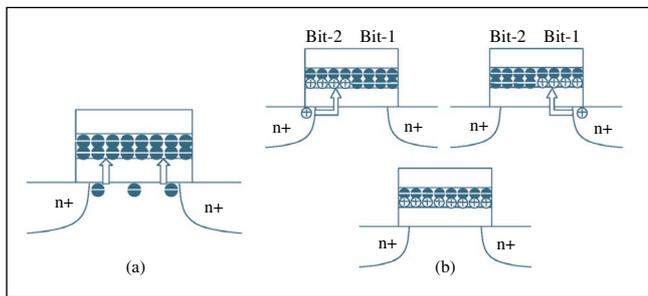
也唯有透過逆向讀取法才能成功地讀出二個位元。AMD把此技術稱為Mirrorbit，並於2002年利用0.17μm之製程技術量產64M之快閃記憶體，而

表一 NROM元件之操作電壓

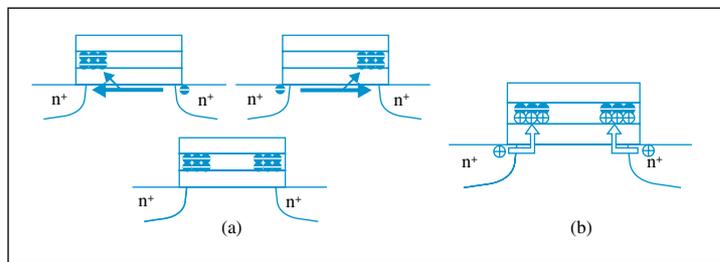
		Program (CHE)	Erase (BTBT HH)	Read (Reverse)
Bit-1	Vg	11V	-3V	2.5V
	Vd	5V	8V	0V
	Vs	0V	0V	>1.5V
Bit-2	Vg	11V	-3V	2.5V
	Vd	0V	0V	>1.5V
	Vs	5V	8V	0V

且預計於2003年第一季量產256M產品(目前量產最高密度的NOR-type快閃記憶體)。此外Saifun聯同Ingentix以及Infineon於2002年在ISSCC⁽²²⁾上發表了0.17μm製程技術/512M之快閃記憶體。除了Saifun、AMD、Fujitsu外，國內快閃記憶體大廠旺宏電子也緊鑼密鼓地利用此技術開發0.15μm製程技術/128M的快閃記憶體產品。

由於NROM技術的發展比懸浮閘快閃記憶體晚，因此雖然近年來受到各大公司相當的重視及投入研發，但仍有許多和可靠性相關的問題及解法尚未完全澄清⁽²³⁾⁻⁽²⁵⁾。目前已知比較嚴重的問題有：(1)抹除時所產生的電洞並沒有完全和電子結合；其在高溫或長時間下會有側向擴散(Lateral Diffusion)現象，而使得元件的臨界電壓降低，嚴重時將導致漏電流而使產品失效；(2)雖然寫入時電子被侷限在通道邊緣，但是隨著擦寫次數的增加，部分電子會累積在靠近通道中央，而在靠近通道中央的電子比較難被價帶至價帶熱電洞所抹除掉，嚴重時會因為抹除失敗而使產品失效；(3)為了成功地讀取儲存在通道兩端的資料時所加的電壓(~1.6V)，比傳統快閃記憶體高(~1.2V)，所以NROM技術的讀取生命週期(Read Lifetime)比傳統快閃記憶體短，嚴重時會低於讀取生命週期的規格。當元件持續縮小時，以上的問題更加惡化，因此NROM技術的壽命能有多長也受到挑戰。



▲圖十 (a)PHINES乃利用FN穿隧法完成抹除動作(高臨界電壓)；(b)PHINES乃利用價帶至價帶熱電洞完成寫入動作(低臨界電壓)



▲圖九 (a)NROM元件乃利用通道熱電子完成寫入動作(高臨界電壓)；(b)NROM元件乃利用價帶至價帶熱電洞完成抹除動作(低臨界電壓)

單細胞儲存兩位元之 PHINES 技術

PHINES為(Programming by hot Hole Injection Nitride Electron Storage)的縮寫。旺宏電子於2002年提出並發表在IEDM⁽²⁶⁾上，乃專為解決NROM所面臨的問題而設計。其元件結構和NROM完全一樣但操作的方法不同。NROM乃利用通道熱電子，將電子注入通道邊緣完成寫入動作，此時電晶體處於高臨界電壓狀態如圖九(a)，再利用價帶至價帶熱電洞，將電洞注入通道邊緣完成抹除動作，此時電晶體處於低臨界電壓狀態如圖九(b)。

表二 PHINES之操作電壓

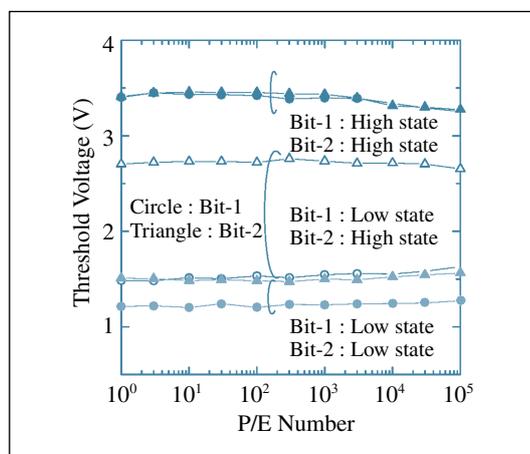
		Program	Erase	Read
Bit-1	Vg	-6V	12V	2.2V
	Vd	5V	-6V	0.3V
	Vs	0V	-6V	1.6V
Bit-2	Vg	-6V	12V	2.2V
	Vd	0V	-6V	1.6V
	Vs	5V	-6V	0.3V

Program Current: $<5 \times 10^{-9}$ A (per cell)

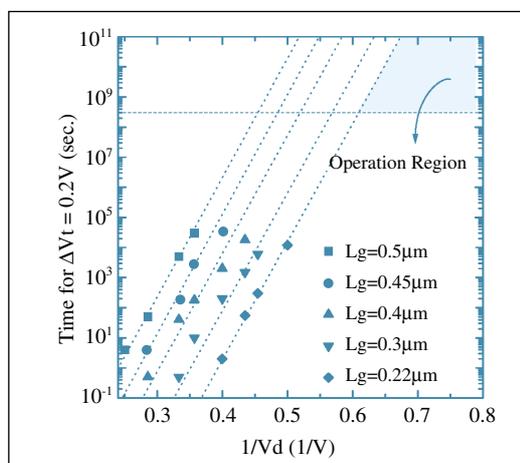
Erase Current: $<5 \times 10^{-15}$ (per cell)

PHINES則是利用通道FN穿隧法，將電子注入氮化矽完成抹除動作，此時電晶體處於高臨界電壓狀態如圖十(a)，再利用價帶至價帶熱電洞將電洞，注入通道邊緣完成寫入動作，此時電晶體處於低臨界電壓狀態如

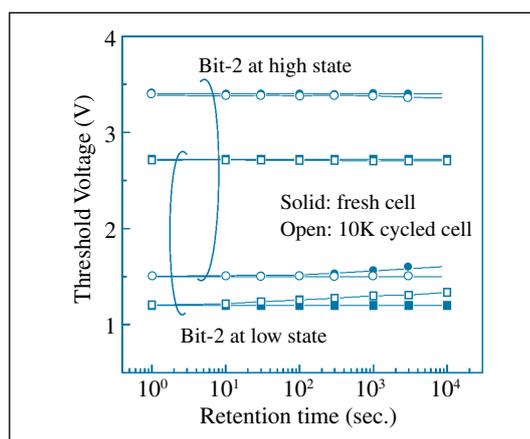
圖十(b)。讀取資料時則採用和NROM相同的逆向讀取法，以便可以讀出二個位元。其操作方式及操作電壓如表二。PHINES技術的優點如下：(1)和NROM一樣製程簡單且和邏輯製程相容，適合嵌入式(Embedded)產品；(2)和NROM相同，皆可在一個細胞上儲存兩個位元；(3)因為可靠性比NROM好(包括：擦寫次數(Endurance)可達100,000次以上(如圖十一)，電荷保存特性比較好(如圖十二)，讀取生命週期比較長(如圖十三)等等)，所以比NROM更容易把元件縮小；(4)因為“寫入”方式屬於高效能寫入(和通道



▲圖十一 PHINES之擦寫次數特性圖



▲圖十三 PHINES之讀取生命週期特性圖



▲圖十二 PHINES之電荷保存特性圖

熱電子注入法相比)，所以也可以應用在NAND-type快閃記憶體的市場；(5) 其陣列架構採取虛接地方式(Virtual Ground)，可以做到每個細胞所佔面積只有 $5F^2$ (非 $4F^2$ 的原因乃在於通道長度須稍長)，亦即每個位元 $2.5F^2$ 。(F為製程技術之最小特徵大小(Minimum Feature Size))。因此PHINES技術雖然仍處於研發階段，但展望未來卻相當

被看好。

結論

快閃記憶體因為可以提供非揮發之特性，應用範圍極為廣泛，近年來在市場上的重要性已經直逼DRAM，故許多國內外知名廠商如INTEL、AMD、Samsung、Toshiba、旺宏電子等皆全力發展先進快閃記憶體製程，以搶攻其市佔率，也使得傳統的懸浮閘快閃記憶體製程發展相當快速。目前傳統的懸浮閘快閃記憶體製程已經面臨到越來越高的技術瓶頸，因此各大公司無不積極地尋求突破，以延長其壽命或是尋找新的替代方案。現今快閃記憶體的元件架構有朝雙主流發展之趨勢，一為多位階細胞元件技術之快閃記憶體，另一種則為SONOS-like，單細胞儲存二位元之快閃記憶體元件。然而當製程技術持續縮小時，

這兩種架構都將不約而同地面臨難以突破的障礙，所以更具前瞻性的新非揮發性記憶體將有機會在關鍵時刻取而代之。

參考資料

1. V. N. Kynett, A. Baker, M. Fandrich, G. Hoekstra, O. Jungroth, J. Kreifels, and S. Wells, "An in-system reprogrammable 256K CMOS Flash memory", Proc. IEEE ISSCC pp.146-147, 1988.
2. Stephen Keeney, "A130nm Generation High Density Etox Flash Memory Technology," IEEE IEDM, pp.41-44, 2001.
3. Process Integration, Device and Structures and Emerging Research Devices, ITRS, p.14, 2001.
4. Sam Pan, C.C. Yeh, Rich Liu, and C.Y. Lu, "Nonvolatile Memory Challenges toward Gigabit and Nano-scale Era and a Nano-scale Flash Cell: PHINES", SSDM, pp.152-153, 2002.
5. Al Fazio, Stephen Keeney, Stefan Lai, "ETOX Flash Memory Technology: Scaling and Integration Challenges", Intel Technology Journal, vol.6, 2002.
6. M. Durlam, et al, "Nonvolatile RAM based on Magnetic Tunnel Junction Elements", IEEE ISSCC, pp.130-131, 2000.
7. R. Scheuerlein, et al, "A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell", IEEE ISSCC, pp.128-129, 2000.
8. Stefan Lai and Tyler Lowrey, "OUM- A 180nm Nonvolatile Memory Cell Element Technology for Stand Alone and Embeded Applications", IEEE IEDM, pp.803-806, 2001.
9. M. Bauer, et al, "A Multilevel-Cell 32Mb Flash Memory", IEEE ISSCC, pp.132-133, 1995.
10. Ken Takeuchi, T. Tanaka, and H. Nakamura, "A Double-Level-Vth Select Gate Array Architecture for Multilevel NAND Flash Memories", IEEE J. Solid State Circuits, pp.602-609, 1996.
11. Min-hwa Chi and Albert Bergemont, "Multi-level Flash/EPROM Memories: New Self-convergent Programming Methods for Low-voltage Applications", IEEE IEDM, pp.271-274, 1995.
12. G. J. Hemink, T. Tanaka, T. Endoh, S. Aritome and R. Shirota, "Fast and Accurate Programming Method for Multi-level NAND EEPROMs", IEEE VLSI, pp.129-130, 1995.
13. Ph. Candelier, et al, "Hot Carrier Self Convergent Programming Method for Multi-Level Flash Cell Memory", IEEE IRPS, pp.104-109, 1997.
14. D. Montanari, et al, "Novel Level-Identifying Circuit for Flash Multilevel Memories", IEEE J. Solid State Circuits, pp.1090-1095, 1998.
15. D.L. Kencke, R. Richart, S.Garg, and S.K. Banerjee, "A Sixteen Level Scheme Enabling 64Mbit Flash Memory Using 16Mbit Technology", IEEE IEDM, pp.937-939, 1996.
16. T.H. Fan, C.C. Yeh, T.C.Lu, and S.Pan, "A Novel Soft-Program Scheme for More Than 2-bits Multi-Level Cell Flash Design", SSDM, pp. 610-611, 2002.
17. G. Atwood, et al, "Intel StrataFlash Memory Technology Overview", Intel Technology Journal, 1997.
18. J.D. Lee, et al, "Effects of Parasitic Capacitance on NAND Flash Memory Cell Operation", NVSM Workshop, pp.90-92, 2001.
19. B. Eitan, et al, "Can NROM, a 2 bit, Trapping Storage NVM Cell, Give a Real Challenge to Floating Gate Cells", SSDM, pp.522-524, 1999.
20. I. Fujiwara, et al, "0.13um MONOS single transistor memory cell with separated source lines", IEEE IEDM, pp.995-999, 1998.
21. Marvin H. White, Y. Yang, A. Purwar, and M.L.French, "A low voltage SONOS nonvolatile semiconductor memory technology", Int'l Nonvolatile Memory Tech., pp.52-57, 1996.
22. E. Maayan, et al, "A 512Mb NROM Flash Data Storage Memory with 8MB/s Data Rate", IEEE ISSCC, pp.100-101, 2002.
23. W.J. Tsai, et al, "Data Retention Behavior of a SONOS Type Two-Bit Storage Flash Memory Cell", IEEE IEDM, pp.719-722.
24. W.J. Tsai, et al, "Hot Carrier Enhanced Read Disturb and Scaling Effects in a Localized Trapping Storage SONOS Type Flash Memory Cell", SSDM, pp.164-165, 2002.
25. C.C. Yeh, et al, "A Modified Read Scheme to Improve Read Disturb and Second Bit Effect in a Scaled MXVAND Flash Memory Cell", to be published, NVSM Workshop, 2003.
26. C.C. Yeh, W.J. Tsai, M.I. Liu, T.C. Lu, S.K. Cho, C.J. Lin, T. Wang, S. Pan, and C.Y.Lu, "PHINES: a Novel Low Power Program/Erase, Small Pitch, 2-Bit per Cell Flash Memory", IEEE IEDM, pp.931-934, 2002.