

ESD元件的技術應用 及發展趨勢

徐康能
佳邦科技股份有限公司
產品應用工程部 經理

摘 要

對於必須通過國際標準ESD測試的系統產品開發，在變更系統主體結構（包括機構設計與線路基板設計）最少的狀況下，利用靜電放電保護元件使系統在ESD測試環境下，變化線路的ESD能量路徑來解決系統ESD測試問題，是相當快速、有效解決ESD測試問題的方法。

關鍵詞

靜電放電(Electrostatic Discharge, ESD)；靜電放電保護元件(ESD Protection Device)；積層式變阻器(Multi-Layer Varistor, MLV)；暫態電壓抑制二極體(Transient Voltage Suppress Diode, TVSD)；高分子靜電保護元件(Polymer ESD Protection Device)

前言

積體電路(IC)是系統線路設計的主要核心元件，相對於IC產業的發展趨勢：製程線路寬越來越小、工作電壓越來越低，以及工作頻率越來越高；IC對於ESD這種極短時間內的干擾訊號也就越來越敏感！隨著系統、IC製造業者對於ESD現象與問題的分

析、了解日深與重視，同時體會到ESD問題所可能產生的巨額經濟損失，在積體電路設計上，對於ESD保護能力的設計就相對更加完善，因此線路使用IC會因為ESD問題而造成的元件損壞現象，實際上已經逐漸減少。

但是對於系統設計開發業者而言，系統產品對於產品耐ESD承受能

力日益嚴謹的設計規格要求，卻不再僅限於元件的不會損壞，而是在ESD現象發生時，系統的運轉不會發生鎖住(Hang)、重置(Reset)……等等異常現象！

藉由系統結構或是線路基板的重新設計，是有可能解決系統所面對的ESD測試問題，可是因為ESD問題發生機制的不確定性，致使對於重新設計的結果是否可以通過ESD測試，就不能有十足的把握！考慮到系統的開發時效性，在系統整體主架構幾乎不變的狀況下，加強局部性的絕緣材料或者使用靜電放電保護元件，來變更ESD測試狀況下的ESD能量路徑，就成為高時效性、有效解決問題的最佳作法，本文將針對ESD保護元件的應用加以說明。

ESD保護元件考慮選用一般性參數

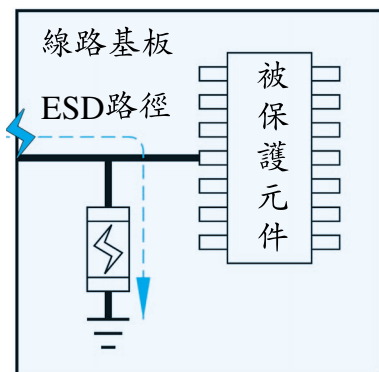
一般最常見的ESD保護元件有積層式變阻器元件(Multi-Layer Varistor, MLV)、暫態電壓抑制二極體(Transient

Voltage Suppress Diode, TVSD)以及高分子靜電保護元件(Polymer ESD Protection Device)，這些幾乎是線路設計上工程師習知或者共認的元件使用方法。如圖一所示，當對一個系統線路的某一外接接腳進行ESD測試時，為了避免線路中的被保護元件（如IC）被ESD能量破壞，在此一接腳剛進入線路基板(PCB)時，利用一個ESD保護元件於元件兩端電壓超過一定程度時，會產生崩潰導通的作用特性，將ESD的能量旁路(Bypass)引到預設的地點，再藉由這個地將ESD能量耦合(Coupling)回ESD測試系統的地。因為具有高壓特性的ESD能量經過保護元件的箝制(Clamping)作用後，出現於被保護元件對地的電壓會被限制在一可承受的位準，也因此避開了破壞被保護元件的現象。

對於圖一中ESD保護元件的選用，一般必須考慮以下幾個參數：

1. 首先是保護元件的工作電壓(Working Voltage, V_w)。理想的保護元件在未有ESD事件發生，或者說沒有異常狀態存在的狀況下，對於既有線路結構應該是不存在的元件，也就是說阻抗值必須是無限大，但是對於元件而言，這只是理想狀態！實際的元件規格會設定一工作電壓，當元件處於此一工作電壓狀況下，元件所產生的漏電流(Leakage Current, I_L)會是系統設計可接受的程度；所以選用保護元件的第一項參數就是，保護元件規格

►圖一 保護元件應用基本接線方式



中的工作電壓必須大於被保護線路的線路穩態電壓。

2. 其次是元件在工作電壓條件下的漏電流。漏電流的定義如 V_w 說明所述，此一參數對於使用外接電源的系統而言，並不會顯得特別重要，但是如果是使用如電池電源的線路系統，對於整體系統最終的功能表現，可能會產生極大影響而不得不加以重視。

3. 第三項必須考慮的保護元件參數是元件本身所具有電容值(Capacitance, C_p)。對於有些高頻或者是高頻寬需求的線路，使用保護元件的電容值過高，將會造成線路訊號的失真現象，因此必須限制ESD保護元件的最高電容值。

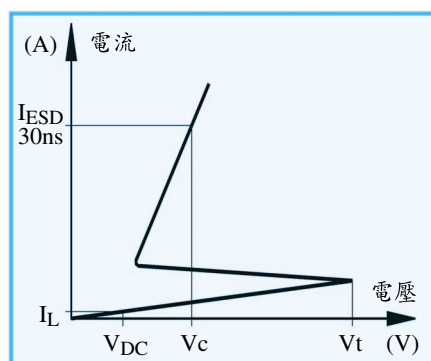
4. 接著必須考慮保護元件發揮保護功能動作時的特性參數，一般定義上會將之分成兩種類型：

(1) 在ESD測試條件下的觸發電壓(Trigger Voltage, V_t) 或峰值電壓(Peak Voltage, V_p)。最常見的是屬於圖二所示撬型VI保護特性曲線(Crowbar VI Curve)的高分子靜電保護元件規格，幾乎直接對應於標準ESD固定測試條件下，元件兩端會出現的最高電壓；雖然如MLV以及TVSD是屬於如圖三的崩潰型VI特性(Breakdown VI Curve)保護元件，因為元件具有的等串聯電阻以及等效串聯電感(Equivalent Series Resistance & Inductance, ESR & ESL)因素，在實際ESD測試的狀況下，還是會出現類似撬型VI特性曲線的 V_t 或

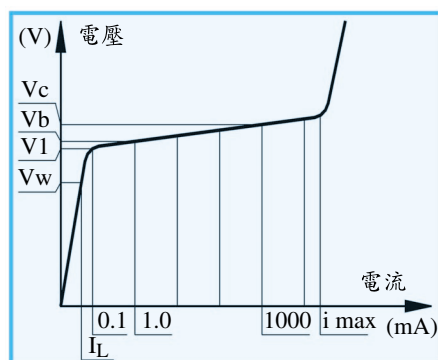
V_p ，只是一般均不會加以定義。

(2) 保護元件保護動作之後對暫態電壓的箝制電壓(Clamping Voltage, V_c)。此一規格最常見於MLV和TVSD元件，但是在定義上會以8/20 μs 的暫態突波(Surge)電流波形為量測的基準，至於高分子靜電保護元件一般則是將此一規格定義在ESD測試放電後30 ns時，元件兩端所殘存的電壓值。

5. 最後需要考慮的元件參數，以綜合說明的方式來敘述，就是如保護



▲圖二 撬型特性曲線



▲圖三 崩潰型特性曲線

元件在ESD測試條件下的反應時間(Response Time)、可以承受ESD測試放電的次數(ESD Withstand Pulses)、單項或雙向動作保護(Uni-direction or Bi-direction Protection)。對於前面兩項特性，目前只要是ESD保護元件，都可以符合正常需求，而單、雙向性保護則是視設計需求而定，針對ESD測試所具有的正負兩種極性測試而言，一般是以雙向保護動作為優。

綜合ESD保護元件一般參數考慮的結果會是：

工作電壓高於系統線路電壓、漏電流越低越好、觸發電壓與/或箝制電壓越低越好、電容值越低越好、反應時間越快越好、可承受ESD測試次數越高越好、雙向動作保護較好。

如果對線路ESD保護設計的考慮，是以避免被保護元件的破壞為完全考量，那上述的綜合結果是完全正確！但是正如前述，系統產品的設計要求在既定的ESD測試條件下，不僅限於元件的不會損壞，連要求系統的運轉不會發生鎖住、重置…等等異常現象時，還將同時考慮系統線路設計的成本，則前述綜合結論將有部份必須加以修正。

系統線路對地ESD接觸測試失敗之元件設計考慮

回到圖一之說明，ESD測試能量進入線路基板後，會被設計好的ESD

保護元件旁路引到線路基板的地線，再耦合回ESD測試系統的地線。此一說明有一極為重要的前提，就是進入線路地線的ESD能量會被耦合回ESD測試系統的地線！

通常當一個系統產品開發完成進行ESD測試，而測試結果是失敗(Fail)的時候，最常聽到的合理解釋是“線路的接地系統或地線結構設計不良”，但是如何能明確指出良好地的設計？卻又是人云亦云，無法確認，此即ESD問題發生機制不確定性所在！而事實上，現有絕大部份的系統線路設計會發生運作鎖死或重置現象均與此有關，這會牽涉到ESD保護元件的選用考慮。

如果一個系統線路設計具有非常良好的地線結構設計，理論上，當系統位於ESD測試環境下，這個良好的地線結構就是ESD能量彙集，同時幾乎可以完全耦合回ESD測試系統地線的點，因此如果ESD測試是直接對這個地線結構作接觸放電，系統元件將不會被破壞，各種運作也不會發生異常現象！但是如果對地結構作ESD接觸放電的結果，會造成測試失敗的問題，可以充分顯示地線結構的設計有缺陷存在，致使測試結果失敗。

由經驗可以確認的是，對待測系統線路地線的ESD接觸測試，讓系統運作異常發生的電壓設定位準，通常會低於如圖一測試點對被保護元件產生破壞的電壓設定位準，因此使用較

高電壓規格的ESD保護元件，在保護動作發生時來消耗掉較多的ESD能量，減少進入線路地線的ESD能量，可以提昇待測系統通過ESD測試的水準。至於可以使用高出多少電壓規格的保護元件，可參考圖四，選用的保護元件需視被保護元件可承受ESD的能力而定。

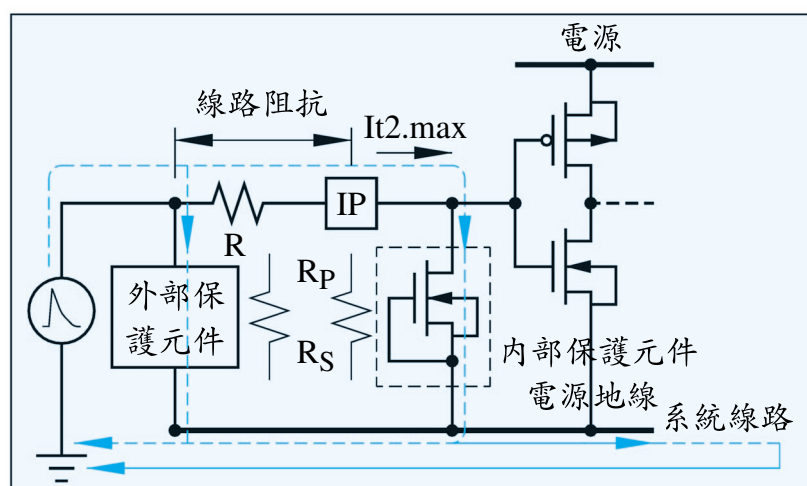
以上的元件應用考慮，將改變一般保護元件觸發電壓與/或箝制電壓越低越好的設計。

降低線路設計成本之元件設計考慮

除了高分子靜電保護元件是以極低元件電容值為重點訴求規格之外，如MLV及TVSD元件都具有元件本質的電容值。一般系統設計除了比較特殊的結構，如按鍵讓外殼出現接縫之處等外，最需要作ESD保護設計的區

域，幾乎都集中在一些IO介面的線路。依據系統產品安規的國際性需求，EMI/EMC所需的濾波器線路設計，在IO介面上已經可以說是標準化的線路需求！而在所有的線路設計中，電容元件是濾波線路應用最廣泛的元件，對於必須設計ESD保護線路的IO介面，如果可以整合電容值需求在ESD保護元件之內，就可以使用單一元件，同時兼顧濾波線路所需的電容值與ESD保護功能，除了基板設計可以簡化之外，對於線路設計成本的降低也會有相當的幫助。

目前市場上的MLV與TVSD元件發展趨勢，都逐漸顯示對上述結果的確認。MLV元件因為製程與積層式陶瓷電容器(Multi-Layer Ceramic Capacitor, MLCC)相同，故整合具有固定工作電壓與不同電容值特性的ESD保護元件已在大量銷售。TVSD雖然在個別元件



▲圖四 系統ESD測試簡圖

上要變化電容值較為不易，但是更進一步整合完整特定濾波線路結構的保護元件，亦在應用市場上推廣多時！

圖五為一般PC之VGA IO介面使用具有特定電容值MLV ESD保護元件的示意圖。VGA介面最常見的線路設計是以電容元件配合其他元件如電感等組成濾波線路，再以額外的高速二極體如BAV99作為ESD保護線路設計，以具有特定電容值的MLV元件，可以直接取代線路中的一個電容器元件，並且省下BAV99二極體元件，不僅簡化設計，在元件使用成本上更可以有效降低。

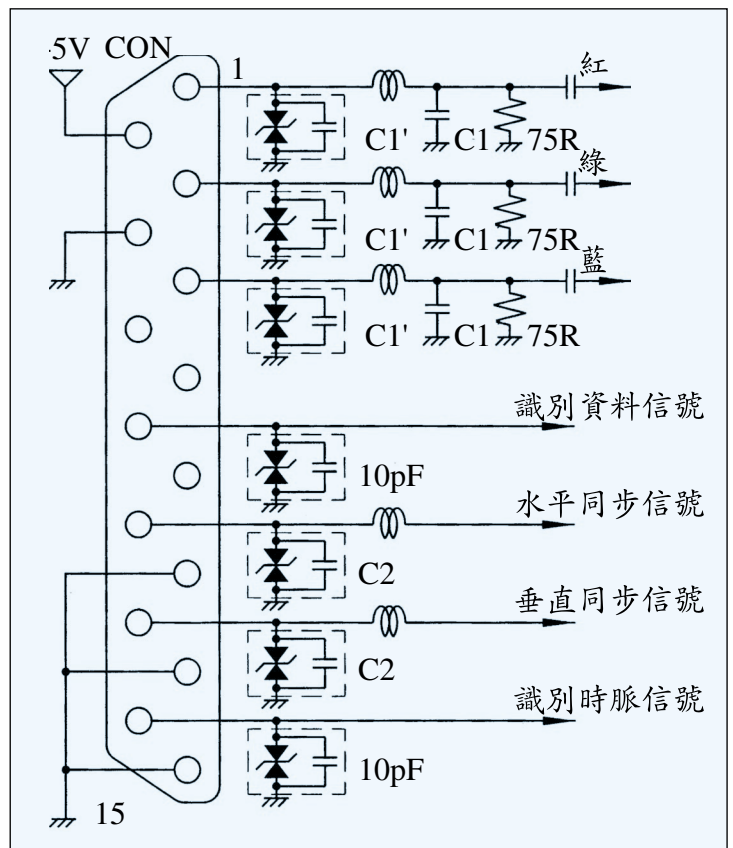
靜電保護元件整合靜電保護與特定電容值的發展趨勢，促使靜電保護元件電容值越低越好的參數考量，在實質上產生變化。

靜電保護元件之應用

本文第二點中所提提高輸入端靜電保護元件的電壓規格，可以增加靜電保護元件動時消耗的ESD能量。一般而言，必須有配套對策才可以更加有效解決待測系統的ESD測試失敗問題！此一配套就是找出

經由線路地耦合進入系統線路，進而使系統產生運作異常的發生點，而在相關造成異常發生的線路上，以靜電保護元件進行旁路連接對策。

一般的認知是儘量於最靠近ESD測試問題發生的測試點，以靜電保護元件旁路來解決ESD問題的發生，但是由於對線路地的ESD接觸測試問題，絕對是經由內部線路的耦合因素所產生，僅從ESD測試輸入端下對策，很難根本解決待測系統所面對的問題。因與習慣上的模式差異甚大，這可能是系統開發或設計工程師必須



▲圖五 VGA輸出線路

重新思考與面對的ESD問題解決對策模式。

至於該如何由這個模式來應用靜電保護元件，由於所謂系統線路涵蓋範圍太廣，在此很難一一敘述，只能建議相關的工程師，由待測系統ESD測試發生問題的測試點區域，配合系統運作異常發生的模式，兩者綜合判斷後，應該可以相當容易找出問題所在。個人係服務於靜電保護元件開發製造公司，對於系統線路設計並不熟悉，但是配合客戶系統線路開發或設計工程師的解釋說明，要找出問題發生點並不難，通常除了測試點介面的靜電保護元件，線路內部問題點只要找到幾個點下對策，都可非常快速、有效的解決問題。

靜電保護元件的發展趨勢

經過與多種系統產品類型客戶的接觸，可以非常確認因為IC發展趨勢致衍生出系統ESD測試問題，但是全體產業面對低利製造而嚴格控制成本，也是另一非常明確的趨勢！兩者相互衝突、發展的結果，靜電保護元件的發展自然充滿著相當的不確定性。

由電阻與電容元件的發展趨勢來看，由單顆(Chip)元件而多顆整合成排型(Array)元件的發展似乎是無可避免的，排阻因為製程成本（良率，對應

到售價）的可接受度高，可以確認趨勢的成立！但是排容元件則因製程成本與單顆元件的差異無法拉大，而處於結果不明的狀態。

與排容元件類似，靜電保護元件雖然有整合型元件的發展趨勢，例如整合單顆元件為多顆排型元件、整合完整濾波器功能甚至多組化的元件、…更完整功能的發展趨勢雖然確實有其市場應用的存在，但是除非製造成本也相對降低，面對低價化元件的市場需求，任何發展趨勢均難以與之抗衡！

所以就技術面而言，元件的小型化、多組化，在保護功能之外整合濾波功能的發展應可確認；但在市場的應用上，不管是哪一種形式的靜電保護元件，整體成本或售價的降低是唯一趨勢！

結語

充分善用靜電保護元件的特性，可以有效解決電子線路系統開發、設計上所碰到的ESD測試問題，藉由相同或類似系統的ESD問題解決經驗累積，在新系統線路開發時即預留可能的靜電保護元件位置空間，如果在ESD測試時出現問題，在不需要重新設計與變更系統相關結構的狀況下，應該可以非常快速、有效的加以解決。