

CAD在IC設計上所扮演的角色

IC設計是個十分嚴謹的過程，否則無法保證數百萬顆電晶體，能恰如其份的扮演好自己的角色。本文謹從設計流程、工具、資料庫及IP等四方面，來介紹CAD所扮演的角色。

在設計流程方面，本文將詳細介紹IC設計的每一步驟。

在工具方面，本文介紹目前市場上使用較普遍的設計工具及其廠商。

資料庫方面，介紹標準元件（Standard Cell）即閘排列（Gate Array）的區分及資料庫中含有那些內容。

IP方面，本文著重於CAD工程師所應提供的服務有那些。

范自強

盛群半導體總經理室

特別助理

一. 前言

CAD（Computer Aided Design 電腦輔助設計），在整個IC設計的過程中，扮演著接生婆的角色。它提供IC設計所需的工具、資料庫及設計方法，以協助工程師在經緯萬端的電路中，清楚的掌握細節。以目前的IC而言，已走向System-on-chip。一顆IC中，有數百萬個電晶體，早已不是神話。為了確保這百萬顆電晶體能各司其職，端賴CAD所提供的服務，諸如：合成、模擬、佈局、驗證，方可促使IC的設計完美無瑕。以下謹從設計流程、工具、資料庫、IP等四方面，來介紹CAD在IC設計上所扮演的角色。

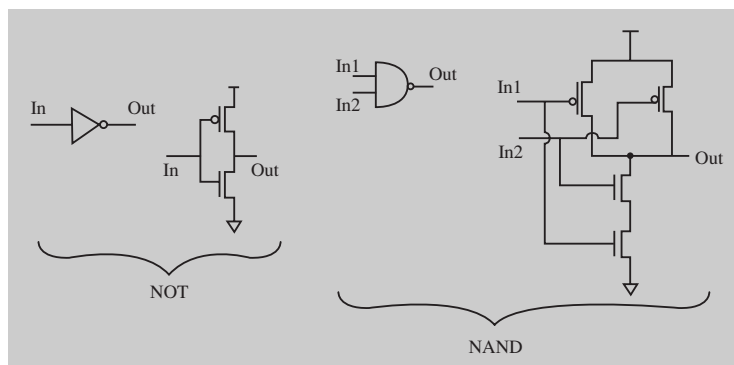
二. 設計流程

一般IC可分成數位式與類比式兩種，其中數位式因設計方法上比較容易掌握，且應用面

廣泛，所以是目前IC市場上的主流。IC設計的工具，隨著使用方法的不同，又可分成三種層級，RTL-level、Gate-level、Transistor-level。

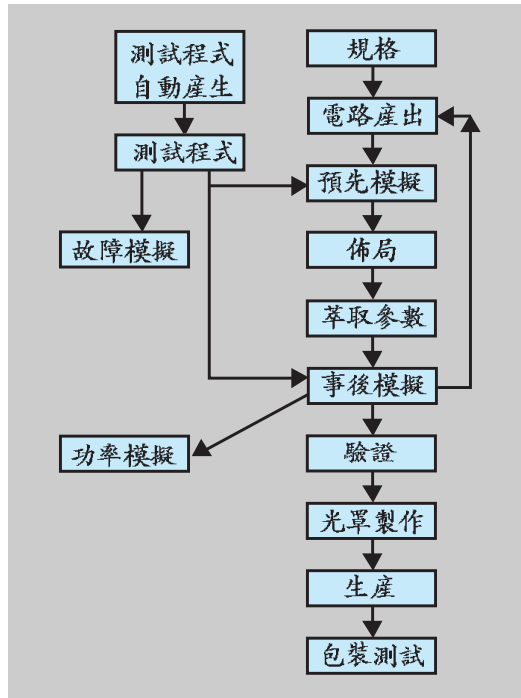
RTL-level是使用高階語言來描述電路行為，再使用合成器(Synthesizer)來合成Gatelevel電路。

Gate-level是由基本邏輯原件如NOT、AND、OR、NAND、ROM、RAM、Flip-Flop等基本元件來組成。其中每一個基本元件皆可在資料庫中尋得。而每一個邏輯基本元件又由數個電





▲圖一 NOT, NAND 邏輯元件和其相應的電晶體層級的實際電路

►圖二
典型的數位IC
設計流程



晶體(Transistor)所構成，如圖一所示。

Transistor-level是由基本電晶體來構成電路，其中因載子的不同而可分成PMOS Transistor及NMOS Transistor，如圖一中的代表PMOS Transistor；代表NMOS Transistor。

一般數位IC設計，很少由Transistor-level著手，多半由RTL-level或Gate-level著手。會在Transistor-level著手者，多為資料庫、記憶體或類比電路的設計工程師。

一個典型的數位IC，設計流程如圖二所示。其中各階段功能詳述如下。

1.電路產生：電路產生有兩種方法：(1)合成(Synthesis)(2)圖形輸入(Schematic Entry)。合成是將RTL-level的電路描述，轉化成Gate-level的邏輯電路。一般常用的RTL-level描述語言為VHDL及Verilog。圖形輸入是抓取資料庫中的Gate-level元件，由工程師自己來組合成所需的電路。當然，經由合成器(Synthesizer)所產生的電路，亦可經由圖形輸入的工具來觀看合成後的結果。

2.預先模擬(Pre-Simulation)：在電路輸入完成後，需經模擬方能確定電路的功能及時序(Function & Timing)是否正確。其中各邏輯元件的模型及參數，可由資料庫中取得。但是元件間的連線情況，因電路元件尚未放置聯結(Place & Route)完成，所以只能用預估的方法求得其參數值。

3.佈局(Layout)：在預先模擬完成後，要開始執行放置與聯結元件的工作。在一般大電路的佈局中，還會先執行一個佈局規劃(Floorplan)，才開始執行放置及聯結。佈局又分成自動或手工(Auto or Manual)。一般而言，自動佈局較快速但IC較大。手工佈局較費時，但是IC較小。目前的趨勢是自動佈局已漸成主流。原因是(1)希望產品早點上市，(2)自動佈局工具軟體日漸精良，(3)製程技術日新月異，使用三層以上金屬層，已是很普遍的技術，太多的金屬層，使手工佈局的困難度增加。

4.萃取參數(Extraction)：在佈局完成後，元件間的聯結已確定，則可以開始萃取連線的電阻電容值(RC Value)以計算連線上的延遲值(Delay Value)。

5.事後模擬(Post-Simulation)：在取得正確的連線延遲值後，再作一次事後模擬，以求精確地檢查IC的功能與時序(Function & Timing)。若是不正確，則要回頭修改電路，重新執行預估模擬與佈局。

6.驗證(Verification)：一般的驗證，共分成三個部份(1)設計規則檢驗(Design Rule Check)，(2)電性規則檢驗(Electric Rule Check)，(3)佈局與電路比對(Layout vs Schematic)。作驗證的目的是因為模擬只有檢查IC的功能與時序，並沒有針對佈局上的問題作查核。

7.光罩製作(Masking)：將佈局驗證完成後的資料，製作成光罩以便生產IC。

8.包裝與測試：生產後的晶圓(Wafer)，會先切割成許多小片的Die，再包裝成IC，最後測試出規格正確的IC給客戶。

9.故障模擬(Fault Simulation)：故障模擬的目的是在找出IC中有那些點，一但有故障時，無法用現有的測試程式偵測出。要增加可測度的方法是增加測試程式的資料量及修改電路結構。在一般可信度(Reliability)要求不高的產品，很少執行故障模擬。

10.測試程式自動產生(ATPG; Automatic Test Pattern Generation)：一般的測試程式多由IC設計工程師自己撰寫。但要執行故障模擬時，這些測試資料大多不足，需要ATPG的協助。

11.實體模擬(Emulation)：在圖二的流程中，並沒有顯示實體模擬。在圖二中

所有的執行步驟都是利用軟體來執行。但是有些情況下需要用實體模擬（例如語音及影像方面的產品），方可逼真的得到模擬結果，而且加速模擬的工作。但值得注意的是，實體模擬只有證明功能(Function)的正確性，無法保證時序(Timing)的正確。一般實體模擬所用的元件為FPGA (Field Programmable Gate Array)。

12. 功率模擬：對於要求低功率消耗的產品，亦有必要執行功率模擬，以檢測是否有超過要求標準。功率模擬不僅可以量測整個IC的功率消耗，而且可以量測IC內部各模組的功率消耗，以供設計工程師參考。

上述的設計流程，在深次微米(Deep Submicron, 0.5 μm以下) 必須略作修正。原因是在深次微米的技術下，元件間連線的延遲(Delay)，其所占之比重，逐漸大過元件本身的延遲。而且在未完成佈局之前，連線延遲的值又是不確定的，更增加預先模擬的困難度。所以必須藉助佈局規劃(Floorplan)來增加預估模擬的準確度。

對合成(Synthesis)而言，因佈局連線的不確定，使得反覆執行合成的可能性大增，故也有必要藉助佈局規劃來促使合成工作儘早收斂。修正後的設計流程如圖三所示。其中電路產出和預先模擬之間，須要藉助佈局規劃來作來回調整。

三. 設計工具

對照著設計流程，目前市場上較普遍使用的工具軟體及廠牌詳列如下（廠牌名稱在括號內）。

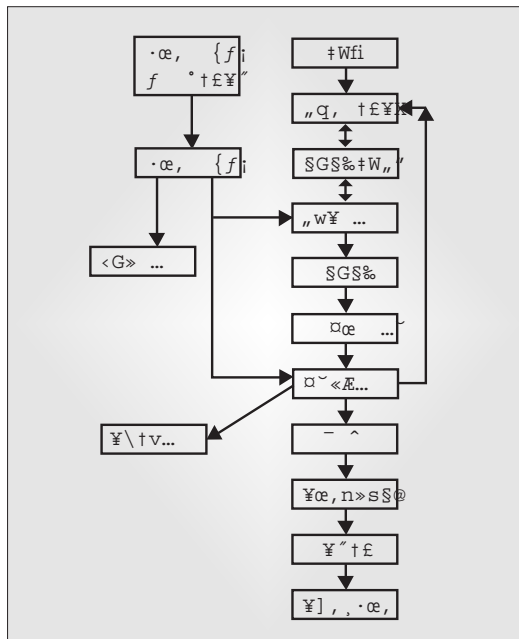
1. 合成：Design Compiler (Synopsys)、Build Gate (Cadence)

2. 模擬：Verilog (Cadence)、VCS (Synopsys)、Viewsim (Viewlogic)、Polaris (Avanti)、Hspice (Avanti)、Time Mill (Synopsys)、Power Mill (Synopsys)、Star-Sim (Avanti)

3. 佈局：Apollo (Avanti), Silicon Ensemble, Gate Ensemble (Cadence), Gards, SC2(SVR), Virtuoso (Cadence)

4. 驗證：Dracula (Cadence)、Hercules (Avanti)、Calibre (Mentor)

5. 萃取：Hyper Extract (Cadence)、Star-RC (Avanti)、xCalibre (Mentor)、Arcadia (Synopsys)



圖三 深次微米的數位IC設計流程

6. 佈局規劃：Planet (Avanti)、Design Plan (Cadence)

7. 故障模擬：Voyager (Synopsys)、Quickfault (Mentor)

8. 測試程式自動產生：Testgen (Synopsys)、Fastscan (Mentor)

9. 實體模擬：(Xilinx)、(Altera)、(Actel)、(Lattice)

以上的工具介紹中，有關模擬的部份有必要再進一步說明。在設計流程中，已特別提到設計有三個層面，即RTL-level、Gate-level、Transistor-level。在上述的工具中，Hspice、Time Mill、Power Mill、Star-Sim只能在Transistor-level執行，因類比式電路多在Transistor-level上設計，故Hspice，Time Mill等成為不可缺少的工具。Viewsim只能在Gate-level上執行，而Verilog、VCS、Polaris可在RTL-level及Gate-level兩種層次上執行。關於實體模擬，一般的小電路只需要一顆FPGA元件即可。但對於大電路而言，往往需要一個實體模擬器系統(Emulator System)才可完成實體模擬的工作。目前能提供這種產品的公司，有IKOS及Synopsys。

隨著IC的複雜度日益提高，System-on-chip的要求日益迫切。現有的模擬環境已面臨必須重新檢討的階段。如何又快又準的得到結果，已成為工具設計師們責無旁貸的挑戰。目前的最新趨勢是功能與時序分開驗證。功能方面採用形式驗證(Formal Verification)或週期基準模

擬器(Cycle-based Simulator)。時序方面採用靜態時序分析(Static Timing Analyzer)。唯使用者尚未普遍，所以沒有專文介紹。

四. 資料庫

資料庫是指IC設計所需基本元件的集合。針對不同的設計工具，有不同的資料庫，但大致可分成三類

- 1.合成，
- 2.模擬，
- 3.佈局。

所有IC設計所需的參數及資料，全放在資料庫中，例如延遲、元件大小、元件功率消耗、模型、佈局層次、佈局圖案等，而這些參數及資料又全是基於某一個製程所制定。換言之，當製程更換時，所有這些參數及資料，必須重新計算更替。

在前述的流程介紹中，所涉及的許多步驟，都需要資料庫的支援，例如電路產出、預先模擬、佈局、萃取參數、事後模擬、故障模擬、測試程式自動產生、功率模擬等。

從技術與佈局的眼光看來，基本元件又可分成(1)標準元件(Standard Cell)，(2)閘排列(Gatearray)兩類。標準元件含有製程所需的全部層次，而閘排列有金屬、接觸窗(Contact)、通洞(Via)等層次，其餘的層次皆在預先作好的母體上，所以在生產上，標準元件所需的時間較長，閘排列所需的時間較短。但是閘排列所費Die Size較大。原因是在同一個製程中，只擁有幾個固定大小不同的母體，例如含有10000，20000，30000，40000……個電晶體的母體。所以含有30100個電晶體的電路，其與含有39100個電晶體的電路所要使用的母體是相同的，換言之，Die Size相同。

目前市場上，有銷售資料庫的廠商很多，較著名的有Avanti, Aspec, Artisan, Cascade, Cadence, Synopsys, Faraday等。

CAD在資料庫方面所需提供的服務有：

- 1.建立所有設計工具的資料庫，若資料庫是向外界廠商採購而來，則CAD工程師必須證明其正確性。
- 2.維護資料庫，例如當製程有更動

時，所有元件的資料及參數都必須隨之重新計算與更新。

3.回答工程人員在使用設計工具、資料庫方面所遭遇的各種問題。

五. IP (Intellectual Property)

IC設計是個很專業的技術；PC、記憶體、通訊、CPU、類比電路等方面，各有各的專業，很難十八班武藝全通。但是隨著製程技術的日新月異，System-on-chip已變成一個必然的趨勢，而市場上的急迫性又未見稍緩，這些情況的交匯下，終於促使IP成為目前CAD市場上的當紅炸子雞。

從一個IC設計工程師的眼光來看，IP是個「已經設計好，而且證明是正確無誤的電路」，所以工程師只要拿來用即可，如此方可縮短IC設計的時間，使產品早一點進入市場。基於這個理念，CAD工程師必須提供下列的服務。

1.協助評估IP。例如若IP是個RTL-level形式，則如何保證它在合成後能得到最小的電路，而且功能完整，時序正確。

2.轉換資料庫並且完成佈局。例如若IP是個Gate-level形式，則先將它所用的資料庫轉成自己的資料庫。在功能及時序驗證無誤後，再作佈局。

3.驗證。假如IP是個已完成佈局的結果，則必須先證明它的佈局不違反自己所要求的設計規則(Design Rule)、電性規則(Electric Rule)。然後再作成一個可以重覆使用(Reuse)的佈局方塊(Block)。

六. 結語

由以上的描述中，可以很清楚的看出，CAD所涵蓋的工作即是IC接生婆。所有IC設計所需要的環境、工具、資料庫，CAD工程師都要先準備好，如此才能使IC設計工作很順利的完成。尤其是今日的IC元件，不但是電晶體數目龐大，而且系統複雜。十年前各自獨立的元件例如數位處理器、記憶體、語言處理介面…等，如今全都可以濃縮在一顆IC之中。這除了要拜製程能力提升之賜外，CAD能力的日新月異亦有推波助瀾之效。匯集這一切的力量，終於使輕薄短小的產品不斷上市，進而造福人群。