Chip Scale Packaging 技術概論

◆仲鎮華：美國APTOS公司資深副總經理
鍾鶴立：慎立科技公司總經理
陳清培：慎立科技公司業務經理

在過去三十年來，發展出許多新式的IC封裝及訊號傳輸技術，諸如TAB (Tape Automated Bonding), Flip Chip, MCMs (Multichip Modules)及BGAs (Ball Grid Arrays)，被應用在多樣化的電子產品。然而對於電子產品之性能、多樣性、迷你化的需求，促使IC元件輸出功率、輸出訊號腳數劇增，再次驅使電子廠商往著更輕薄、低成本、高可靠度產品挑戰。CSP (Chip Scale Packaging)是一種相當新穎的IC封裝技術，約在1993年才引用於產業中，然而CSP卻成為非常重要的單一晶片封裝技術。主要因它符合了輕薄短小的潮流趨勢（見圖一）。因此近年來系統業者已開始引用CSP於可攜式電子產品，例如筆記型電腦、行動電話及數位相機等相關產品。本文即在於介紹CSP相關議題及發展情形；包含CSP的定義、多樣性設計選擇、CSP可靠度、關鍵生產製造技術，及CSP相關應用領域、供應廠商、各廠家技術評價。本文中引述的CSP相關發表刊物多達百餘篇，可惜限於篇幅，未能全部刊在參考資料中。

Chip Scale Packaging

CSP是一種單一晶片的封裝技術，其封裝尺寸與IC本身尺寸幾乎相同或稍微大一點。EIA (Electronic Industries Association)組織與IPC (Interconnecting and Packaging Electronic Circuits)組織已聯合對CSP作成定義。在J-Std-012 “Implementation of Flip Chip and Chip Scale Technology”標準文件1.2章節，對CSP定義如下：

“晶片尺寸技術可被分類為一種半導體晶片結構，可被穩定地生產製造，並可被簡易地操作、測試及晶片組裝。晶片尺寸技術通常歸因於具有很小尺寸，不超過原始晶片尺寸面積的1.2倍，並可直接利用表面黏著技術(Direct Surface Mountable)加工者。”

CSP對於覆晶技術(Flip Chip Technology)及晶片直接黏著技術(Direct Chip Attach Technology, DCA)提供了一個替代性的解決方案，因為CSP可使用表面黏著組裝加工設備，同時不需要灌注底膠(Underfill)，底膠灌注是晶片直接黏著技術加工時的重大困擾。通常CSP是針對單一晶片封裝技術，較其他種封裝技術

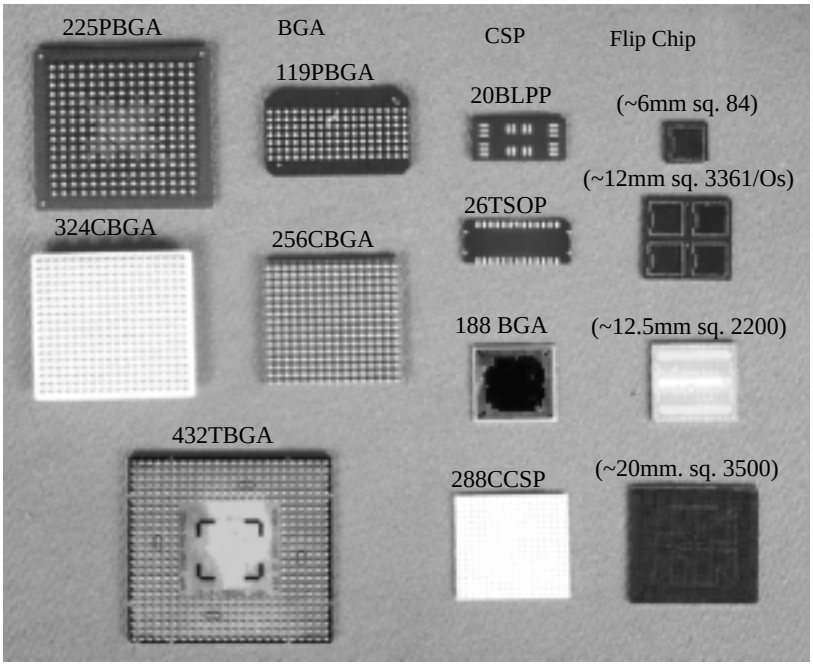
具有較佳的電氣性質，非常適用於輕薄短小且需穩健特性的攜帶式電子產品上。圖一為BGA，CSP及覆晶封裝技術在球腳排列之比較。

CSP設計的選擇性

產業界中已有許多種CSP設計存在，例如表一中所列多種CSP主要特性及參考文件。它們都具有相同的特性，諸如很小的封裝尺寸，封裝面積不超過原始晶片的1.2倍，同時可直接應用在表面黏著(SMT)加工，這些CSP封裝方法都設計成可使用傳統SMT組裝及錫球回焊設備，意即CSP結構著重在高密度，及高性能之晶片直接黏著，且適用於SMT流程。

CSP與晶片直接黏著(DCA)方式的差別，就在於矽晶與基板(Substrate)或電路板之間，又加了一層薄膜材料或中介層(Interposer)，而這層薄膜或Interposer具有緩衝材料，空間重組及機械性保護的作用，CSP可分為四大類別：Lead Frame, Flexible Interposer, Rigid Interposer & Wafer-Level Processed CSP（見圖二）。而表二、三、四、五中分別列出CSP製造商、Interposer材料、晶片與Interposer連接方式及外部的連接結構。

▼圖一 BAG，CSP及Flip Chip之封裝面積比較



CSP的製造可行性

CSP的生產製造重點描述如後：

一、CSP零組件的製造可行性

生產製造CSP零組件需符合一些設計準則及標準，J-Std-012 提供了部份的標準可供參考，但對於CSP的運送、

表一　產業界中已發表之不同CSP技術比較

廠　商	腳　數	封裝腳距(mm)	外部連接	封裝尺寸(mm)	封裝厚度(mm)
Chip Scale [1, 2]	<100	0.3-0.65	Pad	1.1•IC	0.3 (discrete)-0.75(IC)
EPS	<100	0.5, 0.75, 1.0	Land	IC+1.0	Die+0.63
Fujitsu [3, 4, 5]	16-352	0.5-1.27	Lead or ball	>1.1•IC	>0.7
GE [6]	<400+	Custom	Solder ball	IC	Thinned IC + flex
IBM [7]	1500	0.5	Solder ball	IC+10	3.4
LG Semicon	60	0.8	Lead	IC+1.8	0.48-0.82
Matsushita [8]	100~400	0.5-1.0	Pad	IC+4	1.6
Mitsubishi [9]	96, 256, 1024	0.5-0.8	Stacked solder ball	IC+(<0.6)	IC+0.3
Motorola [10]	40-150	0.8	Solder ball	IC+(1.5-2.5)	1.0
NEC	100~1000	0.8	Solder ball	IC+(<1.0)	<1..6
Nitto Denko	<100	0.5-1.0	Solder ball	IC+(<0.4)	Die+0.35
Sandia/Aptos [11, 12]	34-275	0.5-0.76	Pad or ball	IC	Die+Thin film
ShellCase	Peripheral	>0.25	Pad	IC+0.1	0.3-0.5
Tessera/Amkor/ Shinko Elec.	18~1000	0.5-1.0	Solder ball of Ni/Au bump	IC+(<1.2)	Die + (0.3-0.5)
TI Japan	62-176	0.5-0.8	Solder ball	IC+2.0	1.2
Toshiba	100~700	0.5-0.8	Pad or ball	IC+(1-3)	1.0-1.2

操作方式、容器、測試、BURN-IN要求，及零組件尺寸和厚度，仍需要進一步制定及標準化。

二、CSP板組裝的總論及要點

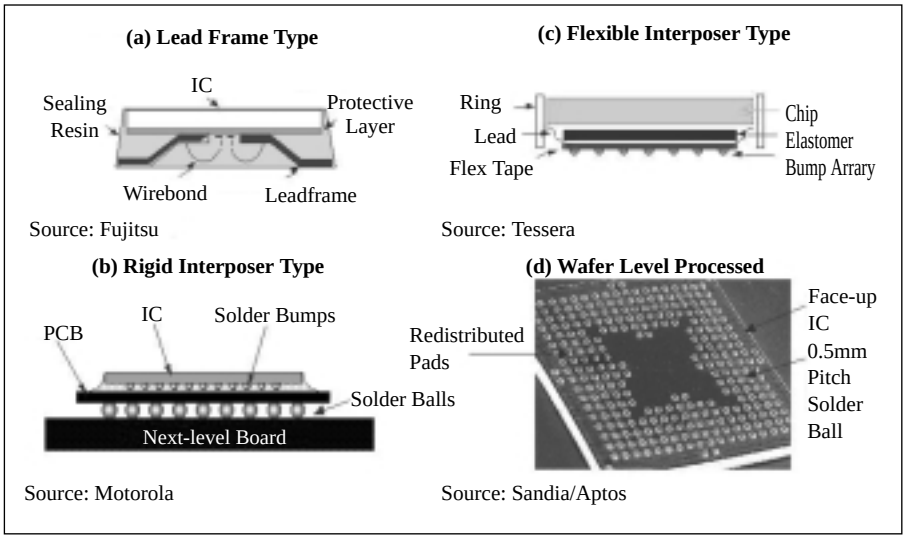
通常CSP的外部導線或球距不小於0.5mm，可避免組裝板子時細腳距(Fine Pitch)元件在表面黏著過程中的一些問題。因為問題通常發生在CSP與其他元件組裝在一起時，如圖三為例，CSP與其他元件在熱傳導上的差異，在焊錫回焊(Reflow)時，就是一項考驗。另外如焊錫結合性檢查、清洗、重工時都是問題，其他組裝時，如錫球體積規格及控制、基板焊墊(Substrate Pad)形狀及尺寸、使用Solder Mask Defined Pad或Non-solder Mask Defined Pad，及錫球高度等都需要考慮圖四，為典型的CSP焊錫接合的橫截面及尺度。

1.使用傳統SMT設備，CSP置放在印刷電路板(PCB)，典型的板組裝流程為：

表二　Lead Frame CSPs

製造廠商	中介層	內部連接	外部連接
Fujitsu[3, 4, 5]	Lead frame	Wire bond (die face-down)	Lead
LG Semicon	Lead frame	Wire bond (die face-up)	Lead
TI – Japan	Lead frame	Wire bond (die face-down)	Solder ball

Others: Fujitsu's Bump Chip Carrier (BCC), Hitachi Cable's Lead-on-Chip CSP (LOC-CSP) etc.



▲圖二 Chip Scale Package典型的分類

表三　Rigid interposer CSPs

製造廠商	中介層	內部連接	外部連接
Matsushita [8]	Ceramic (2 to 4 layers)	Flip chip with gold stud bumps and silver-palladium adhesive	Land
Toshiba	Ceramic (1layer)	Flip chip with gold-gold solid phase diffusion	Land or ball
Motorola [10]	PCB	Flip chip	Solder ball
IBM [7]	Ceramic (multilayer)	Flip chip	Solder ball

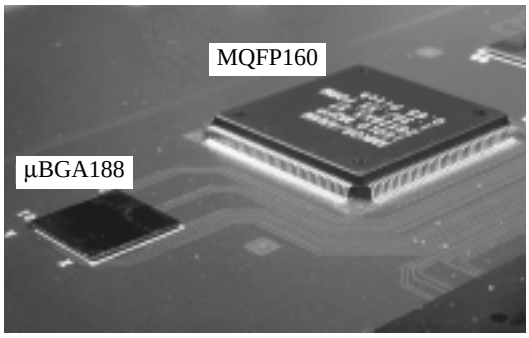
Others: Amkor/Anam's ChipArray EPS' NuCSP, IBM's FC-PBGA, etc.

表四　Flexible interposer CSPs

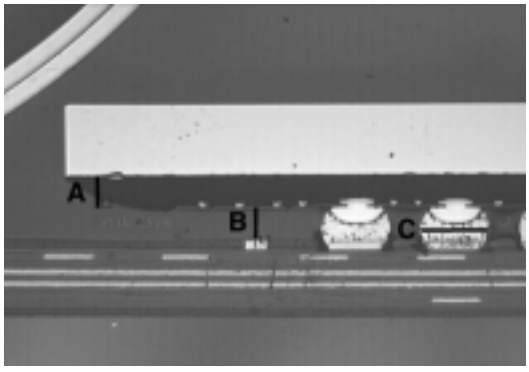
製造廠商	中介層	內部連接	外部連接
Tessera/Shinko/Amkor	Gold/copper on polyimide flex, bonded to chip with elastomer	Thermosonic gold-aluminum bond (die face-down)	Ni-gold bump or solder ball
NEC	Copper/polyimide flex, bonded to chip with polyimide adhesive	Double bump bonding (thru holes in polyimide tape) (die face-down)	Solder ball
Nitto Denko	Gold/copper on polyimide flex (ASMAT), bonded to chip with TAPI*	Thermosonic gold-aluminum bond with TAPI (die face-down)	Solder ball
GE [6]	Copper/polyimide multilayer flex, bonded to chip with adhesive	Laser drilled vias plated with copper (die face-down)	Solder ball

Others: 3M's Enhanced Flex CSP , IZM's flexPAC , TI-Japan's μStar BGA , etc.
TAPI: Thermo-Adhesive Polyimide

網印、錫膏檢驗、選取與置放(Pick and Place、被動元件或多腳數、球距大之零件)、細腳距元件之選取與置放、回焊、清洗（視需求)、測試及重工(Rework；視需要)。而對於錫球距離不小於0.75mm，且錫球直徑由20到45μm之CSP；第三類錫膏(~325到500 mesh)已被證明適用於此類CSP之組裝加工過程，但若為更細腳距之CSP則需使用更細微錫球粒子之錫膏。而晶片置放機(Chip Shooter)準確度±0.1 mm者，亦可運用於錫球距大於或相當於0.75mm Pitch CSP之Pick and Place製程(From Tape and Reel)，其以每秒鐘置放4個晶片速度加工，較一般每秒鐘置放1個晶片之機台為快，此肇因於CSP的錫球在Reflow過程具有自動對準(Self-alignment)特性。



▶圖三　CSP與QFP元件面積及高度比較



▶圖四　典型的CSP焊接點橫截面，A = 160 μm, B= 190 μm, C = 340 μm。

2.根據作者的經驗及一般發表刊物，CSP板組裝技術要點歸納如下：

• 晶片尺寸：晶片越小，CSP可靠度越佳。

• 錫球尺寸：錫球直徑越大（越高），可靠度越佳。例如0.8~1.0mm pitch之CSP，錫球直徑0.45mm者優於0.35mm者。

• 置放Dummy錫球於在CSP四個角落，可改善加速熱週期測試(Accelerated Thermal Cycling, ATC)可靠度。

• 母板之焊墊材(Pad)直徑：焊墊(Pad)直徑愈小，ATC可靠度愈佳。例如：對於CSP 48錫球直徑0.45mm者，則焊墊直徑0.3mm > 0.35mm > 0.40mm

• 板子表面處理：無電解電鍍鎳(Electroless Nickel)加上少於9微吋(Micro Inches)鍍金(Immersion Gold)或是Organic Solderability Preservation (OSP)可適用於板子表面處理。然而CSP錫球距低於0.75mm則需考慮HASL (Hot Air Solder Leveling)可能發生問題。

• CSP在母板上之位置：單側板(Single-side Board) 二次迴焊者最佳，其次是錯位放置式雙側板(Staggered Two-side Board)，而鏡面對稱雙側CSP (Mirrored two-side CSP)排列之板子設計最差。

• 母板之熱膨脹係數(CTE) - CSP基板(Substrate)與母板間之熱膨脹係數差異愈小，ATC可靠度愈佳。

• 其他：背光方式(Back Light)可適用於選取與置放製程。Tape and Reel是較佳的包裝運送工具，X-Ray則被應用來檢驗拒焊(Non-wet)、短路及短少錫球(Missing Ball)。

CSP重工總論

典型表面黏著零件重工流程，包括

表五　Wafer level processed CSPs

製造廠商	中介層	內部連接	外部連接
ChipScale [1, 2]	On wafer interconnect with epoxy	Gold beam lead (die face-up)	Land (silicon post)
Mitsubishi	Copper interconnect + UBM + transferred inner solder bump + copper pad + epoxy	On chip interconnect (die face-down)	Stacked solder ball
ShellCase	On wafer with glass plates and adhesive	Extended die pads and plated metal (die face-down)	Land
Sandia/Aptos [11]	Two layers each of copper and polyimide	On chip/wafer interconnect (die face-down)	Land, gold bump or solder ball

Others: Flip Chip Technologies 'Ultra CSP, Fujitsu's Super CSP , Intarsia, National Semiconductor's μSMD , etc.

修補(Repair)及重置(Replacement)，通常重工僅表示重新置放，因為CSP 的錫球連接是無法修補的。CSP的重新置放與BGA相似，唯CSP較BGA元件體積小，亦即重工的工具流程需要較精細。

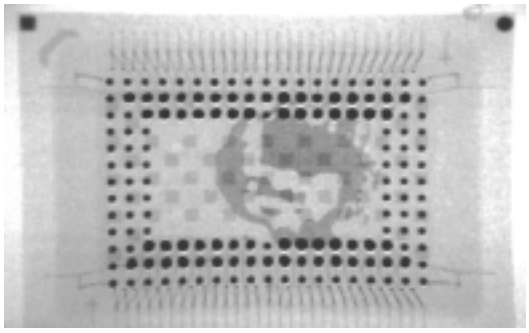
然而問題是“ CSP的重工與其他種零件有何差異性呢？ ”主要可歸論於CSP的二種特性，尺寸小及焊接點的難接近性。

CSP與其他IC封裝方式最顯著的不同點在於它的尺寸體積小及重量輕，而此有正面亦有負面的影響，正面的是CSP要加熱到迴焊所需的溫度不需要太長的時間，然而，此零件如果加熱速度太快，會造成開裂(Cracking)及脫層(Delamination)現象，尤其是晶片與封裝材質介面(Interface)中吸收水份時，“爆米花”現象就是在描述此種因為水份揮發導致開裂／脫層現象。薄型的封裝方式，如TSOP (Thin Small Outline Package)，最明顯會有爆米花現象，然而有部份CSP結構就是參考此種薄型封裝方式。

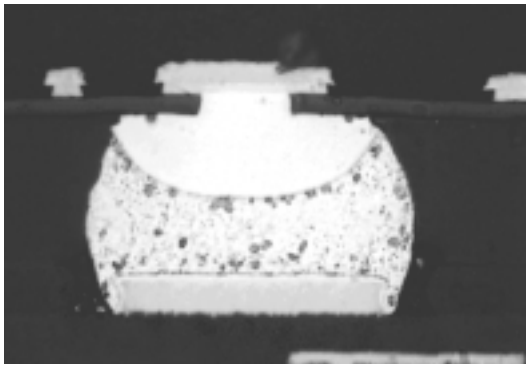
圖五展示一個CSP從一個很暢銷的數位相機之結構中拆除下來的情形，在本案例中，CSP被置放在一個小型介面卡上，灌注底膠後，再被黏焊在母板上，成為其中的零件。此種組裝方式已被發展成不需灌注底膠在母板上，仍能維持可靠度。本零件利用熱空氣加熱，再以真空移除，在移除過程之前，本零件沒做事先烘烤(Baked Out)，因此造成了CSP的底層，即Polyimide與底膠之中間，形成脫層，並導至焊錫鑽入了脫層間的縫隙，引起訊號短路。本短路是僅能經由X-Ray檢驗出來的；為避免類似的故障再度發生，在做回焊過程均需事先烘烤。

由於CSP焊接方式是錫球在元件底下排列成矩陣方式，再利用迴焊方式加熱，而不似導線架封裝零件採直接加熱。儘管部份設備廠商宣稱有能力在元件下直接加熱，但在移除元件前，仍需等到整個元件溫度加熱到可被迴焊的溫度下進行。

表二、三、四、五中顯示在產業界有四種主要類型的CSP，在CSP重工相關研究產品類型中，使用軟板的CSP，例如Tessera’s μBGA在北美地區的研發最為盛行，μBGA®最顯著的特性是它引用6mil厚的軟質橡膠層來隔離矽晶片與



◀圖五
在不正確熱風型重工系統中處理後的CSP之X-Ray影像。在元件靠中心部位之深灰區域為脫層(delamination)所造成的充滿焊錫孔隙。



◀圖六
典型μBGA經重工組裝焊接點側視圖

錫球結合部份(見圖四與圖六)。這層軟質橡膠降低了熱應力，熱應力起因於晶片及有機基板之間的熱膨脹係數差異，而軟質橡膠是以矽為基材，具有相當低的熱傳導係數，可以有效地阻隔元件底部焊錫加熱時熱傳送的途徑。

圖四可看出晶片四周圍設計若無適當的支撐，稍有不慎，會造成晶片角落破裂缺損。另外，注意圖六的焊接點顯示CSP部份採用防焊墊(Solder-mask-defined Pad, SMD)定位的設計，而PCB部份採用銅墊材(Copper Pad)定位的設計之彼此焊接情形。

一、CSP重工的設備

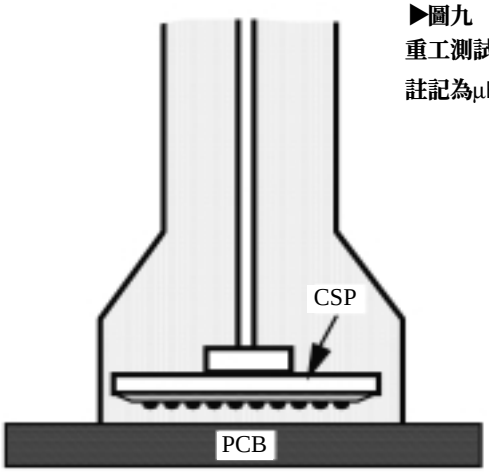
少部份的設備商對一般的BGA元件，具有重工設計能力，然而完全針對CSP重工設計者幾乎是沒有，表六中列出部份提供重工器具或設備的廠家。下列對CSP重工設備基本要點做一敘述：

• 分光影像系統 (Spilt Beam Imaging System)，見圖七，可使操作者放大觀察到CSP底部，與PCB線路結合時之對準情形。

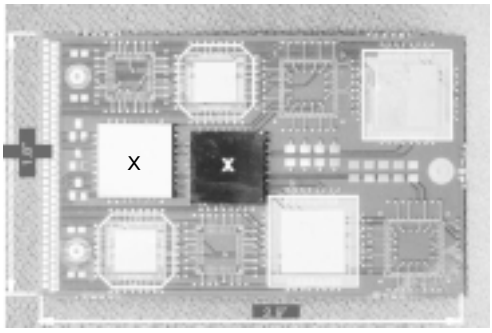
• 由操作者可控制之不同光源的光線，可分別觀察產品不同方向。

• 考慮上方加熱源的位置，不論是使用熱強制對流（流動熱空氣）或幅射加熱（紅外線），其熱源置放位置不會對鄰近元件產生負面影響。

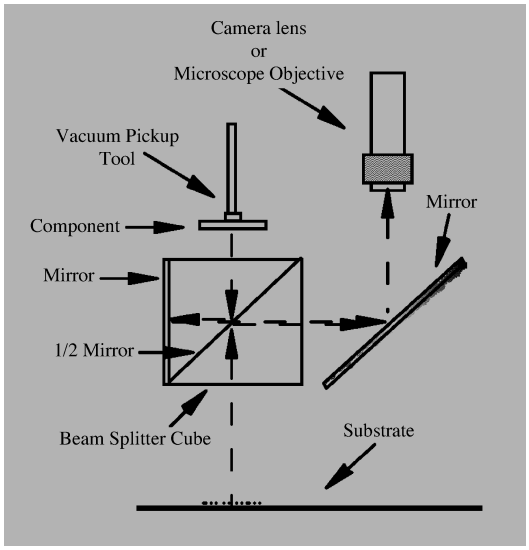
• 底部的油壓夾具，足以支撐電路



▶圖八
CSP在加熱噴嘴內受熱之示意圖



▶圖九
重工測試工具，X註記為μBGA$_S$。



▶圖七
影像分光機構之示意圖

表六　重工設備製造商一覽表

Company	Location	Phone
Air-Vac Engineering	Seymour, CT	203-888-9900
Advanced Techniques Co.	Pennsylvania	215-364-5588
APE Corp	Key Largo, FL	305-451-4722
Austin American Technologies	Austin, TX	512-335-6400
Conceptronics	Portsmouth, NH	603-431-6262
FineTech (Palomar Products)	Carlsbad, CA	619-931-3622
Manix	Huntingdon Valley, PA	215-953-9797
MRSI	Chelmsford, MA	508-256-4950
OK Industries	Yonkers, NY	914-969-6800
Pace	Laurel, MD	301- 490-9860
PDR Microelectronics	Pleasanton, CA	510-455-8602
SEC	Moorpark, CA	805-529-2293
SRT	Westford, MA	508-392-0633
Wenesco	Chicago, IL	312-973-4430

板，不致使得小尺寸電路板因從上方加熱而產生翹曲。

• 器具(Tooling)應不受限於單一種CSP的外觀形狀，最好可適於多種式樣CSP。

• 組裝位置控制可做粗調及精密微調。

• 軟體得以支援快速安裝、加熱曲線、流程控制之需求。

• 操作尺寸可支援到1平方英吋寬度的元件，組裝大小到達 12 ” x 16 ”。

目前大部份市場產品系統，僅針對個別尺寸形狀CSP，使用特殊設計之熱風噴嘴設計，如圖八，零件是利用熱風噴嘴內部之真空系統吸附，當真空消除時，零件被釋放可自動對準放置在熔融的焊錫上。

二、CSP重工流程

在購置適當的重工設備並選定組裝板的設計後，在重工流程中首要之務即是建立適當加熱曲線 (Thermal Profile)以便移除及重焊零件。因此，MCC（見圖九）設計了多用功能的測試儀器，這個測試儀器包含兩個零件位置(Site)，適用於0.5英吋見方，188腳數 Daisy Chain Tessera ’ s μBGA，再加上四個適用於打線元件，還有四個位置適用於覆晶元件。而僅μBGA位置適於CSP功能。它的基板為18mil厚，包含6層金屬層及尺寸類似PCMCIA卡的大小。基板電鍍層為在鎳上鍍Gold Flash（0.1 μm厚），μBGA的焊接需要細微的加熱曲線，以保証每個焊接點被完全的迴焊。其次在母板上及零件周圍測量熱能可保証重工時組裝的品質性。

對大部份BGA封裝，諸如PBGA, TAPE BGA，陶瓷BGA等，在置放元件前先裝載Fine Gauge Thermocouples在多點焊墊之間，對於焊接溫度的控制，可提供可靠的參考資料。然而，μBGA焊墊直徑均很小，裝置這些Thermocouple，可能破壞到整體元件，因此μBGA的封

裝方式要監測焊接溫度反而受到限制。

如圖十加熱曲線，K型的熱電偶，0.005" gauge被置放在μBGA封裝件上方0.1英吋及距基板上方0.125英吋處，測得包含Preheat, Soak, Ramp Reflow and Cool Down之圖形，焊接溫度最高達到223°C, 183°C以上之停留時間約40秒。平均加熱週期斜率為1 °C/second。元件周圍及基板上的溫度與μBGA被控制到相當接近，因此當此種加熱曲線被找到後，即可依據下列步驟進行重工製程。

• 將組裝元件置入重工系統中，使其在受到壓力時或在迴焊過程中不會彎曲，例如圖十一，使用Delmat材質的夾具來固定0.018"厚度之組裝板子。

• 依已建立的加熱曲線移除不良元件。

• 塗佈免洗助焊劑(Flux如Kester SP244)，降下吹風嘴，並加熱迴焊該處，當該焊墊位完全迴焊時，提起吹風嘴，利用前端為Teflon 製之真空器具吸除多餘的焊錫（如圖十二），亦可使用Solder Wick或其他技術來去除焊錫，但需注意是否傷害到細小的焊墊及防焊膜。

• 以酒精擦拭塗抹去除多餘的助焊劑。

• 檢查焊墊位置的均勻度，假使焊墊厚度不均勻，則重覆清潔的動作，保持焊墊的均勻度是非常重要，可壁免重新置放元件時的水平度的問題。

• 當重新放置元件時，需很小心避免碰觸到元件的錫球，因人體手上的汗水會影響到焊接性。另有一個移動器具來傳送新元件到真空吸嘴之間。

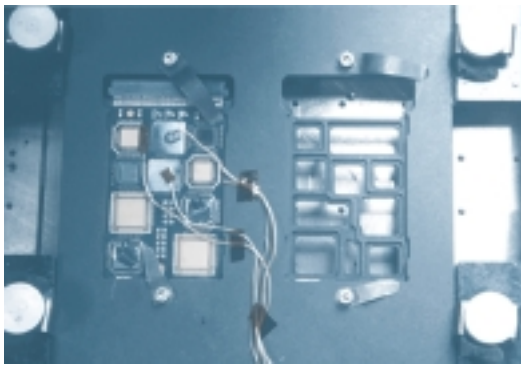
• 利用Spilt Beam Imaging System 操作員，可觀察元件下方及母板上的焊墊位置，用以對準元件這個分光的設備，不僅可保証對準的良率，同時可觀察錫球的短焊、變形，或母板上焊墊的短少或不良、方位不正等。

• 當元件對準時，則塗佈黏稠性(Tacky)免洗助焊劑（選擇Tacky等級助焊劑較佳，"Low Residue"助焊劑揮發性太高較不適用）。本步驟需緊接在對準步驟之後，因助焊劑的揮發性會影響分光鏡的觀察結果。基於μBGA體積較小，需避免施予過多的助焊劑，因此可使用Fine Tipped Artistis Brush來塗佈適量的助焊劑。

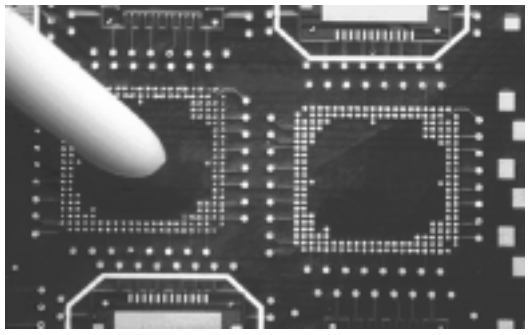
• 重新置入元件的加熱曲線與去除元件時的曲線相同，兩種不同的噴嘴（圖十三）可應用於μBGA。施予以適當的壓力可消除平面度的問題，因為μBGA的元件很輕且使用焊錫量很少。包含上項置放組裝件，去除零件、清理、對準、置放及迴焊步驟，大約需花費20分鐘。

CSP的可靠度

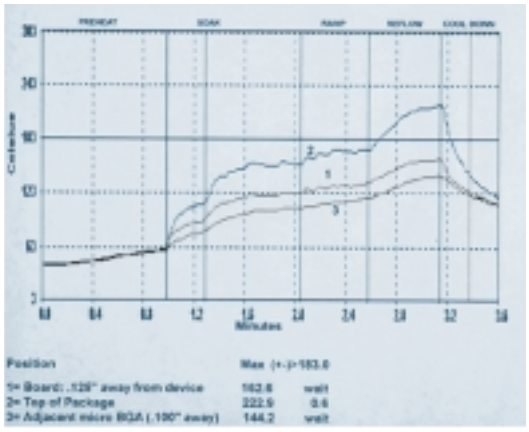
儘管CSP是非常理想，且適用於現今半導體零件製造的環境中，但CSP的可靠度，不論在零件或板組裝階段，仍需要被考量，表七、八、九為1998年11月以前所發表的CSP相關的測試及結果，由表七、八、九可明顯觀察出每一家半導體製造商依據自己客戶的需求及



◀圖十一
支撐0.018"厚度電路卡之夾具，其中並置放熱電偶用以測量加熱曲線。



◀圖十二　左側為使用Teflon尖嘴真空棒清除多餘焊錫，圖右側為已經清理過者。



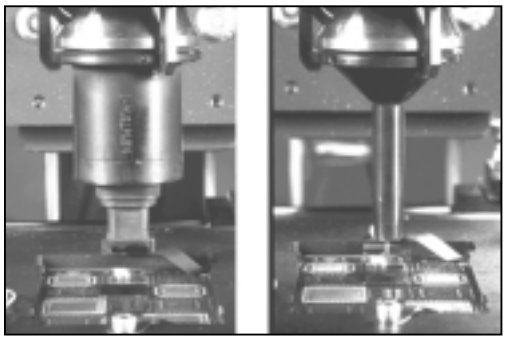
◀圖十
0.5" square
μBGA**用之加熱曲線**

應用，訂有不同的測試條件，值得參考。

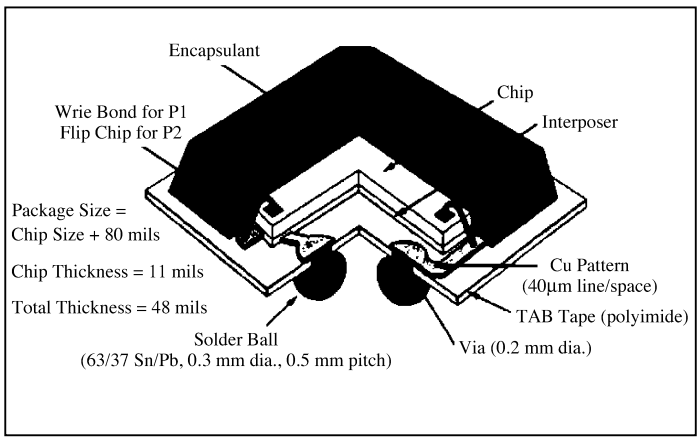
CSP相關應用、供應商及發展

一、SONY攝影機

經過了三年的研發時程，SONY在1996年9月10日在日本市場發表了Handycam (DCR-PC7)，該攝影機採用了內建式(Built-in) 2.5英吋超薄LCD顯示幕，僅手掌大小般的機台尺寸為59mm X 129mm X 118mm，重僅約500g（含電池重），為全世界最小、最輕，且為內建式LCD顯示幕之數位型攝影機。本台產品採用了20個CSP，其中兩個來自TI Japan, 另有一個來自NEC, TI Japan的CSP分別為62腳數之影像記憶LSI (9 X 13mm) & 100腳數之類比通訊LSI (10 X 10mm), NEC強調該產品與SONY開發一年多，所有元件引腳間距為0.5mm，其餘CSPs則據稱裸晶片購自SONY的半導體部門及其他廠商，而交由SONY Devices Manufacturing Division組裝成CSP。圖十四為TI Japan CSP之產品。



▶圖十三　2種不同設計之噴嘴；左圖設計適用於0.5" square μBGA，**右圖設計適用於各類型**μBGA**及**flip chip devices。



▲圖十四　Texas Instruments Japan's Micro Star BGA™**示意圖**

DCR-PC7 SONY數位攝影機中，SONY製作的CSP中有一個IC是採用週圍重分佈(Redistributed) I/O，利用Au/Cu/Cr材質打線與矩陣式排之高鉛含量之焊錫凸塊連接，基板為有機材質，經過重分佈之晶片，其在有機基板上打金線的規格要求則不會太嚴苛，這是CSP的優勢。捨棄0.5mm之QFP結構選擇CSP，使得封裝板面積減少了37%。因此SONY原本每月量產1500顆CSP，在1996年10月已增到每月3萬顆。近來SONY之Assembly Division已著手開發下一代CSP，採用捲帶式中介層(Tape Interposer)，並在晶片與Polyimide捲帶間附加一層橡膠，可吸收應力提高可靠度，並通過1500次熱週期測試(-25°C to 125°C)，預計未來在SONY新一代產品應可看到新CSP的設計。

二、PANASONIC個人數位助理(PDA)

PANASONIC採用CSP在掌上型PDA, JT-SL型，這個1486晶片組由MATSUSHITA Electronic Corporation做封

表八　mini-BGA測試結果：solder ball shear and board-level solder joint reliability tests [11, 12]

測試項目	規格	測試元件數	結果	備註
Ball Shear	-	4 wafers	Avg. = 206 g	PI dielectric
Ball Shear	-	1 wafers	Avg. = 197 g	BCB dielectric
Thermal Cycle (FR4 Board Level)	Air to Air, 0 to 100 degree C	12 dies	10 to 40 cycles	No Underfill
Thermal Cycle (FR4 Board Level)	Air to Air, 0 to 100 degree C	12 dies	> 2000 cycles	With Underfill
Thermal Cycle (FR4 Board Level)	Air to Air, 55 to 125 degree C	8 dies	> 500 cycles	With Underfill

表七　CSP可靠度測試數據

供應商	封裝方式	測試項目	測試條件	失敗比例(#/N)
Intel	4 Mb Flash Structure = µBGA	Temp. cycle B (FR4 interposer)	-55 to +125 C, 1000 cycles	0/78
	I/O = 46	Temp. cycle C (ceramic interp.)	-65 to +125 C, 1000 cycles	2/78 (4 WBs failed)
	Pitch = 0.7 mm	THB (ceramic interp.)	85 C/85% RH, 1000 hrs	0/78
	Size = 3.75 mm x 5.25 mm approx.	HAST (ceramic interp.)	130 C/85% RH, 150 hrs	0/28
		Level 1 precond. (pkg)	85 C/85% RH, 168 hrs	No delamination or crack
		High temp. storage (pkg)	150 C, 1000 hrs	0/78
Fujitsu	16 Mb DRAM Structure = SON	Temp. cycle test	-65 to +150 C, 1 hr/cycle, >500 cycles	0/40
	I/O = 26	Package crack (pkg)	85 C/85% RH, 168 hrs, heat up to 245 C	0/100
	Pitch = 1.0 mm Size = 7 x 16 mm	Temp. cycle test (pkg)	-65 to +150 C, 500 cycles	0/25
		PCT (pkg)	121 C, 2 atm. press, 100%, 336 hrs (pre-cond.: 85 C/85%, 168 hrs + IR)	0/25
Hitachi	DRAM Structure = TAB tape-based CSP	Temp. cycle test	-55 to +125 C, 1500 cycles	0/21
	I/O = 40	High temp. and humidity (pkg)	85 C/85% RH, 408 hrs	0/19
	Pitch = 1.0 mm	PCT (pkg)	121 C, 2 atm. press., 480 hrs	0/41
	Size = 11.5 mmx 6.6 mm	High temp. storage (pkg)	150 C, 1000 hrs	0/11
LG Semicon	Test chip Structure = BLP	Temp. cycle test	-55 to +125 C, >800 cycles	0/6
	I/O = 20 or 28	Preprocessing (pkg)	85 C/85% RH, 168 hrs	No delamination or crack
	Pitch = 0.5 mm Size = 11.72 mm x 5.21 mm	Thermal shock (pkg)	IR reflow @ 240C, 3X	No delamination or crack
Mitsubishi	Test Chip Structure = MCSP	Temp. cycle test (96 MCSP)	-40 to +125 C, 1 hr/cycle, 200 cycles	0/20
	I/O = 96 (6 x 16)		-40 to +125 C, 500 cycles	8/20
	Pitch = 0.8 mm Size = 6.35 x 15.24 x 0.65 mm	High temp. and humidity (pkg) (1024 MCSP)	85 C/85% RH, 48 hrs, heat to 235 C max.	No delamination or crack (0/5)
Sharp	Test chip	Temp. cycle test	-40 to +125 C, 300 cycles	0/18
	I/O = 160	High temp. and humidity	85 C/85% RH, +7.0 V, 1000 hrs	0/25
	Pitch = 0.8 mm Size = 12 x 12 mm	Repeated bending test (Bd Size = 100 x 50 x 0.6 mm)	The mounted position is fulcrum. Bend 2 pts. on bd. w/2 mm deformation. 300 cycles.	0/10
	Structure = PI/Cu	Package crack (pkg)	30 C, 75% RH, 96 hrs; heat to 230 C, 2 cycles; PCT (121 C, 1 atm.,100% RH), 300 hrs	0/32

裝，JT-SL並採用4.6英吋單色觸摸式顯示幕，重量僅220g，尺寸為136mm X 93mm X 19mm, JT-SL採用的CSP是在IC焊墊上賦予Gold Stud Bump，再利用銀-鈀導電膠與低溫co-fired陶瓷基板（Kyocera製造）連接，IC與基板間空隙再以封膠密封，金凸塊乃利用傳統打線機在焊墊上逐一牽引形成，此種封裝結構為產業界熟知的SBB (StudBump Bonding)方式。而錫膏印刷在陶瓷基板背面，而後整個模組經由迴焊方式與主機板連接。1995年6月PANASONIC引用相同的SBB結構3~4個晶片MCM在“Pronote Jet Mini”Sub-notebook PC上，全重僅1.29kg。相同結構的單一晶片CPU亦使用於1996年6月商業化生產的“Let's Note”, Pentium-based Sub-notebook PC，全重1.47kg。

三、SHARP數位蜂巢式話機

為日本NTT DoCoMo製造的Sharp SH201，大小為105 X 60 X 20mm，重約120g，採用四顆Sharp自製的CSP及一顆TI Japan製CSP，這是數位蜂巢式話機首度引用CSP，而Sharp四顆CSP功能分別為Gate Array, Micro Controller, Flash Memory & SRAM，其腳數由28到128腳。Sharp CSP為利用單側印有銅線路之Polyimide中介層，Polyimide背面為用Transfer Molding方式以樹脂灌封。CSP腳間距為0.8mm到1.0mm之間。目前Sharp有兩種產品及另外一廠家產品採用此CSP，且另有四家手提式電子產品製造商引進此CSP中。

CSP的評價

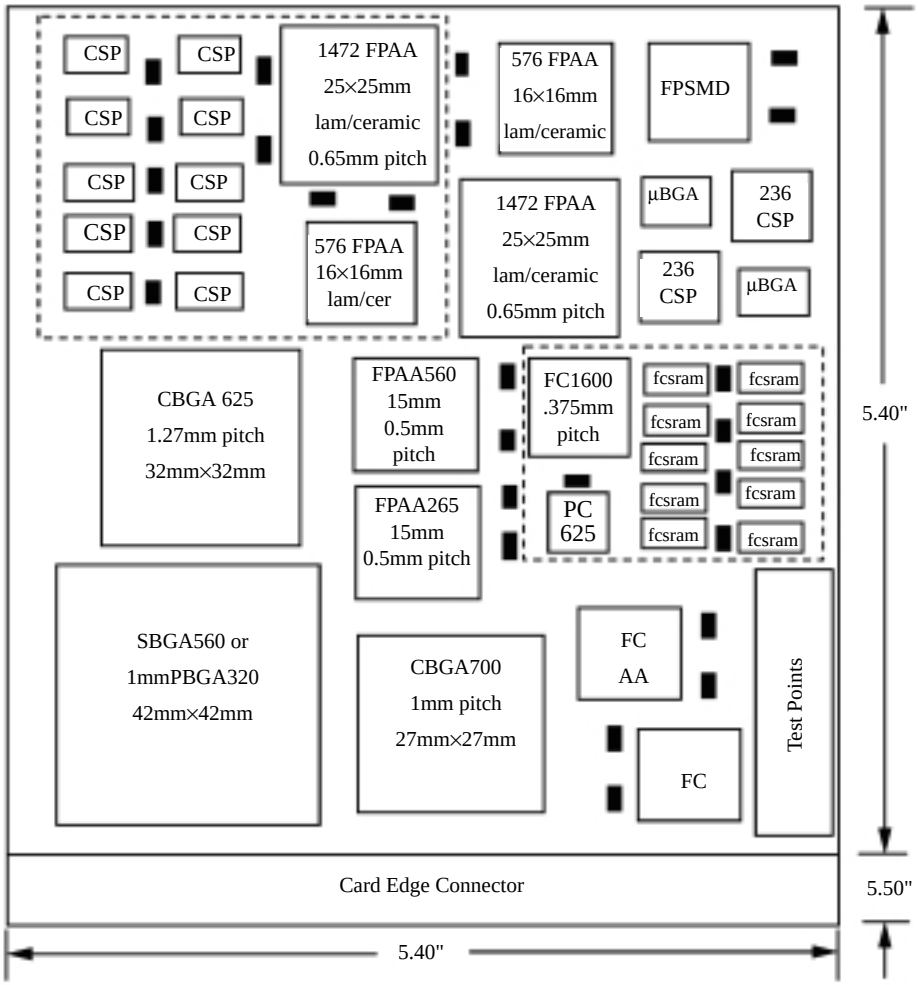
表十比較四種類別CSP優缺點及成本估算，而導線架為主的CSP主要的優點是成熟的產業結構，基本上適用於低腳數IC,例如低於50以下腳數IC。硬質中介層CSP起源於傳統BGA封裝方式，在四種CSP中本類型適用於較多腳數的封裝，而軟質中介層CSP中因為有Tessera及其授權廠商的市場行銷及整體結構發展的推動，故有較多的技術支援，然而本類CSP複雜的封裝、結構、致使製造成本高昂，變成此類型CSP是否成為CSP主流的關鍵點。最後儘管晶圓級(Wafer Level) CSP還未被市場大量的採用，然而

表九　Published mini-BGA related board-level solder joint reliability tests [11, 12].

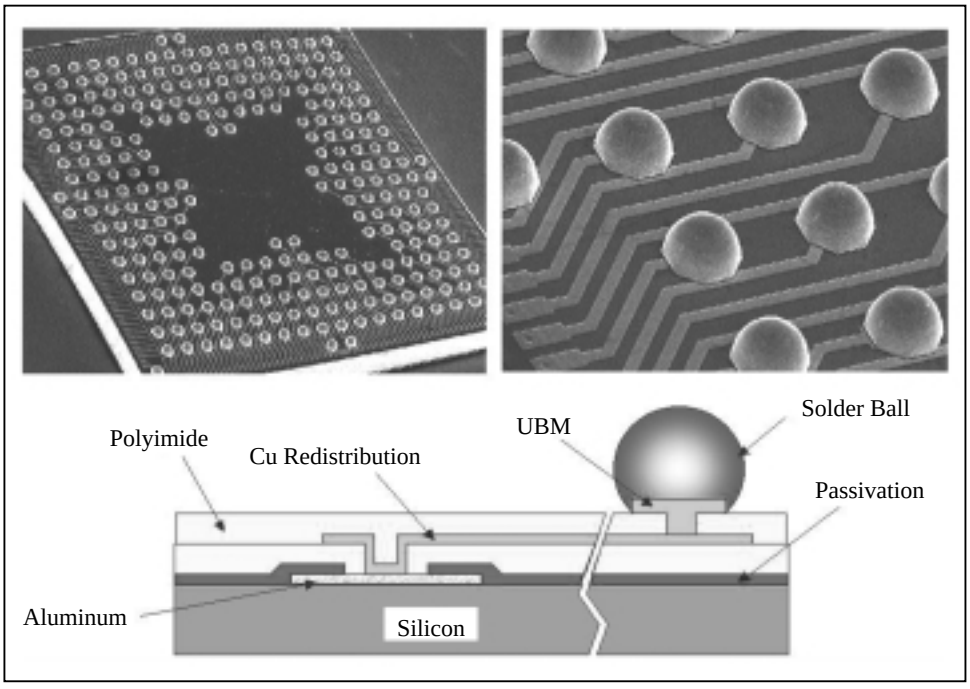
測試項目	規　格	晶片焊墊	基材焊墊	測試結果
Thermal Cycle (on Si Substrate)	Air to Air, 0 to 100 degree C	Au	Adhesive and Au	> 1000 cycles
Thermal Cycle (on Si Substrate)	Air to Air, 0 to 100 degree C	63Sn/37Pb	63Sn/37Pb	> 1000 cycles
Thermal Cycle (on Si Substrate)	Air to Air, 0 to 100 degree C	63Sn/37Pb	63Sn/37Pb	> 1000 cycles
Thermal Cycle (on Si Substrate)	Air to Air, 0 to 100 degree C	63Sn/37Pb	5Sn/95Pb	> 1000 cycles
Thermal Cycle (on Al_2O_3 Substrate)	Air to Air, 0 to 100 degree C	63Sn/37Pb	5Sn/95Pb	> 1000 cycles

表十　4種不同CSP之評論

項　　目	導線架	硬質中介層	軟質中介層	晶圓級製程
I/O Type	Periphery	Array or Periphery	Array or Periphery	Array or Periphery
Pin Count	Low	Medium to High	Low to Medium	Low to Medium
Footprint (Pkg/Chip)	1.0 to 2.0	> 1.2 X	< or > 1.2 X	~ 1.0 X
Typical Thickness (mm)	0.9 to 1.5	1.0 to 2.0	0.8 to 1.2	0.3 to 1.0
Outer Lead/Ball Pitch (mm)	0.4 to 0.65	0.5 to 1.0	0.5 to 1.0	0.2 to 0.8
Infrastructure	Good	Some	Limited	Limited
Estimated $	Low to Medium	Medium	Medium to High	Low to Medium
Production	Some	Some	Some	Some



◀**圖十五**
MCC fine pitch area array test vehicle**結構圖**



◀**圖十六　在晶片或晶圓上重分佈焊墊範例。圖為**Aptos**公司為**Sandia**製作之**miniBGA**。晶片大約為**0.41"**見方，**275**個重分佈焊墊(**redistributed pad**)，**pitch**為**0.020"**。上方左圖顯示**redistributed pads**上視圖。上方右圖顯示晶片的一個角落。下圖則為**redistributed chip (or miniBGA)**橫截面。**UBM**意謂**Under Ball Metal.**
(Source: Sandia national Laboratories and APTOS Corporation.)

在某些應用如腳數低於100之IC，它卻提供了相當競爭性的潛力。如圖十六，Sandia 的miniBGA即是與APTOS Corp.共同合作，利用晶片焊墊重分佈技術，完成晶圓級CSP，其面積與原IC面積完全相同[11]。圖十六顯示利用Copper/Polyimide薄層重分佈之橫截面，而此保護層可提高產品的可靠度，如表八、九。薄層的封裝尺寸、外型及較短的線距也提高了電氣性質。另外，晶圓重分佈可兼併到IC前段製程中，省去了傳統IC封裝製程，如晶片黏合、打線及灌膠封裝，節省成本是晶圓重分佈另一個重大優勢。

結論

有關CSP最新的發展已在本文中回顧與討論，一般來說，CSP比DCA受到使用者的眷顧，乃是因為CSP是一種封裝過並可直接做測試及預燒的零件，同時CSP可提供使用者在基板上固定的元件投影面積(Factprint)，不受因矽晶製程改進而促成的晶片縮小(Die Shrink)的影響，儘管覆晶封裝技術或晶片直接黏貼(DCA)是為達到最佳電性，最小尺寸的最後選擇，但CSP卻是能維持同樣電性，但風險性較低的捷徑。未來隨著高密度主機或增層基板(Built-up Substrate)及降低成本的應用，多I/O腳數CSP也會隨著逐步被採用。

作者簡介

仲鎮華博士(Dr. Tom Chung)現任美國APTOS公司資深副總經理，他曾擔任Compaq/Tandem派駐於MCC的代表。仲博士在電子構裝，系統組裝，製造等相關領域有20年以上的實務經驗。他擁有4項美國專利，發表過30餘篇論文，並與其他專家學者合著有Flip Chip Technologies, Ball Grid Array Technology, Chip on Board Technologies for Multi-Chip Module, Handbook of Tape Automated Bonding等書。

鍾鶴立先生現任慎立科技股份有限公司(APTOS Corp. SBIP Branch)總經理。陳清培先生擔任該公司業務經理。

參考文件

1. Young, J. L., " Chip-Scale Packaging, " Advanced Packaging, January/February, 1996, pp. 26 - 29.
2. Young, J., " Micro SMT Packaging, " a technical paper by ChipScale, Inc., Sept. 1996.
3. Kasai, J., " Low Cost Chip Scale Package for Memory Products, " SMI 1995 Proceedings, pp. 6 - 17.
4.]Kasai, J., " Low Cost Chip Size Package Solutions for Memory Application, " Technical Programs of SEMICON West 1996, pp. 5 - 29.
5. Taketani, N., et al., " CSP with LOC Technology, " ISHM 1996 Proceedings, pp. 594 - 599.
6. Forman, G., et al., " Developments of GE ' s Plastic Thin-Zero Outline Package (TZOP) Technology, " Proceedings of IEEE Electronic Components & Technology Conference, May 1995, pp. 664 - 668.
7. Master, R., et al., " Ceramic Mini-Ball Grid Array Package for High Speed Device, " Proceedings of IEEE Electronic Components & Technology Conference, May 1995, pp. 46 - 50.
8. Kunitomo, Y., et al., " CSP (Chip Size Package), " Proceedings of 2nd VLSI Packaging Workshop, November 1994, pp. 51 -56.
9. Yasunaga, M., et al., " Chip Scale Package (CSP): A Lightly Dressed LSI Chip, " Proceedings of IEEE International Electronics Manufacturing Technology Symposium, September 1994, pp. 169 - 176.
10. Banerji, K., " Development of the Slightly Larger Than IC Carrier (SLICC), " Proceedings of NEPCON West, February 1994, pp. 1249 - 1256.
11. Chanchani, R., et al., " mini Ball Grid Array (mBGA) Technology, " Proceedings of NEPCON West, February 1995, pp. 938 - 945.
12. Lau, J., and Y. Pao, Solder Joint Reliability of BGA, CSP, Flip Chip, and Fine Pitch SMT Assemblies, McGraw-Hill, 1997.