

IC構裝發展趨勢

◆黃新鉗

工研院電子所電子構裝技術組

經理

“Intel adopts microBGA package for flash memory — A smaller, thinner package for flash memory designs” — Intel, December 2, 1996

“IC packaging — phones, other portable systems give rise to a serious market, conference attendees told — memories begin move into chip-scale packages” — EE Times, March 30, 1998

” Rambus warns of a chip-scale shortage in ‘99” — EE Times, August 24, 1998

” Move could put next-generation chip-scale technique on the map — Intel charts course to wafer-level flash packaging” — EE Times, November 16, 1998

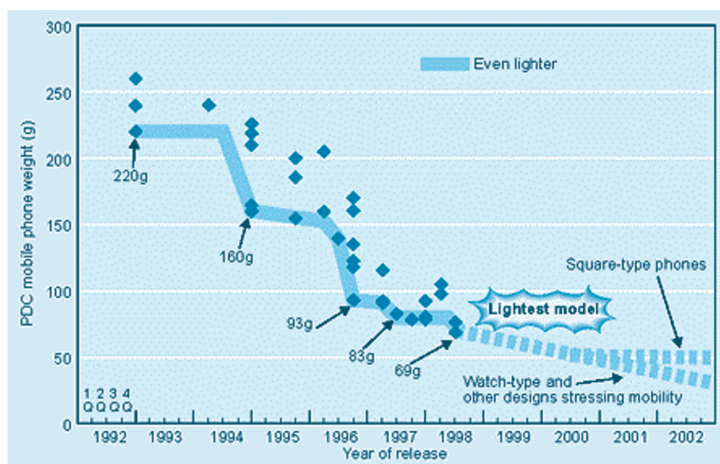
” Intel announces EASY BGA chip scale package for flash memory” — Intel, March 8, 1999

前言

對IC構裝而言，這幾年來最大及最重要的趨勢就是「新興的IC構裝至今尚無一統天下者。而所謂的標準，就是還沒完全形成可以認同的標準」。雖然上述說法有點誇大，但事實上也確實反應出現今存在於IC構裝之”混沌”現象。自從Motorola與Citizen Watch在1989年開發出OMPAC (Over Molded Plastic Carrier)（註：本文所提及之廠商名稱與產品名稱其商標等均為該相關廠商所擁有，以下同）之後，球格陣列式構裝(Ball Grid Array；BGA)一辭便佔據了構裝業者的心思。由於這提醒了封裝業者，陣列式構裝具有相當優異之輕、薄、短、小的功能，自此之後，IC構裝便進入百花齊放的階段，晶方尺度構裝(Chip Scale Package；CSP)及久被遺忘的覆晶技術(Flip Chip Technology)開始出現在人們的口中。

要討論IC構裝的趨勢，事實上必須先由系統階層的發展來看此問題。由圖一即可看出目前佔有整個半導體產業約有七、八成之3C產業(Computer、Communication、Consumer)的發展趨

勢。該圖為行動電話近幾年來重量之發展變化，在1993年，當時行動電話約重220克，然而到了1998年，重量在5年之內大幅地減輕了三分之二，只有69克。延續至今日，工程師們正努力地嘗試經由減重計畫（圖二）來將重量降至60克，甚至期望在未來能突破50克瓶頸線。然而，由圖二之剖析中可發現，事實上並無多少組件的重量可減輕1公克。



Source : Nikkei Electronic ASIA, 1998

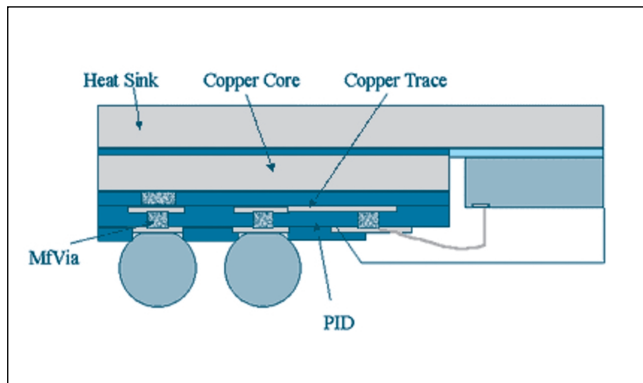
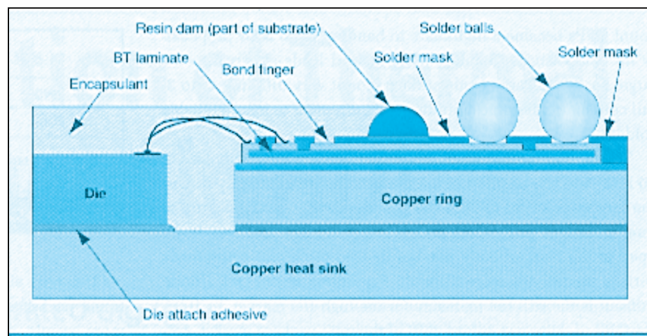
▲圖一 行動電話重量發展趨勢

1998年		1999年
其他 (1~15g)	1g (較小且較輕的組件)	~14g
LCD (1~15g)	1~2g (防護片由玻璃轉為塑膠)	2~3g
PCB (1~15g)	3g (較薄PCB和較高密度IC整合)	~12g
外殼 (~20g)	1~2g (較薄外殼)	13~14g
電池 (~20g)	3g (改進功率放大器效率和電池單位重量密度)	~17g
總計 70g		總計 10g
		總計 58~60g

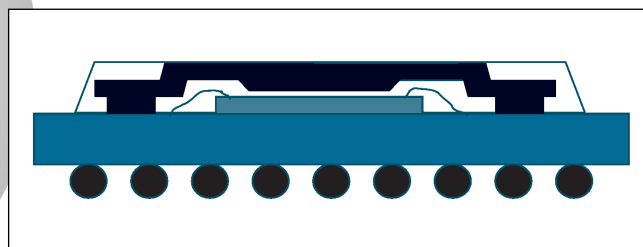
資料來源：Nikkei Electronics ASIA, 1998

▲圖二 行動電話減重計畫

▼圖三 Super BGA (資料來源：Amkor)



▲圖四 Viper BGA (資料來源：Prolinx)



▲圖五 TE-PBGA (ERSO / ITRI)

此際，構裝型式之選取便關係著減重計畫是否可以成功，而輕、薄、短、小之構裝趨勢更加地耀眼，這或許是佔有行動電話市場約67%之三大廠Ericsson、Nokia、Motorola等在最近開始嘗試使用CSP於其產品之內的原因之一吧！

BGA

球格陣列構裝BGA一般用於封裝高腳數（約300腳以上者）或高效能之IC，如晶片組、繪圖晶片、ASIC、微處理器。由於其發展行之有年，早已成為各構裝廠之“掌上明珠”。以1998年為例，全球BGA之產量約5億500萬顆，而此數字將隨著技術之成熟與成本之降低而急速上昇，於2002年達到22億6000萬顆，此其中使用兩層基板之塑膠球格陣列構裝(Plastic BGA；PBGA)約佔有70%。國內投入BGA者除早期之日月光、矽品、華泰、鑫成之外，近來則有立衛、華特、上寶、晶揚等公司的加入。目前國內BGA封裝主要產品為繪圖晶片與晶片組，由於訂單有限，在競爭者眾的情況下，BGA也開始面臨產能過剩的問題，要解決此現象，則有賴於廠商如何穩定製程並搶得先機掌握國外訂單之大客源。此現象誠如工研院材料所ITIS計畫〔渡過寒冬年的我國IC構裝材料產業，范玉玟，工研院材料所，1999.2.10〕中所述，對我國構裝產業而言，1999年將為BGA養兵自重年。

依據Prismark Partner LLC之預估，於1999年全球BGA將有8億顆之需求，其中Enhanced-BGA（含Multi-layer PBGA）約有1億6000萬顆，佔有20%之比重；而在2002年時，全球BGA則需要22億6000萬顆，其中Enhanced-BGA為5億2000萬顆，比重稍為提高至23%。目前Enhanced-BGA有相當多不同的設計，如Amkor之SuperBGA（圖三）、Prolinx之ViperBGA（圖四）、及工研院電子所自行研發成功，並技術移轉國內各大廠（日月光、鑫成、華泰、上寶）之TE-PBGA (Thermally and Electrically Enhanced PBGA)（圖五）均為其代表作。以國人自行研發成功之TE-PBGA為例，該設計採用幾乎不變更原有PBGA製程的方式，將散熱片(Heat Spreader)或散熱塊(Heat Slug)置入PBGA內，在成本之增加非常有限的條件下，除使得散熱能力提昇40%外，並經由該散熱片之特殊

表一 CSP產量分析比較表

單位：顆

廠 商	1998	2002
Prismark Partner LLC	130M	1.9B
TechSearch International, Inc.	685M	2.36B
Electronic Trend Publications	427M	3.9B

資料來源：Prismark、TechSearch、ETP

整 理：ERSO / ITRI

設計同時亦獲得約15%之電性增益。

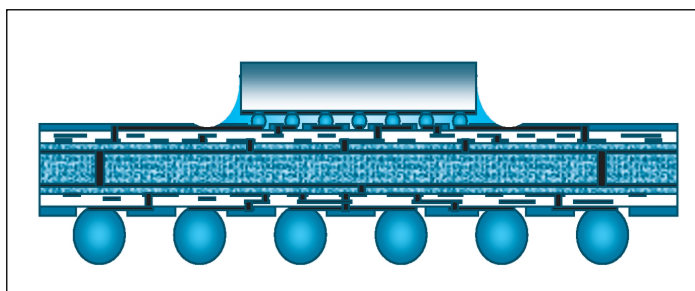
除了Enhanced-BGA之外，覆晶式球格陣列構裝(Flip Chip BGA；FC-BGA)(圖六)之發展亦須注意。於1999年，FC-BGA由於仍受到高密度基板(或稱積層基板，build-up substrate)技術尚未完備及成本過高等限制，而使得FC-BGA於BGA內之佔有率僅有個位數，但綜合ETP(Electronic Trend Publications, Inc.)及Prismark之預測，於2002年來臨時，FC-BGA將擁有BGA之10~15%之多。

CSP

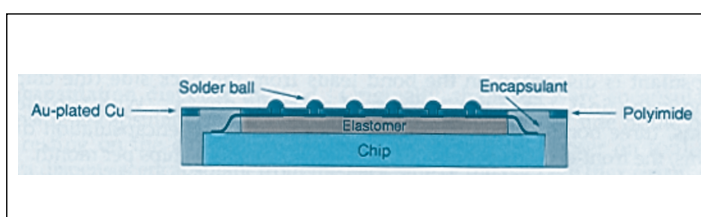
對陣列式構裝而言，目前普遍可接受之分類為球距(Ball Pitch)小於1.0mm(通常為0.8mm、0.75 mm、0.5mm)者稱之為晶方尺度構裝CSP，而大於或等於1.0mm者則稱為球格陣列構裝BGA。由於構裝尺寸幾乎接近於晶片之原尺寸，因此目前CSP構裝之設計完全為各憑本事，盡情發揮，導致出現百發齊放之現況。

CSP通常可分為硬式基板型(Rigid Substrate)、軟式基板型(Flex Substrate)、導線架型(Lead Frame)、及晶圓級(Wafer Level)等四種分法。在此四類中，軟式基板型CSP為其最大宗，初步估計於1998年約有近60%左右之佔有率，而至於未來之主軸則意見分歧，有認為是硬式基板者，如Prismark者(但強調為薄型硬式基板)，也有認為仍為軟式基板者，如TechSearch及ETP等。雖然各市場顧問公司對CSP之需求量所預估之結果有很大之差異(表一)，但CSP驚人之年成長率卻是不爭之事實。造成此趨勢其原因最主要的動力在於對記憶體產品，如DRAM、Flash、SRAM以及行動電話等產品之大量需求。

在如此衆多之CSP中，最受重視者應屬Tessera之 μ BGA(圖七)，其原因在於Intel大力鼓吹將使用 μ BGA於其Flash



▲圖六 使用積層基板之 Flip Chip BGA (ERSO/ ITRI)



▲圖七 μ BGA（資料來源：Tessera）

Memory (1996年)與未來將使用Direct Rambus DRAM (DRDRAM)架構。目前可滿足DRDRAM嚴苛條件之封裝形式並不多，如 μ BGA與D²BGA (NEC)，但正式獲得Intel推崇者主要為 μ BGA，一時之間，風起雲湧，衆人起而追隨， μ BGA頓時形成新寵。至目前為止，以封裝廠而言，就已授權近8家廠商，在台灣便有日月光、矽品等獲得授權。然而 μ BGA製程相當繁瑣，目前成本仍相當高，雖在衆相關授權廠商之努力下，不時有成本將降低之話語傳出。然而，構裝業界已逐漸彌漫出一股懷疑的眼光，再加上DRDRAM之製程也同樣相當複雜與一再延誤上市規畫，此對 μ BGA要在CSP領域獲得盟主的地位造成雪上加霜，因此， μ BGA及DRDRAM是否能繼續維持衆人關愛的眼神則有待相關廠商的努力。

Wafer Level CSP

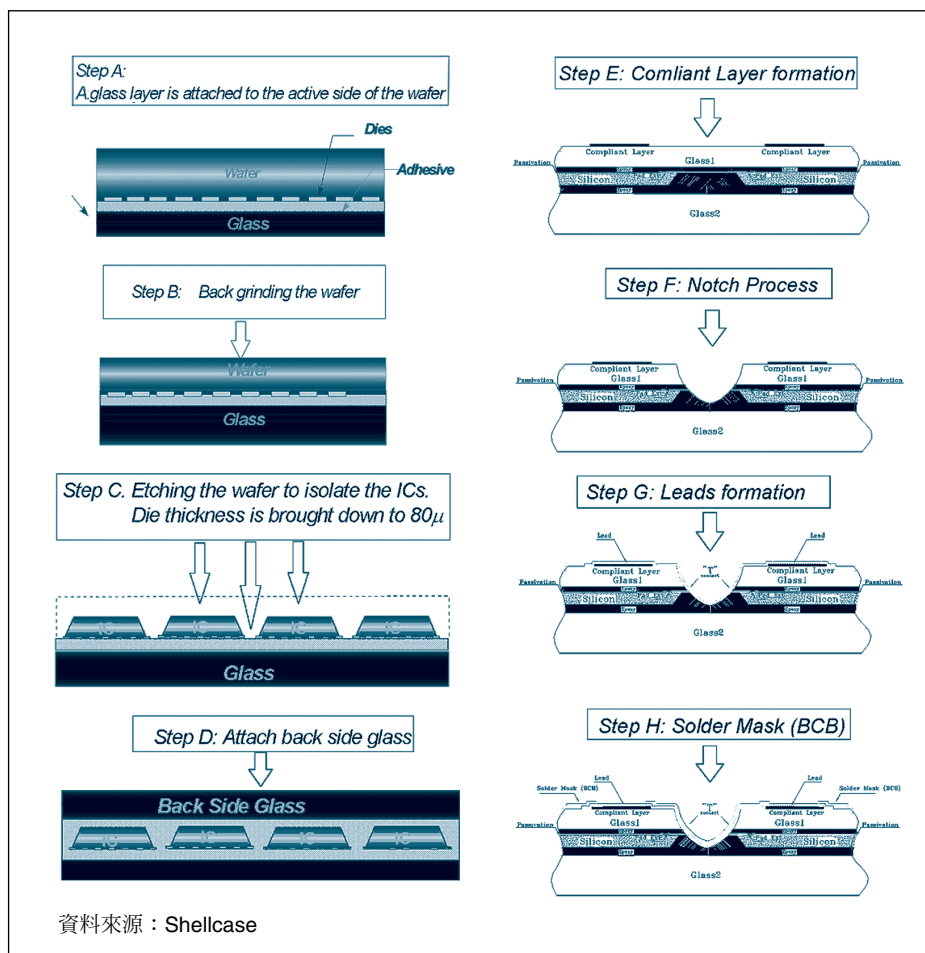
晶圓式晶方尺度構裝(WL-CSP)，其基本觀念是以晶圓為封裝處理對象，而非如早期封裝製程是以單顆晶片為主。因此，在進行切割前，便已在晶圓上完成封裝動作。如前所述，WL-CSP亦為CSP之一類，目前較有名者如Flip Chip Technologies之UltraCSP、ShellCase之Shell-PACK與Shell-BGA、Chipscale之Micro SMT、Sandia之miniBGA(mBGA)、Fujitsu之SuperCSP等。基本上，其架構

通常是有一層埠端重佈層(I/O Redistribution Layer: RDL)、一層應力緩衝層(Stress Buffer Layer)、一層護層(Passivation Layer)及最後之植球或引腳部份。由於為新型之構裝型態，因此普遍認為短期內市場佔有率不高，以Electronic Trend Publications預測，WL-CSP於1999年之年需求為1190萬個單位，而即使至2002年也僅有5250萬個單位而已。此數量在全部CSP之產量中只佔相當低的比列。雖如此，但作者仍欲於此另闢一節討論，其原因在於提醒讀者WL-CSP對IC、構裝、測試產業架構與生態之改變。如圖八所示，WL-CSP之製程一般會用到薄膜沉積(Thin Film Deposition)、微影(Photolithography)、蝕刻(Etching)、電鍍、印刷等製程，這些製程，前面幾個屬黃光製程者並不是傳統封裝業者所擁有與熟知的。但相反地，這些技術大部份均與覆晶植球技術相通，亦與IC製程類似。因此後兩者(覆晶植球者與IC生產者)要進入此領域將較傳統構裝業者為快與直接。再者，由於是直接對整片晶圓

進行加工，因此理論上，將這些步驟視為IC製程之一部份的步驟應屬可行且合理。假若此推論為正確，那構裝產業的架構於未來將面臨極大之變革，即晶圓於IC廠出廠時便已封裝完畢，於測試後便可直接送到客戶手中，而無需再透過構裝廠之加工程序。或許有人會因相當低的WL-CSP年需求量比率而懷疑WL-CSP對產業架構之影響是否真有這麼明顯；然而，別忘了如本文一開始所列之新聞，Intel已開始進行將WL-CSP用於其Flash Memory之動作，而相信類似之評估也將會逐漸擴大至其他產品，如DRAM、SRAM等或其他公司也將會跟進，屆時年需求量應會急劇上昇。再者，國內封裝廠有相當多者是以記憶體封裝代工為主，因此決不可忽視WL-CSP未來對台灣或全球構裝產業生態之影響，而相關廠商亦應儘早規畫因應之道。

Flip Chip

覆晶(flip chip)技術起源於1960年

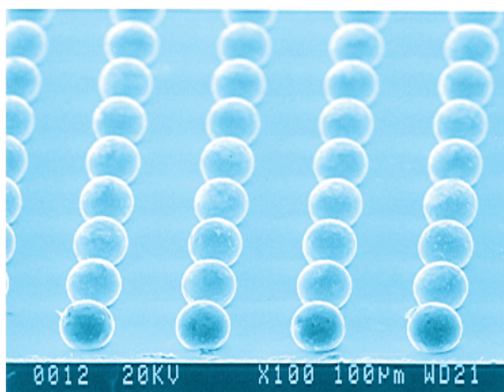


►圖八
Wafer Level
CSP製程（以
Shellcase為
例）

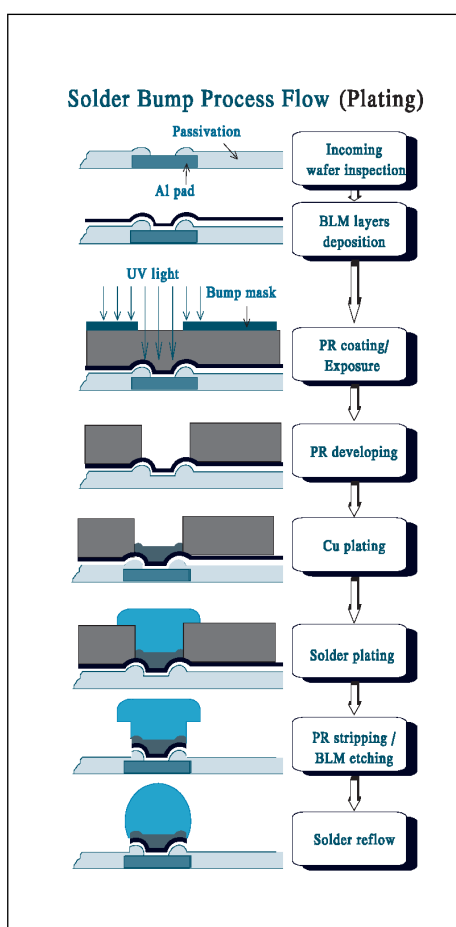
代，當時IBM開發出所謂之C4 (Controlled Collapse Chip Connection)技術，以取代傳統打線接合(Wire Bonding)而應用於大型電腦組裝上。近年來，由於專利保護期限已逐漸到期，再加上半導體技術與產品的蓬勃發展，以及對尺寸、速度及成本的需求之下，人們逐漸地對覆晶技術開始恢復記憶，並進行一連串與覆晶技術相關之材料、製程、設備等研發與應用，使得覆晶構裝躍昇為今日構裝產業之“明日之星”，而覆晶植球(Flip Chip Bumping)代工廠也順勢成立，以台灣為例，目前約有5家廠商已經成立，而國內部份IC廠也開始躍躍欲試地進行評估是否要一腳跨入覆晶植球之領域(理由同WL-CSP)。

廣義的覆晶技術泛指將晶片翻轉後，以面朝下的方式透過金屬導體與基板進行接合。一般而言，金屬導體包含有金屬凸塊(Metal Bump)、捲帶接合(Tape-automated Bonding)、異方性導電膠(Anisotropic Conductive Adhesives)、高分子凸塊(Polymer Bump)、打線成球(Stud Bump)等，這其中以金屬凸塊技術最為成熟，亦被廣泛應用於量產之產品上。覆晶凸塊的成型方法很多，常見者有蒸鍍、濺鍍、電鍍、印刷、打線成型、噴射成型等。凸塊的材料依不同的需求，有高溫錫鉛、低溫錫鉛、金、鎳、銅等。圖九所示即為以電鍍式覆晶植球技術之流程，而圖十則為錫鉛凸塊(Solder Bump)之SEM圖。

大體上，低I/O數及高I/O數的IC使用覆晶接合技術的驅動力稍有不同。對低I/O數的IC而言，低廉成本、小封裝尺寸、可靠性、低電感等需求為其主要驅動力，但對高I/O數的IC來說，驅動力則主要為晶片尺寸的縮小、低電感、以及突破鉗墊間距(Pad Pitch)限制等。一般而言，由於成本與製程因素，使用覆晶接合之產品通可分為兩種形式，分別為較常使用於低I/O數IC之覆晶式組裝(Flip Chip On Board, FCOB)及主要使用於高I/O數IC的覆晶式構裝(Flip Chip in Package, FCIP)，其中FCOB為直接晶片接合(Direct Chip Attachment; DCA)技術之一。依據Prismark估計，如圖十一所示，於1998年預估使用覆晶接合之數量約為9億1700萬個單位，其中FCIP約佔800萬單位左右，但在2002年覆晶接合急速增加至44億2800萬個單位，其中

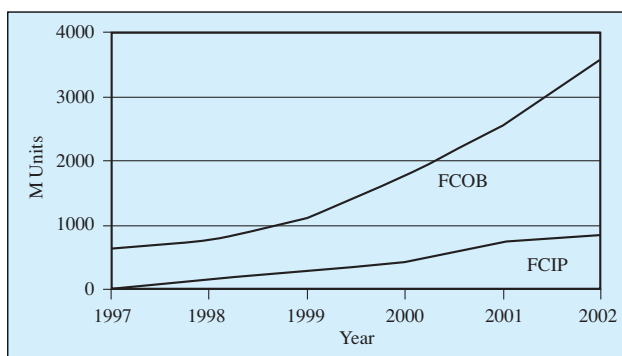


▲圖十
錫鉛凸塊SEM圖



◀圖九
電鍍式覆晶植球
流程圖

▼圖十一 覆晶產品市場預測圖



資料來源：Prismark Partner LLC資料處理：ERSO / ITRI

表二 銅導線晶片發展現況

Chip Maker	Target for Copper	Technology	Initial Product
AMD	Introducing in 2000	0.18 μm	K7 processors
IBM	Ramping Production now	0.20 μm	PowerPC Processor ASIC
Intel	In Production by 2001	0.13 μm	Microprocessor
Motorola	Sampling prototype now	0.15 μm	PowerPC processor
Motorola	Sampling by end of 1999	0.20 μm	4 M SRAM
NEC	Introducing at end of 1999	0.15 μm	ASIC
Philips*	Introducing in 2000	—	To be determined
TI	In production in 2000	0.18 μm	Sun Sparc MPU DSP
Samsung	In production by mid-1999	0.18 μm	Alpha RISC processor
Siemens	Introducing in 2000	—	High-Speed IC
TSMC	Offering in 2nd half 1999	0.15 μm	Foundry design
VLSI Technology	Launching in 1999	0.15 μm	ASIC
UMC	Offering in 2nd half 1999	0.18 μm	Foundry design

*Partnered with ST Microelectronics
資料來源：Semiconductor Business News, 1998

FCIP佔有8億4300萬個單位，總數約為1998年之4.8倍。

Cu Chip Package

自從IBM於1997年宣佈發展出銅晶片(Cu-interconnection IC)之CMOS 7S製程，一時之間，英雄倍出，世界各大廠亦一窩蜂地宣告其亦開發出銅導線製程，或規畫將於近期內試產。現階段各廠所宣稱之進度如表二所示。銅導線接合俱有較傳統鋁導線接合較為優異之電氣特性，此將直接促進系統晶片(System-on-a-chip)之發展。由於可將大量的功能整合於單一晶片上，最後該晶片之訊號I/O數將減少；然而，由於晶片的複雜度提高，於其內的電晶體數也將大量增加，此將造成傳遞功率(Power)之I/O數增加。最後，整體而言，整個IC之I/O數也將提高。而此際，如何使直流電壓降(DC Voltage Drop)降低，以及在低電壓的作用下，維持小的雜訊範圍(Noise Budget)將會是IC製程與構裝所共同面臨的問題。

綜合上述的觀點，由銅晶片所需之高效能的電氣特性及高I/O數所造成之錫墊間距限制來看，覆晶技術將是一個可以從構裝的角度來解決其問題之主要

方法。因此估計短期內，雖然仍有部份之銅晶片使用打線接合，但長期來看，銅晶片的問世將對覆晶技術的蓬勃發展有推波助瀾效果產生。

結論

影響構裝產業發展之因素相當多，除了上述幾種主要關鍵技術外，其他如高密度基板、晶圓式測試、材料開發……等等均會扮演著不同的角色，而最主要的影響因素是成本。在低I/O數IC方面，CSP之發展無論是基板式或晶圓式者，其目標均是以TSOP為對象，一旦成本可以相抗衡，再加上較優異之電性與熱傳特性，那麼取代TSOP之時間將是指日可待。在高I/O數IC方面，BGA仍將會持續佔有其地位，但隨著功能之增強，使用增層板(Build-up Substrate)之覆晶塑膠球格陣列式構裝(Flip Chip PBGA)及加裝散熱片之效能增益型塑膠球格陣列式構裝(Enhanced PBGA)將會逐漸增加其比重。而銅晶片的量產將帶動覆晶市場的上揚。但最重要者，由於覆晶植球技術與WL-CSP之興起，構裝產業生態之改變將很有可能在一夕之間產生變化，而這變化目前已逐漸有跡象可尋，身處在這複雜多變的構裝業者不可不察。