

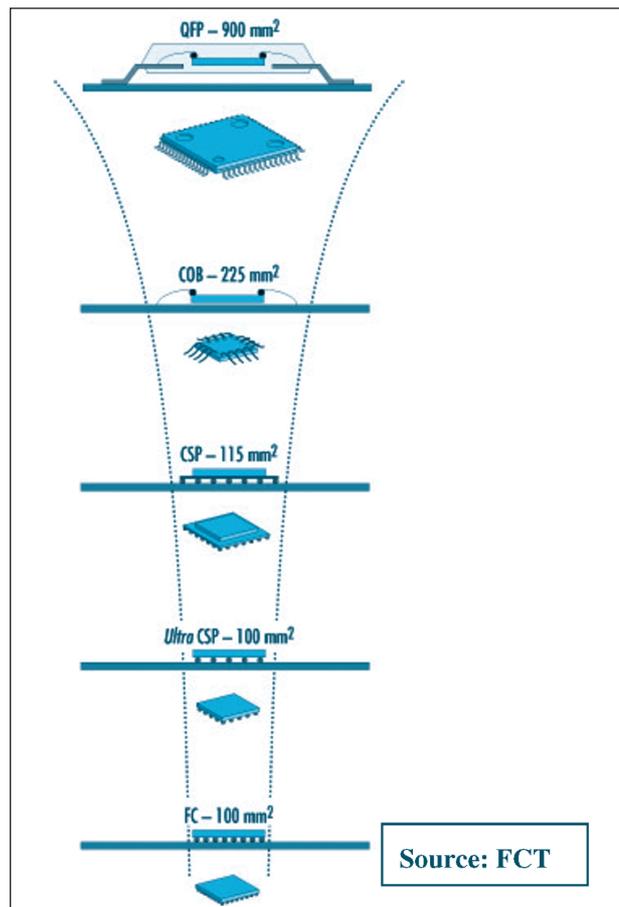
晶方尺度構裝 對產業之衝擊

◆ 李榮賢*、林世雄**
工研院電子工業研究所
電子構裝技術組構裝工程部
*經理 **課長

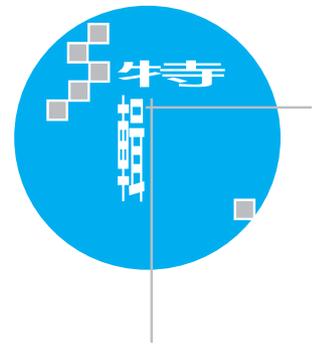
前言

過去十五年來，“輕薄短小”一直被視為電子產品之趨勢、口號，時至今日，可說完全展現，一代接著一代的產品推出，不但每一代均要有大幅進展，而且要經得起同業競爭者之挑戰。小還可更小、更輕巧、更智慧（更多功能、更合人性化），只要是顧客之需求、期望，均有可能在短時間內實現。細究其故，主要原因之一為拜構裝大幅進步之賜，尤其是CSP之興起，由原來十倍於晶方尺寸(Chip Size)之傳統構裝，縮小為幾近晶方尺寸之CSP (Chip Scale Package)，如圖一所示<無>，對於電子產品之縮裝、造型、功能增強均有極大的衝擊，就以通訊類之行動電話、民生消費類之數位攝影機，及資訊類之迷你筆記型電腦為例，均可發現內部有許多CSP之構裝，也唯有如此，才能在更輕巧、更智慧的大環境下競逐。

根據市場預測與分析顯示，CSP在未來數年中，市場需求成長迅速，將來由於



▲圖一 IC Packaging Trends



量多，導引成本之大幅下降，有可能與現今之SOP相爭，甚至有預測指出，未來150 I/Os以下，將完全是CSP之天下，檢視構裝市場分佈情形，可以發現低腳數（150 I/Os以下）佔需求之80%以上，是主要的市場重點，也因此，更顯示CSP的重要性及未來數年的爆發力。

對構裝業界而言，CSP的興起及CSP之市場潛力，是一絕佳的機會，看得準、做得好，構裝小廠、新秀均可順勢而起，迅速成長茁壯，而傳統構裝大廠過去成功的經驗，並無法確保未來繼續榮景，也必須經過一番調整，順勢而為。就技術而言，已明顯由製造導向，趨向於應用設計、客戶需求導向，而過去幾乎完全標準化、大量的構裝代工服務，也需即時因應調整。另一轉變是專利佈署益形重要，例如Motorola公司因PBGA而可以收取大量的權利金，而在CSP的專利佈署上，更顯得競爭激烈，其中較為人矚目的是Tessera公司，其所開發的 μ BGA 要求可觀的授權金及權利金。

何謂CSP

顧名思義，CSP是與晶方尺寸相同或稍大一些的構裝，EIA (Electronic Industries Association)與 IPC (Interconnecting and Packaging Electronic Circuits)對CSP定義成CSP為不超過原始晶方尺寸1.2倍的構裝。此種定義之爭議處，

當下一代晶方尺寸縮小之後，在原先的構裝尺寸維持不變的情形下（需配合PCB之Layout），即無法達1.2倍的準則，亦即不可稱為CSP，較為廣義及容易被接受的定義是球距(Ball Pitch)小於1mm之構裝，常見的有0.8mm，0.75mm，0.5mm等。

在CSP準則(CSP Standard)制定上，JEDEC有0.75mm，0.5mm之規範，EIAJ有0.8mm，0.65mm，0.5mm之規範，至於外觀尺寸方面，則保留相當大的彈性。由於CSP是一完整的構裝，具有可測試性，可Handling，防 α 粒子，同時又幾近於裸晶之尺寸，有良好電氣特性，熱傳特性，所以可說是兼顧了傳統構裝與裸晶之優勢，數年前熱烈討論之良裸晶(KGD-Known Good Die)問題，一直無法有效解決，也因CSP之崛起，而有了替代方案。

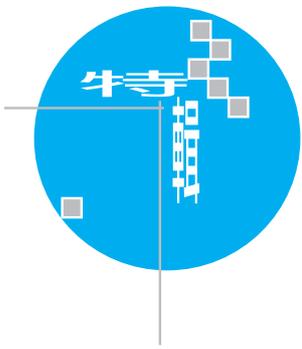
百家爭鳴，卻非百花齊放

目前檯面上的CSP型式超過50種，其中又以美、日所佔比率最高，而且大多有專利上的保護。雖然是百家爭鳴，熱鬧非凡，卻非百花齊放，並不是每一種CSP均有量產的機會，競逐的結果，應是只有少數幾家成為市場主流，其他則隨波逝去，一般概分為四大類：導線架類型(Leadframe Type)、硬式基板型(Rigid-Interposer)、軟式基板型(Flex-Interposer)及晶圓型(Wafer Level)，如表一所示。

其中導線架型CSP為LOC (Lead on Chip)構裝之延伸，應用既有之Infrastructure，較具代表性的有SON、BLP等，均已應用在Memory產品上。軟

表一 Classification of Chip Scale Packages

Category	Type	Companies
Flex Interposer	TAB	Tessera, NEC, SONY, etc.
	Wire Bond	TI-Japan, Sharp, Toshiba, Amkor/Anam, etc.
Rigid Interposer	Flip Chip / Wire Bond	Motorola, Matsushita, SONY, etc.
LeadFrame	Wire Bond	Fujitsu, LG, Hitachi, etc.
Wafer-Level	Redistribution / Stress Buffer	FCT, Sandia Lab., Fujitsu, etc.
	Substrate	Shellcase, Tessera, etc.



式基板型及硬式基板型在結構上與BGA相似，只是尺寸縮小了許多，如miniBGA、 μ -star BGA等，有些則應用Flip-Chip技術，如JACS-Pak、MN-

PAC等，比較引人矚目的 μ BGA亦屬此一類型。在晶圓型CSP方面，其製作流程全然異於其他前述三類，在晶圓上完成Interconnection，封裝保護，植錫球之後，再行切割，其詳細流程如圖二所示。雖然此一類型正屬萌芽階段，未來極具有成本

競爭力，而晶圓型CSP的興起，將讓目前IC及Packaging上、下游分工之體系改觀，從IC一貫作業至Packaging完工，已有許多先進公司積極投入，身處IC代工龍頭及構裝王國的台灣，能不未雨綢繆嗎？

合縱連橫，逐鹿中原

前段述及 μ BGA，是一個在洪流中崛起的好例子，也是目前已知授權最多的CSP。其架構包括具有Stress Buffer之Elastomer層，可以有效解決矽晶與電路板之間熱膨脹(CTE)的應力問題，如圖三所示。Tessera公司提出 μ BGA架構之後，不斷努力的建構Infrastructure，促成相關材料如Elastomer、Flex-Substrate之開發、成本降低，組裝設備如Ribbon Bonder之開發、相關製程之改良，同時爭取Intel、Rambus公司之支持，前有Flash Memory之應用，近則有DRDRAM之應用，儼然成為市場的主流技術。

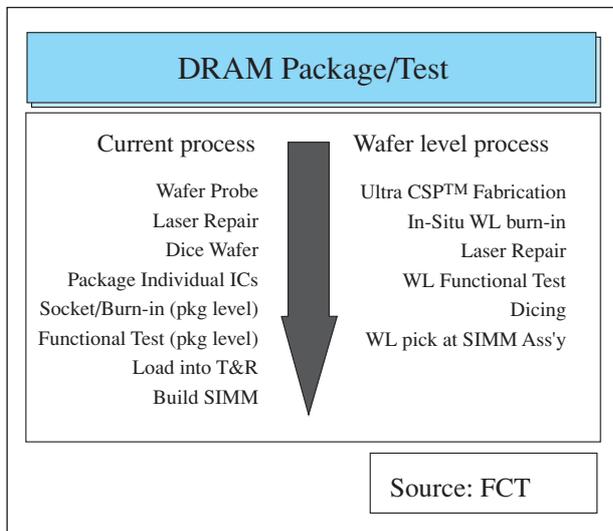
國內現況

國內構裝業界憑藉在PBGA之技術、經驗，順勢完成mini-BGA、Thin-BGA之開發，目前許多PBGA大廠或PBGA新秀均已建構此類技術，主要的應用包括Memory及通訊等產品。

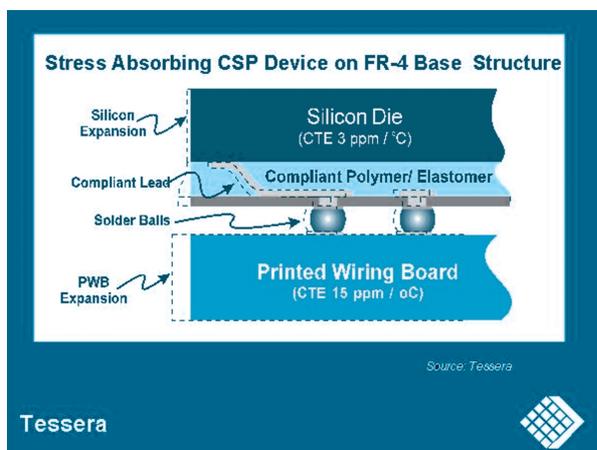
在Rambus DRDRAM潛在市場之考慮下，國內有日月光公司(ASE)、矽品公司(SPIL)先後取得 μ BGA授權，並建構此項生產技術，不過，製造及材料成本仍高，未來仍要陸續加以克服。

而群翼公司(CTS)推出W/B型式之SIM BGA，由於其W/B線長較短，可以提升其電氣特性，有機會符合Rambus之高速需求，但仍需有進一步的實驗數據來證明其電氣特性、可靠性等，目前SIM BGA正在進行專利授權中，結構如圖四所示。

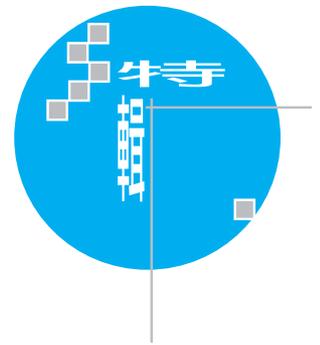
電子所目前正應用Flip-Chip技術於CSP中，積極設計開發FC-CSP，目標是電



▲圖二 Process of DRAM Package and Test for Current Process and FCT's Ultra CSP.



▲圖三 Stress Absorbing CSP Device on FR-4 Base Structure for Tessera's, μ BGA



表二 Electrical R, L, C Requirement of Rambus DRDRAM

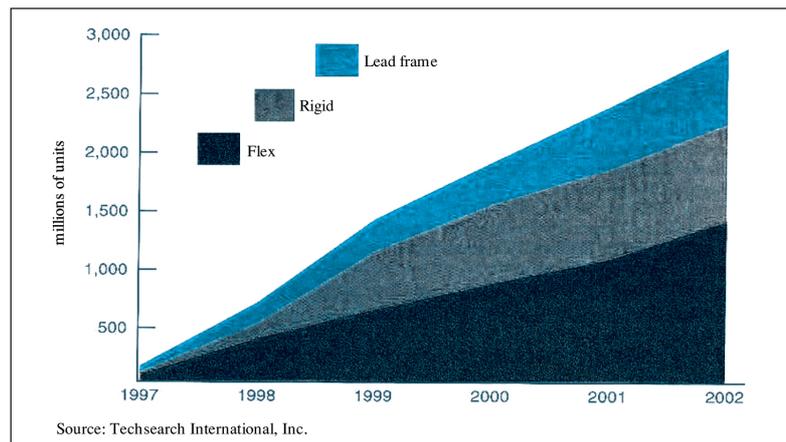
RSL pins:		
Ri	Max	15 W
	Min	4 W
Li	Max	4.0 nH
	Min	2.0 pF
Ci	Max	2.4 pF
	Min	2.0 pF
Delta Ci	Max	0.06 pF
L12	Max	0.2 nH
C12	Max	0.1 pF
CMOS pins:		
Li	Max	8.0 nH
	Min	1.7 pF
Ci	Max	2.1 pF
	Min	1.7 pF
GND pins:		
Li		n/a

Note: Combination of the device IO circuitry and package capacitance
Source: Rambus

表三 Comparison the Thermal Resistance Between QFP and CSP

Cooling Condition	Thermal Resistance (C/W)		
	QFP	CSP	Difference
0 m/sec	40	35	5
5 m/sec with HeatSink	11.8	4.2	7.6

Source: Tessera



▲圖六 Projection for Worldwide CSP Shipments

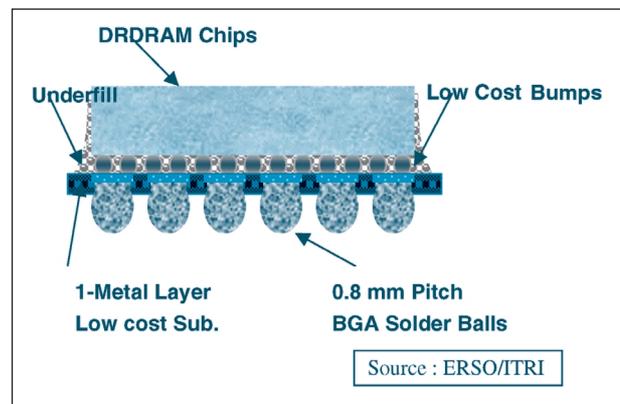
氣特性上可符合Rambus DRDRAM等高速Memory之需求，而且具有成本競爭力。目前已完成第一階段(SRAM)的設計開發，正結合國內構裝廠、基板廠進行第二階段(DRDRAM)之設計開發，預計1999年底將有完整的結果，結構如圖五所示。

市場預測

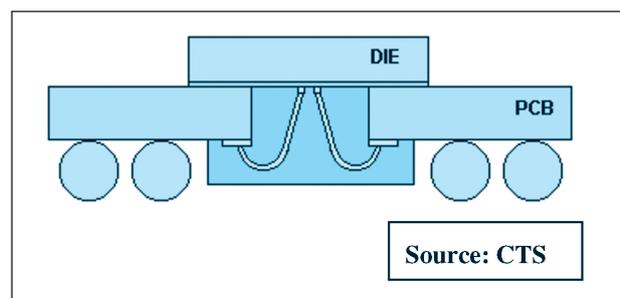
依據市場預測與分析顯示，如圖六示，未來數年中，Leadframe Type之CSP將呈平緩式的成長，硬式基板型CSP及軟式基板型CSP是市場主流，其中大多數市調公司如Techsearch、ETP、TechLead均認為軟式基板型是未來之大宗。至於晶圓式CSP，佔有率不高，卻有極高的成長率。

一、CSP之電氣特性、散熱特性

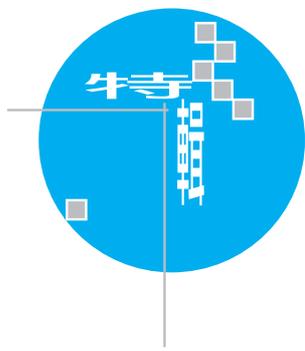
CSP之結構特色是導線短(Short Trace)，以致電感、電容等電氣特性極



▲圖五 Cross Section of ERSO/ITRI's FC-CSP Package



▲圖四 Cross Section of CTS's SIM BGA Package



佳，可適用於高頻電子產品的應用。就以Rambus DRDRAM為例，其規格

如表二所示，要求構裝特性與晶方I/O Buffer加總後，仍然能符合此一規格，因此，就必須選擇電氣特性甚佳之CSP，有時，甚至需要特別設計CSP之特性，方能符合規格，另一特色是大部份CSP背面曝露(Exposure)，如 μ BGA，具有直接的散熱途徑，利於散熱，尤其在考量外加散熱片時(HeatSink)，其散熱效果就更加明顯，如表三所示。

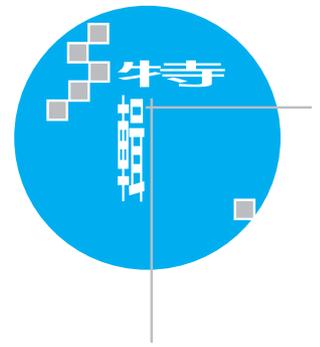
表四 CSP Assembly Reliability

Package Type	Cycling Condition	Total Cycles	Fails/Samples	I/O
LOC-USON (Fujitsu)	-65°C, 30min. to 150°C, 30min.	500	0/40	26
LOC (BLP) LGSemicon TOSP	-30°C 85°C -55°C to 125°C, Shock, 5min. dwells -55°C to 125°C, Shock, 5min. dwells	>1200	N/A	20
		800	0/4	28
		900	2/4	28
		900	0/25	
1000	2/25			
LOC Hitachi Cable	-50°C to 150°C, 30min., 10min. between	>1000	No Crack	44
MBGA (Tessera) Intel Test Data	-65°C to 150°C -55°C to 125°C	750	0/78	46
		1000	4/78	
		1000	0/78	
		No underfill		
MBGA Motorola Test	-55°C to 125°C 5.8cycles/hr	500	1/8	40
		600	3/8	
FPBGA (NEC)	-40°C to 125°C -55°C to 125°C 10min. dwells -40°C to 125°C	200	0/20	232
		underfill		
		700	N/A	208
		underfill		
500	0/12	44		
		No underfill		
JACS-Pak (Motorola)	-40°C to 125°C (1Cycle/hr, 10min. dwells) -55°C to 125°C Shock, 5min. Dwells	>1150	NA	80
		no underfill		
		1300	1st Failure	80
Ceramic CSP (Kyocera)	-40°C to 125°C	~600 no underfill PWB 0.6mm >900 no underfill PWB 1.6mm	NA	220
MiniBGA (Sandia)	0°C to 100°C (Thermal Shock) -55°C to 125°C (Thermal Shock) 15min. dwells	>2000	NA	266
		underfill		
		<40		
		no underfill		
		>500		
		underfill		
Mitsushi	-40°C to 125°C 1cycle/hr	500	0/3	96
		underfill		
		200	(0/20)	
		no underfill		
100	(10/30)			
		bare die		
Shell Case Peripheral	-45°C to 85°C 10min., 1min. between (Thermal Shock)	1000 10x10mm die 8x13	0/24 65 μ stand off 0/40 130 μ stand off	120

二、CSP之可靠性

比起傳統構裝，CSP顯得輕巧，但在可靠性上卻顯得單薄，也衍生出異於傳統構裝之破壞模式，在商業化之前，必須仔細的評估，及檢視其可靠性，目前大多參考JEDEC之可靠性規範，至於CSP組裝在PCB上之錫點應力問題，亦需仔細考量，矽晶與PCB之間的CTE熱膨脹效應差異甚大，造成錫點承受極大之應力，而CSP之錫點遠小於PBGA，所以問題更形嚴重。爲了克服此一問題，有些CSP在結構上即具有應力緩衝層的設計，如 μ BGA，近來正興起之WL-CSP，亦多加上類似的緩衝層，而實際效

Source: Chip Scale Review, Nov. 1998



表五 Wireless Phone Packaging Direction

	1997	1998	1999
Phones Shipped	105M	148M	175M
Ericsson	QFP/SOP	1 CSP	CSPs
Nokia	QFP/SOP	4 CSP	CSPs
Motorola	SOP + FC	6 CSP	CSPs
Matsushita	QFP/SOP	CSPs	CSPs
NEC	QFP/COB	5 CSP	CSPs
SONY	QFP/SOP	6 CSP	CSPs
Sharp	5 CSP	CSPs	CSPs
Qualcomm	QFP/SOP	QFP/SOP	CSPs
Siemens	QFP/SOP	MCP/QFP	CSPs
Philips	QFP/SOP	MCP/BGA	CSPs
Fujitsu	MCP/BGA/CSP	MCP/BGA/CSP	MCP/BGA/CSP

Source: Prismark

果如何，是否會引伸出其他製程、可靠性的問題，則需進一步的全面性評估。表四顯示，目前已發表之可靠性測試資料，可供做選擇、評估CSP之參考。

三、CSP之應用

CSP已普遍地應用在數位攝影機(Digital Camcorder)上，回顧1996年SONY公司首度上市Handcam (DCR-PC7)，僅手掌大小之尺寸(59×129×118mm³)，一時成為數位攝影機之標竿。該產品中大量引用CSP，共計20顆，包括NT-CSP， μ -star BGA等，大幅的縮小組裝面積達37%，由於精緻輕巧，功能超眾，市場反應熱烈，數個月內即大幅增產，其他品牌則相形失色。隨後，各廠亦積極投入產品小型化之設計開發，以JVC為例，新近開發完成之數位攝影機(48×119×89mm³)，亦引用10顆CSP，包括Flip Chip-on-Ceramic CSP、Wirebond-on-Rigid CSP、Leadframe-on-Chip CSP等。

在產品小型化的趨勢下，CSP也已走入行動電話裡，表五列出近三年來各著名

品牌的發展情形，可以發現除日本品牌產品外，前三

大廠亦積極使用CSP，以Nokia 8810 GSM為例，就有Wirebond-on-Flex CSP (GSM Baseband Processor)， μ BGA (16 bit/ 2M SRAM)及Wirebond-on-rigid CSP (256K EEPROM)等。

結論

有了CSP型式之構裝，使許多攜帶型電子產品更小型化、輕巧、更多功能，也更能吸引消費顧客。因此，CSP市場需求成長迅速，而且當CSP產量規模擴大時，將導引材料等週邊環境之成熟，成本隨之下降，一旦其成本趨近傳統導線架之構裝QFP、SOP時，將可取而代之，其市場需求何其大？CSP所帶來的無限機會，就看您如何掌握了！

參考文獻

1. TechSearch, "CSP Markets and Applications-1988"
2. Prismark, "Technology and Market Opportunities of System and IC Packaging Workshop-1999," in Taipei.
3. Reza Ghaffarian, "Chip-Scale Package Assembly Reliability," Chip Scale Review, Nov. 1998.