

化學機械研磨技術 之應用與展望

陳學忠* 楊名聲** 王興華*** 劉富臺****

聯華電子公司

* 技術與製程開發部 先進技術研發工程師

** 技術與製程開發部 先進製程研發經理

*** 技術與製程開發部 副部長

**** 資深副總經理

前言

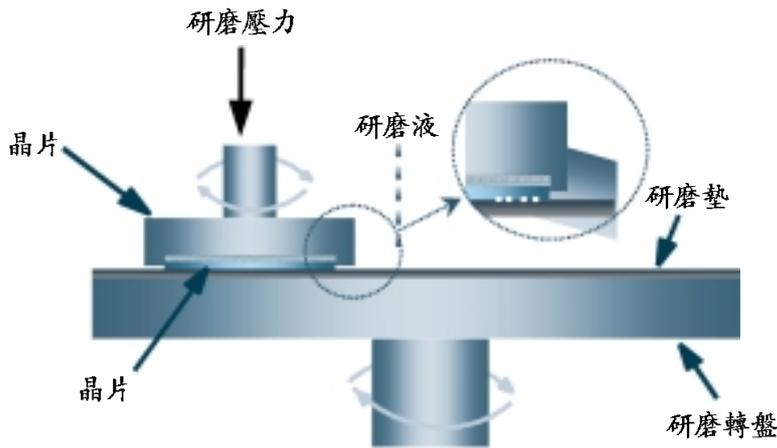
近年來，半導體工業已成為我國重要經濟來源之一，而半導體技術的發展更是突飛猛進，並不斷與先進國家縮小差距。由於人類對半導體元件的倚賴日深，對於更高積集度之積體電路需求日益殷切，因此半導體技術不斷朝更細線寬的微細加工技術發展。猶記得90年代初，正是半導體技術邁向次微米世界之時，然而在人類邁向公元兩千年之際，半導體技術也已進步到0.18微米的深次微米世界，不僅在面積上縮小了50倍以上，更大幅提昇了積體電路的性能及運用範疇，也是造就二十世紀末科技進步的主要推手。

半導體技術之所以能夠在短短十年內有如此重大的突破，化學機械研磨技術之開發功不可沒。在多層結構電路圖樣堆疊的過程中，會遭遇到晶片表面之不平坦現象，當晶片表面形貌之高低起

伏，超過微影光源聚焦之景深時，便會引起微縮電路之圖樣無法順利定義出來的問題。傳統的平坦化技術中，在足夠的景深條件下，其所容許之紫外光源解析度，在0.5微米以下便已經遇到了瓶頸。然而由於化學機械研磨技術之引用，改善了晶片表面之平坦度，提供了上述瓶頸的解決方案，更進一步地可以使用波長更短的紫外光光源，制定出更小尺寸之積體電路圖樣。由於此一技術的開發，不但使積體電路的體積得以縮小，由此技術所衍生出來之金屬化學機械研磨技術，更大幅度地改善產品之良率。而其後衍生出金屬鑲嵌技術之發展，更是另一項提昇積體電路性能之革命性創舉，也是未來超大型積體電路製造之主流。

化學機械研磨技術之沿革

化學機械研磨技術之概念一般認為係在1983年由美國IBM公司所發明，其



圖一 化學機械研磨機臺示意圖

目的是在尋找一種全面平坦化的技術，能克服半導體製造流程中金屬導線堆疊時，因晶片表面不平坦而難以對焦的問題。此外，此技術必須能滿足新製程對半導體後段技術之需求，即：低溫製程、避免電漿污染與傷害。最後他們利用傳統工業中的玻璃研磨技術及製造矽晶圓時之拋光設備加以改良，使之適合於晶圓，而發展出氧化層介電材料之化學機械研磨技術。

隨著氧化層化學機械研磨技術之發展，F. Kaufman等人也於1991年提出金屬鎢之化學機械研磨之構想，其目的在取代傳統之鎢回蝕刻法，製造連接不同金屬層導線的鎢栓塞技術。鎢化學機械研磨因在微粒量控制方面優於鎢回蝕刻法，因此漸漸地取而代之。鎢化學機械研磨不同於氧化矽化學機械研磨之處，在於它沒有先前的技術可供參考，因此舉凡研磨耗材之開發及研磨機制之研究，皆為一獨立之領域。此技術開發之成功，不但使化學機械研磨之理論更加完備，更使其應用範圍得到廣大的延伸。

由於大家對化學機械研磨技術的經驗越來越豐富，其應用範圍亦進一步發揚光大，進而解決了製程微細化過程中的幾個主要問題。諸如淺溝渠絕緣層化

學機械研磨技術(STI-CMP)，解決了傳統上使用LOCOS絕緣層技術上之瓶頸^[1]。

另外，由金屬化學機械研磨技術所衍生之金屬鑲嵌技術，更是半導體製程技術的另一項創舉，目前半導體製程技術中最先進之銅製程技術，即基於此一概念發展而成。隨著製程技術從0.18微米邁向0.13微米，以及更先進製程之時，化學機械研磨這項技術將更形重要，亦將成為半導體製造技術能力之一項重要指標。

化學機械研磨原理與介電層之化學機械研磨技術 (Dielectric-CMP)

以下簡介化學研磨技術：圖一為化學機械研磨機臺之示意圖。晶片正面朝下置於晶片座內，並與研磨轉盤上之研磨墊片接觸。在轉盤上方，導入研磨液，轉動轉盤及晶片座，並施以適當之壓力，晶片表面同時受到來自轉盤的機械力及研磨液之化學作用，而使晶片表面之材料被磨除。

化學機械研磨之基本原理在於：經由研磨漿提供化學反應，以穩定的速率產生反應膜，接下來利用機械研磨的方法，移除此反應膜。故其研磨速率，基本上可由研磨壓力與晶片及研磨墊之間的相對速率來決定。一般將此關係，稱之為Preston Equation，即

$$\frac{dT}{dt} = K \cdot P \cdot V^n$$

其中，T是厚度，t是時間，k是比例常數，P是壓力，V是相對速率，n約等於1。

化學機械研磨運用在二氧化矽介電層上，主要是因其在平坦化能力上的貢獻。傳統積體電路之製造技術，在經過

多層堆疊後（見圖二），在介電層表面形成起伏不平之現象，且疊層越多此限制越明顯。此一不平坦之表面會造成以下之製程問題：

(1)不平坦的表面造成無法以同一焦距條件曝光，影響微影步驟之對焦。

(2)當金屬層沉積在不平坦的介電層表面時，在蝕刻金屬導線的過程中，介電層之陡峭處易殘留金屬，造成線路之短路。

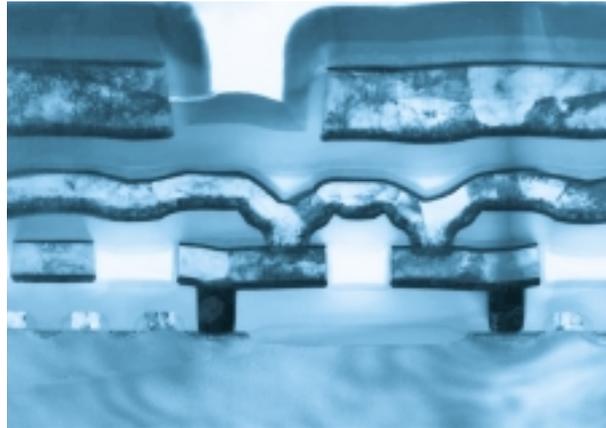
圖三為微影技術中紫外光景深與導線寬度關係圖，當線寬越細時紫外光之景深便越窄，對於不平坦之介電層表面便越敏感。使用化學機械研磨則可獲得大面積區域上極平坦之表面，有效解決上述之不平坦問題。

化學機械研磨的另一個重要的部份是對於研磨墊的Conditioning。通常研磨墊（見圖一）在經過數分鐘的研磨後，研磨速率將會逐漸的變慢，表示研磨墊已失去了大部份的研磨能力。而Conditioning的目的就是讓研磨墊表面再度活化，使得受到過度壓力與摩擦變得光滑而無法抓住研磨粒子的表面，得以恢復其研磨能力^[2]。

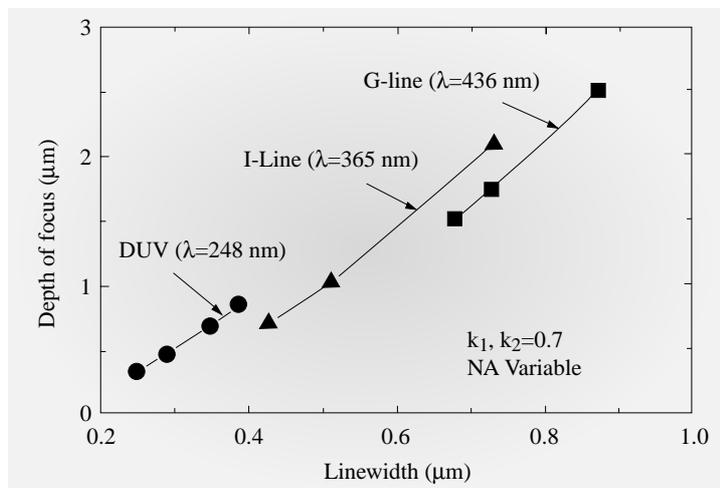
淺溝渠絕緣 (Shallow Trench Isolation)

當半導體製程技術進入0.35微米以下時，以往廣泛使用的LOCOS絕緣技術遭到了瓶頸，因為在製作氧化層時，LOCOS會生成“鳥嘴”(Bird's Beak)，將佔用到較大的面積；而若將LOCOS面積縮小時，又會因為氧化層深度不足，而無法達成良好絕緣之目的。因此發展一全新的絕緣技術，以因應深次微米製程之挑戰，確有其必要。而淺溝渠絕緣，正好利用到CMP低溫製程及可避免電漿污染與傷害這兩個重要的特性，來達成高積集度與高可靠性之絕緣製程。

淺溝渠絕緣化學機械研磨，其目的



圖二 未使用化學機械研磨之傳統製程剖面圖

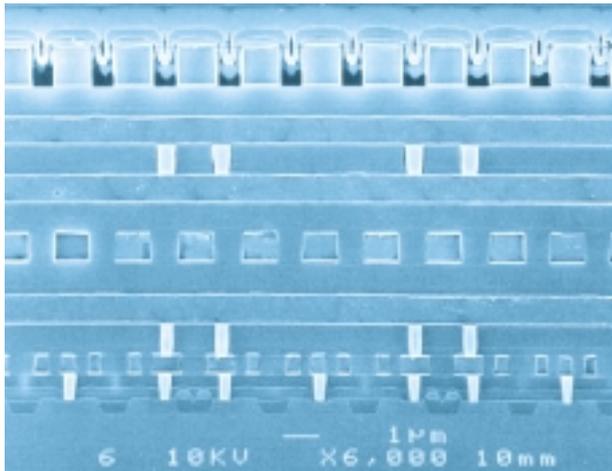


圖三 微影技術中紫外光景深與導線寬度關係圖

在於移除溝渠上多餘之回填物，如：氧化矽或多晶矽等。其要求除了均勻度以外，在溝渠內不能因不同材料間的研磨差異（研磨速率選擇比），而造成材料的低陷，一般將此現象稱為碟陷。此外在溝渠的邊緣，也必須保持形貌的平整，以避免元件電性的偏移^[1]。

淺溝渠絕緣在磨除溝渠外多餘回填材料的同時，又不希望將溝渠內材料過度研磨，這兩個條件是相矛盾的，所以研磨時的終點檢測是非常重要的，如此才能避免因進料薄膜規格的差異，而導致製程不穩定。此外，缺陷的存在將直接影響到良率^[3]，如何減少缺陷，亦是製程控制上極重要的部份。

圖四 經過平坦化之六層金屬連線結構



金屬鎢化學機械研磨 (W-CMP)

在金屬鎢栓塞之製造技術方面，金屬鎢化學機械研磨已經證實，能提供較金屬鎢回蝕刻法優良之微粒量的控制能力，但其在製程技術上卻較介電層化學機械研磨高出許多。在形成金屬鎢栓塞時，必須磨除晶片表面之金屬鎢與介電層之黏合層 (Glue Layer，通常為 TiN 或 Ti)，在磨除黏合層時，為避免磨除不淨造成栓塞間之短路，必須要有適當時間之過研磨 (Over Polish)，但在此過研磨之階段，部分裸露之介電層亦可能被磨除，因此為製程上易於控制，在研磨液的選擇上必須滿足對金屬鎢及黏合層有較高之研磨速率，同時又必須對於介電層有較低之研磨速率。通常此製程控制之良好與否可用金屬鎢、黏合層及介電層之研磨速率之比率來表示，必須使其選擇比越低越好，而對於需要較低研磨速率之介電層，則需選擇金屬鎢對於介電層之選擇比越高越好。

金屬鎢化學機械研磨不同於介電層化學機械研磨以平坦化為目的，相反地在使用此種技術時，其先決條件就必需具備完全平坦化的介電層表面，否則將使位於較低窪處之金屬鎢受到旁邊較高之介電層之限制，金屬鎢便極難被完全

磨除。

圖四為一六層金屬導線之積體電路結構剖面圖，經過上述各種化學機械研磨之平坦化，各層次之間平坦而工整。

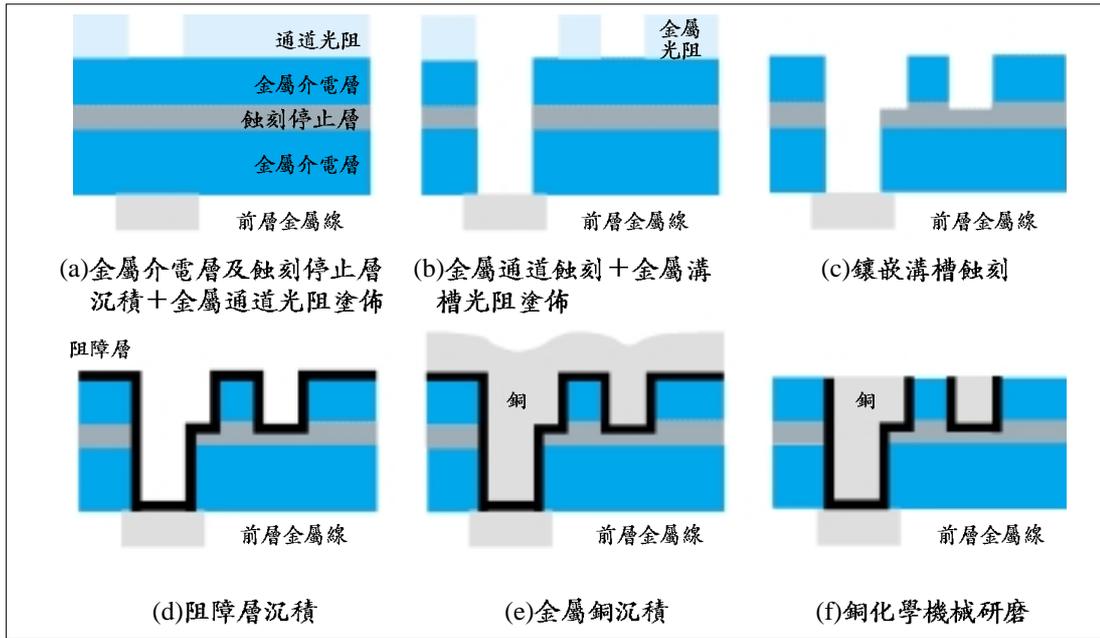
銅化學機械研磨 (Cu-CMP)

現行的半導體技術以鋁作為導線，當導線越來越細時，由於阻抗增加導致訊號傳送速度的延遲，而影響到半導體元件的運算速度的提昇，因此阻值較鋁為低的銅金屬導線，就成為一熱門的研究方向。銅導線的另一個優點為具有較鋁高十倍以上之電子遷移 (Electron-migration) 效應抵抗能力，因此可大幅提昇積體電路之壽命及可靠度 (Reliability)。由於金屬銅不易蝕刻，因此要形成銅導線最佳方式便是使用金屬銅鑲嵌技術^[4]。

圖五為一金屬雙鑲嵌 (Dual Damascene) 技術之簡易流程。所謂金屬雙鑲嵌技術，即同時形成金屬導線及金屬通道 (Metal-via) 之鑲嵌技術。首先，利用已知的微影技術，在介電層上 (圖五 a) 形成金屬通道 (圖五 b)，再使用另一道光罩，形成金屬線的凹槽 (圖五 c)，並填入阻障層於凹槽中 (圖五 d)，接著沉積銅金屬，並使銅完全填滿介電層之通道與凹槽 (圖五 e)，最後利用銅化學機械研磨技術，磨除晶片表面之銅，而在介電層內部之銅，則自然形成金屬導線及金屬通道 (圖五 f)。

在銅化學機械研磨之技術中，常因在研磨過程中造成金屬碟陷 (Dishing) 及磨蝕 (Erosion) 現象，圖六即為此二現象之示意圖。在較大面積的溝槽中，金屬會因研磨墊片之變形而將槽內金屬磨除，一般而言，溝槽越寬，金屬之碟陷就越嚴重。

磨蝕現象係發生在導線溝槽較密處，導線間之介電層頂部兩端容易因削角作用裸露銅導線，致使銅導線被磨



圖五 金屬雙鑲嵌 (Dual damascene) 技術之流程示意圖

除，而又進一步使介電層產生二次削角作用，如此反覆進行，造成溝槽較密處之區域導線較薄。

此二種現象有下列兩個不良效應：

(1) 金屬層變薄，直接影響導線之阻抗。

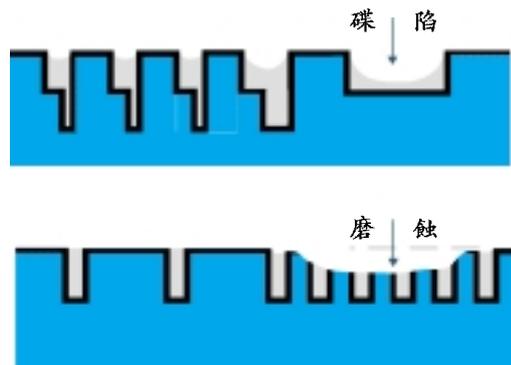
(2) 造成晶片表面局部之不平整，而提高後續第二層金屬導線形成時的化學機械研磨困難度。

因此如何降低此二效應，實為銅化學機械研磨技術之當務之急。

圖七為聯華電子公司運用銅導線金屬雙鑲嵌技術所製造之三層銅導線積體電路，此一技術成功，證明國內半導體工業已躋身先進國家之林。

化學機械研磨之終點檢測技術

化學機械研磨製程在目前有兩大類的應用，一種是用來將材料磨平，另一種是將多餘的回填材料磨除。在後者中，如：STI，鎢化學機械研磨或金屬鑲嵌製程，因為回磨時會遇到兩種或多種不同的材料，所以在研磨時間的設定上，必須十分精準，否則將會因不同材

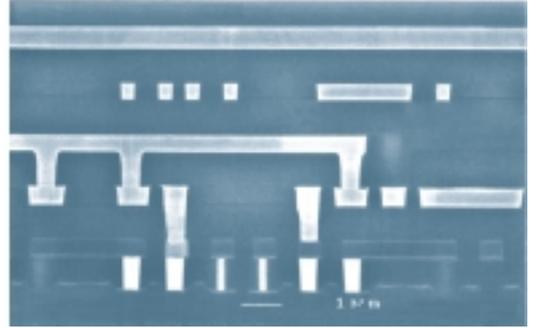
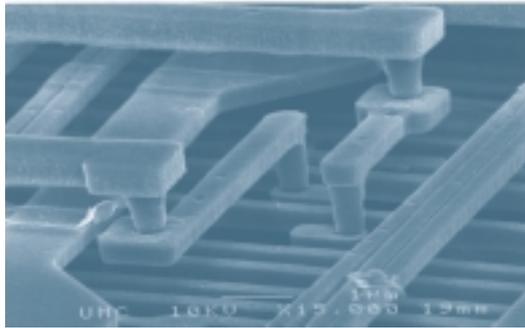


圖六 碟陷與磨蝕示意圖

料的研磨選擇比，導致如碟陷等不良現象發生。然由於前站在鍍膜製程控制上的變異，通常無法以一個固定的研磨時間來涵蓋所有的情形，因此，若有一種裝置能檢測出研磨到不同材料介面的訊號，對化學機械研磨製程的控制能力將有極大的助益。

目前對於終點檢測，有許多不同的方式與裝置，然可大致區分為兩大類：一種是感應不同材料間研磨性質的變化，也就是做介面的偵測；另一種是觀察連續信號的變化。前者是目前主要的技術應用方式，有名的例子如：經由晶片驅動馬達的電流變化來偵測氧化物與其它介電層之間的電流變化，或是應用

圖七 銅導線金屬雙鑲嵌技術所製造之三層銅導線積體電路剖面圖



於鎢金屬化學機械研磨，都有非常成功的例子，其優點是機構較為簡單可靠，對於製程的影響較小。另一個例子是以光學方式偵測不同材料的光學性質變化，如應用雷射光於STI的終點檢測或是應用於銅金屬的化學機械研磨。

第二種方式可以由信號的累積變化得到較多的製程資訊，因此除了可以得到製程終點外，也可以對製程的特性及中間的反應機構進行進一步的觀察及瞭解，對於製程的開發及診斷有很大的助益。其中較成功的例子如：以研磨墊的溫度變化來決定製程終點，因為溫度的變化與移除材料質量或反應熱有關，因此可以得到移除質量與研磨時間的關係^[5]。另一個例子是以雷射光與介電層之間的週期性變化關係，來決定研磨速率與研磨時間之間的關係^[6]，或做為研磨品質的評鑑依據^[7]。目前對於終點檢測技術的開發趨勢是：

1. 非接觸式偵測，如此方能減少對製程的干擾。
2. 提供更多關於製程中的訊息，以利於進行線上的製程錯誤診斷。

化學機械研磨後清洗

晶片在經過研磨後，必須施以清洗步驟，將研磨液所殘留下來的研磨微粒和金屬離子去除至能符合嚴格的半導體製程規格內，且不影響底層之元件特性。一般清洗的方式可分為兩種方式：

第一種是單片式的刷洗或噴洗；

第二種是整批式的浸泡清洗。

對傳統的氧化物研磨液，因為含有鉀離子，所以如何去除這些鉀離子是最為重要的問題，因為鉀離子在介電層內有著甚高的擴散係數，故對於元件的電性會造成嚴重的威脅。一般在經過 NH_4OH 、 SCl 或 DHF 刷洗後，可達到規格內，鉀離子的濃度可以降低到TXRF的偵測極限以下，故化學溶劑是必須使用的。

而對鎢金屬化學機械研磨而言，必須能同時清洗鎢金屬表面，以及介電層上方的殘餘物，而且在過研磨(Over Polish)時，很容易因為過度的機械應力，而在金屬或氧化層上留下刮痕，所以適當的補拋光(Buffing)製程是必須的，同時拋光時若能添加氧化物研磨液，可大幅降低上述之缺陷數目，再配合 SCl 化學溶劑的清洗，即可以達到規格內。

而對銅金屬化學機械研磨而言，其長期效果則尚處於驗證階段，目前並沒有公認的化學溶劑，不同廠商所使用的化學品差異很大。這方面仍有待進一步的研究與開發。此外，銅與低介電常數材料之清洗問題，亦為一全新之領域。

下一世代之化學機械研磨技術之趨勢與挑戰

雖然自從金屬銅化學機械研磨技術研發成功後，對於化學機械研磨之理論與實務經驗已趨於完備，然而隨著製程技術邁向更微細化所需之技術，在化學

機械研磨技術上仍有許多挑戰。

當製程技術不斷推昇到0.13微米以下時，由於金屬導線間之距離越來越小，因此金屬導線間之電容效應，將影響電子訊號之傳遞速度，而成為提昇元件運算速度的瓶頸。解決這問題的方法便是尋找具有更低介電常數之介電材料，以降低金屬導線之電容效應。當面臨一種新的介電材料，其化學性質及機械性質將與原來的二氧化矽介電層十分不同，因此化學機械研磨所面臨的新挑戰，便在於開發滿足此新材料特性之研磨方法及能力。

以現階段開發之低介電常數材料，其硬度與彈性係數多半只有二氧化矽之10-20%，因此很容易在研磨過程中發生刮傷或剝落，此外如果使用原有之研磨液，其與金屬銅之選擇比亦與二氧化矽有很大之不同，因此如果不開發新的研磨液將無法有效控制製程。在考慮研磨後清洗的製程方面，低介電係數材料通常具有斥水性之表面，一般用以清洗二氧化矽之溶液也因此不適用。

綜合以上之推論，銅製程將仍是未來金屬導線之主流，如何在低介電係數材料的選擇上，金屬銅/低介電係數材料之化學機械研磨技術，及研磨後清洗製程三者適當之搭配，乃當前之最大挑戰。

結 論

化學機械研磨技術在二十世紀末的最後十年，引導半導體製造技術進入了一個新的里程，且目前仍沒有其它技術可取代其全面平坦化的能力，因此未來也將倚賴此技術之進步，帶領半導體科技朝次0.1微米的領域邁進。

參考資料

1. T. Lin, C. Chen, et al., "A Fully Planarized 6-Level-Metal CMOS

Technology for 0.25-0.18 Micron Foundry Manufacturing", Proc. 1997-IEDM, pp. 851-854, 1997.

2. H.C. Chen, C.H. Chen, Y.T. Wei, J.Y. Wu and W. Lur, "Global planarized CMP using conditioning technology", Proc. 4th CMP-MIC, pp. 88-90, 1999.
3. J. Huang, H.C. Chen, J.Y. Wu, and W. Lur, "Investigation of CMP Micro-Scratch in the Fabrication of Sub-Quarter Micron VLSI Circuits", Proc. 4th CMP-MIC, pp. 77-79, 1999.
4. H.C. Chen, M. S. Yang, J.Y. Wu and W. Lur, "The Investigation of Electroplating Deposited Copper Films for Advanced VLSI Interconnection", Proc. 2nd IITC, pp. 65-67, 1999.
5. H.C. Chen, Y.T. Wei, M.S. Yang, and Victor Wang, "Monitoring of Chemical Mechanical Polishing Quality in Shallow Trench Isolation", Accepted and to be published on the 5th CMP-MIC, 2000.
6. H.C. Chen, J.Y. Wu and W. Lur, "New Methods to Determine Endpoint and Real Time Polish Rate for Chemical Mechanical Polishing", Accepted and to be published on the 3rd international Symposium on Chemical Mechanical Polishing in IC Device Manufacturing, 1999.
7. Hung-Wen Chiou, Lai-Juh Chen, and Hsueh-Chung Chen, "On monitoring CMP removal rate by in-situ temperature measurements", Proc. 2nd CMP-MIC, pp. 131-138, 1997.