

金屬薄膜化學機械研磨 技術於多層 嵌入式連線製程之應用

蔡明蒔

國家毫微米元件實驗室

副研究員

本文針對金屬化學機械研磨技術應用於大馬士革製程中，所涉及製程、研磨耗材及研磨參數之最佳化加以論述。

前言

積體電路製作技術之成長，元件線幅持續縮減至深次微米，大幅提昇元件操作速度及積體電路之積集度。伴隨著元件尺寸縮減，後段導線亦必須跟隨微型化且單一層導線已不敷使用，必須建構多層內導線(Interconnect)才足以全部連結。與元件微型化不同，導線傳輸速度會隨其尺寸縮減而更遲緩，即所謂之RC延遲，縮短導線長度可以減少RC延遲，但是必須付出更多層導線結構製作，使得製程複雜度提高致使產率下降，必須更換阻值更低之導線及介電常數更低之介電層。圖一所示即為傳統鋁/二氧化矽導線結構，在0.25微米元件線幅製程以下時，其導線延遲已超出元件操作速度，所以必須更換低電阻率金屬銅為導線及低介電材料介電層($k=2$)，

以克服導線時脈訊號傳輸之瓶頸⁽¹⁾。故低電阻銅導線配合低介電常數介電膜之多層導線結構，已被提出應用於0.18微米元件線幅積體電路製作，如圖二所示⁽²⁾。此外，新材料引入導線結構製作更有低耗電、導線間交互干擾等優點。新材料引入亦衍生新的製程問題，如銅導線製作將面臨不易蝕刻、易於二氧化矽介電層中擴散而破壞底層元件特性，故相對於傳統金屬蝕刻製程及介電膜填充沈積製程，大馬士革金屬嵌入式製程(Damascene Procs)被提出以製作銅導線/低介電常數膜多層導線結構，如圖三所示。其中關鍵性製程包括有：低介電常數介電膜之乾式蝕刻及清洗製程、濺鍍填充銅擴散阻障層及電鍍銅晶種層、銅電鍍製程以及銅化學機械研磨製程(CMP)。

在實際製程中，為了確保金屬導線

溝渠外之所有殘留金屬，含擴散阻障金屬層，皆需被磨除。否則兩金屬導線間將有短路之虞。故必需以過研磨(Overpolish)方式以確保晶片內及整片晶圓上所有之多餘金屬(Overburden Metal)皆被移除。此舉將導致研磨後表面之不平整問題，即金屬導線之淺碟化(Metal Dishing)及介電層之過磨耗(ILD Erosion)，如圖四所示⁽³⁾。金屬導線淺碟化與其線幅大小相關，愈大線寬則其淺碟化程度愈嚴重。而介電層之過磨耗則與金屬導線圖型之密度相關，圖型密度愈大者其磨耗程度愈嚴重。

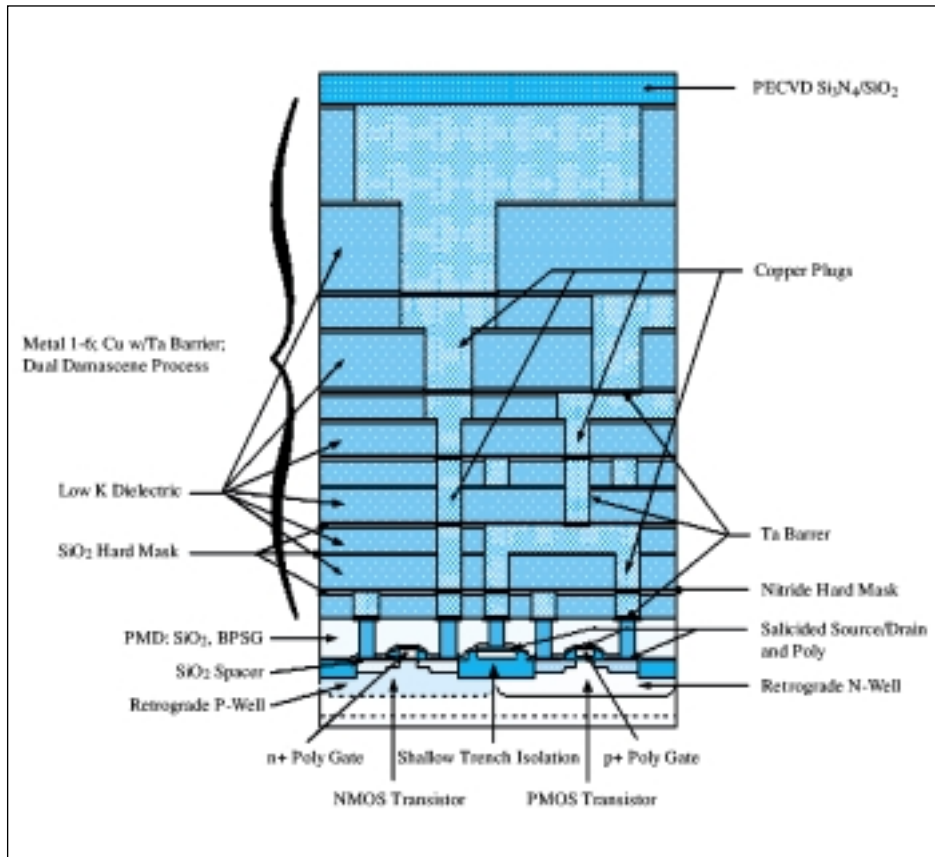
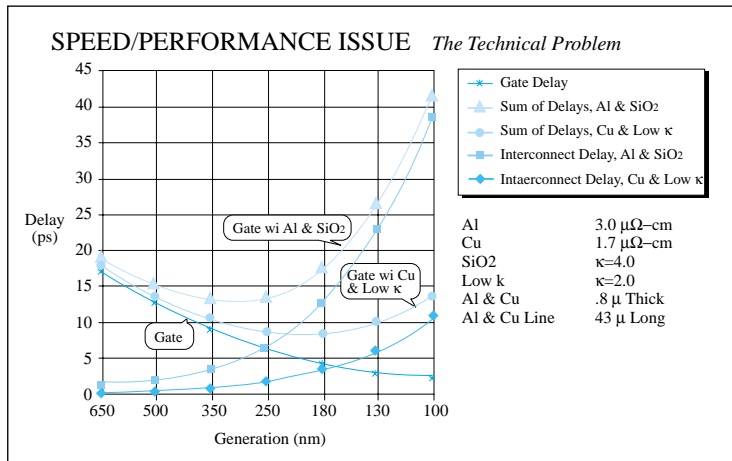
圖五所示為金屬化學機械研磨過程之示意圖。將分三個研磨過程，即表面平坦化(Surface Topography Planarization)、殘餘金屬之磨除(Removal of Overburden Metal)及阻障金屬層之磨除(Removal of Liner Metal)，細分為4個研磨後階段(Stage)來探討。最後以鋁金屬化學機械研

表面平坦化

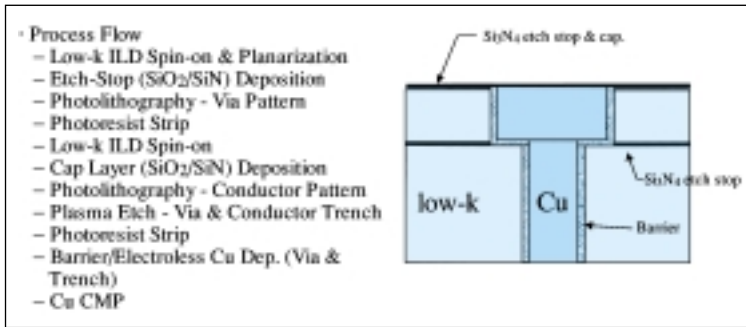
第零階段(Stage 0)為於毯覆性導線金屬及阻障金屬膜沈積之後，金屬表面即有高低起伏之輪廓產生，即圖示中之S1。此時進行CMP會類似於介電層平坦化(ILD Planari-

zation)，在未完全磨除所有導線金屬之前先達全域性之平坦化，達到圖示之第一階段(Stage 1)。此時目視晶圓表面應為所有圖型消失。此時CMP研磨主要之考量為平坦化效能(Planarization Efficiency)，即選擇性移除凸起之落差(S1)，而儘可能不移除窪陷之處(S2)。此平坦化效能需要考慮線路之尺寸及其圖

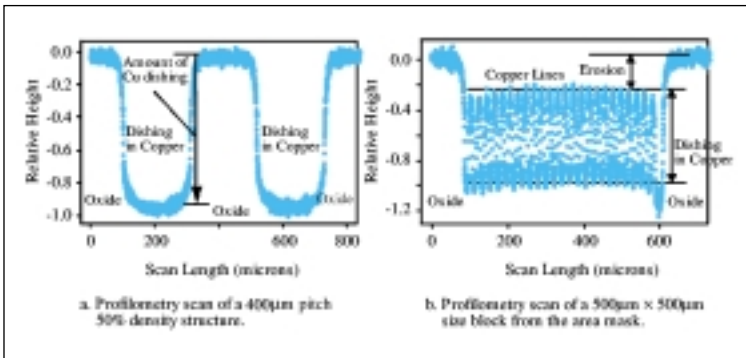
圖一 晶片操作速度，包含元件操作及導線訊號傳輸速度。隨著元件尺寸之微型化而延遲時間增加。必須由傳統之鋁合金/二氧化矽玻璃導線結構更換為銅/低介電常數介質膜結構材料來克服



圖二 以0.18微米元件線幅之五層銅/低介電常數介電膜導線結構之示意圖。其必須以大馬士革製程完成

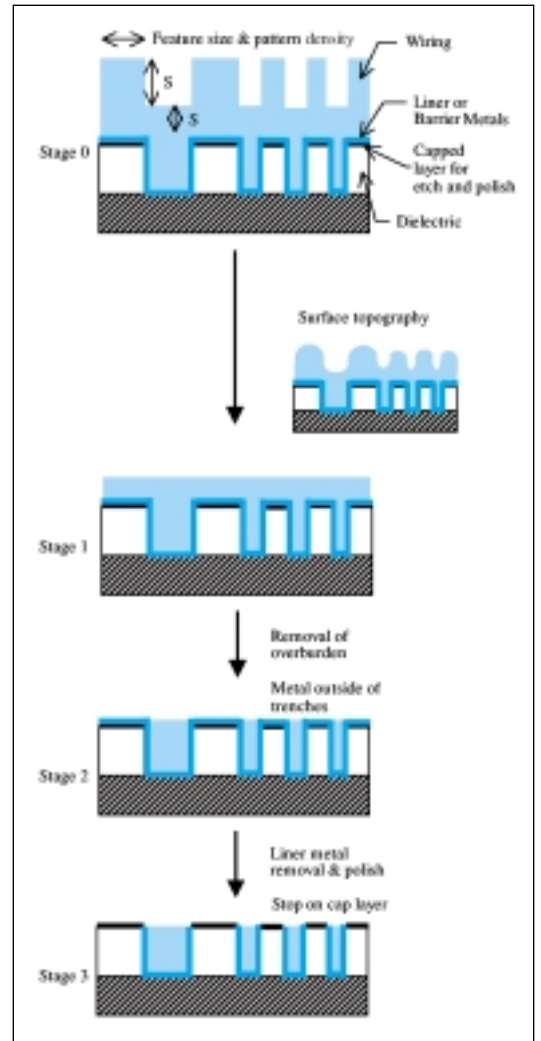


圖三 大馬士革製程流程圖。包含低介電常數介電膜旋塗、蝕刻、清洗製程，銅及阻障層金屬沈積及填充，以及銅化學機械研磨



圖四 金屬導線淺碟化(metal dishing)及介電層過磨耗(ILD erosion)

型密度，其會影響研磨受質上局部區域之研磨應力分佈，造成其磨除率之不同。即線幅尺寸小之移除率高於尺寸大者，而圖型密度低之磨除率高於圖型密度高者。對於此平坦化過程在研磨製程之考量為研磨墊之形變程度，當研磨墊之可形變程度愈大時，不論是垂直或是水平之形變，可預期的是其平坦化效能將降低，如圖六所示。故研磨墊之軟硬及施予之正向研磨應力(Down Force)之大小，將是此階段平坦化過程主要之考量參數，以較小之研磨壓力及較硬（或是不易形變）之研磨墊進行研磨。惟此兩項參數之改變將會降低磨除率，依 Preston Law 欲提昇其磨除率則必須增加研磨之剪向力(Shear Force)，即研磨平台之轉速(Platen Rotation Speed)，但此舉會伴隨研磨不均勻性(Non-uniformity)之增加。故能改以線性之研磨運動方式(Linear Polishing)，如Lam Research之 Teres (tm)線性研磨機，將可有效提昇此



圖五 金屬化學研磨各階段之示意圖

階段研磨之平坦化效能。

另外，此表面高低起伏之大小，視金屬薄膜之沈積方式而改變。以電鍍銅(Electroplating)為例⁽⁴⁾，若以適當之鍍液組成，即控制其平整劑(Leveler)之種類及濃度，使銅沈積屬於“Super Filling”方式，則其表面輪廓將會較為平整，如圖七所示，將有利於此一階段之平坦化效能。

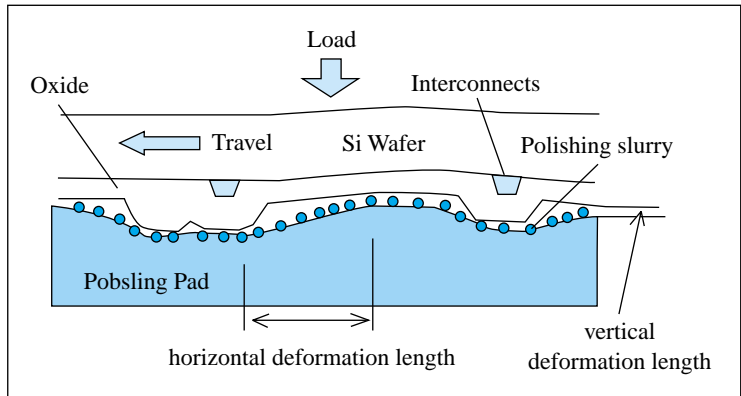
殘餘金屬之磨除

自第一階段後，此時晶圓表面輪廓已為全域性平坦化。故此階段之研磨為均勻地磨除導線溝渠外之多餘導線金屬，直到阻障金屬層上終止。此研磨過

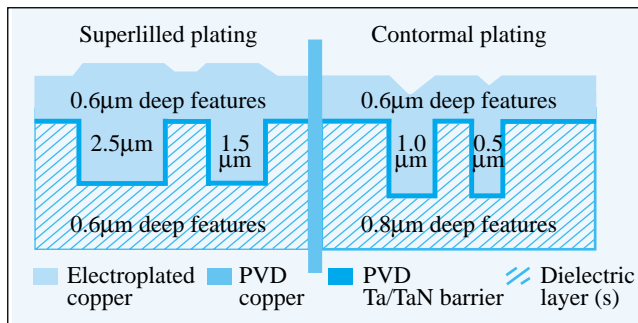
程有兩項重要考量。一是整片晶圓之研磨均勻性(WIWNU, Within Wafer Non-uniformity)。若是研磨均勻性不佳，當研磨至阻障層時，為了確保晶圓上除導線溝渠上外之所有導線金屬皆被磨除，則必需加長過研磨時間(Over-polish Time)。此時晶圓上部份磨除率較快之區域，較大導線線幅處已發生窪陷(Dishing)。二是導線金屬與阻障層金屬之磨除選擇率控制。由於此階段研磨乃由研磨毯覆性導線金屬過渡至研磨大部份區域之阻障層金屬及少部份區域，即導線溝渠上之導線金屬，無論是從研漿組成或是研磨參數之最佳化，欲使其兩者之磨除選擇比為相同是很不可能的。故在此則反求其磨除選擇比增加，即儘可能減少阻障層金屬之磨除率，以求研磨終止於其上。故在此階段之研磨參數，為了顧及其研磨均勻性而非平坦化效能，故加大研磨壓力(Normal Force)而降低平台轉速(Shear Force)。並使用軟質之研磨墊研磨，因其可順應晶圓之翹曲程度(Conformal Touch)而均勻研磨。另外，使用軟質墊之好處為減少導線金屬研磨後之刮傷(Scratch)。磨除選擇率則由研漿組成來控制，藉由研磨粉體及所添加之氧化劑種類及濃度，調整導線金屬之化學腐蝕速率及阻障層金屬之機械磨耗來達成。因為阻障層金屬，如鈦或鈹，於水溶液之氧化環境下易於表面生成穩定緻密之金屬氧化物鈍化層，不易腐蝕溶解。故只要選擇較小之研磨粉體及在軟質研磨墊上研磨，即可降低機械磨耗而使其磨除選擇比達5:1以上。

阻障金屬層之磨除

於第二階段(Stage2)時之晶圓上大部份區域為阻障層金屬，尚有少部份金屬導線溝渠上之導線金屬。此階段為整個研磨過程中最為關鍵所在，不論是金屬導漿之淺碟化或是介電層之過磨耗皆



圖六 晶圓表面輪廓之平坦化過程，主要以研磨時所施加之研磨壓力(正向力)及研磨墊之形變相關



圖七 以不同鍍液組成進行“super-filling或conformal plating)銅電鍍沈積後之表面輪廓會有所不同

由此開始形成。研磨過程由同時研磨大部份阻障層金屬及少部份導線金屬，過渡至研磨大部份硬質介電層(Cap Dielectric)及少部份導線金屬，涉及三種不同區域大小及材質之研磨。故導線金屬、阻障層金屬及硬質介電層之間的磨除選擇比控制是主要之考量。理想之選擇比控制為儘可能提升阻障層金屬之磨除率，而儘量抑制導線金屬及硬質介電層之磨除。但如前所述，阻障層金屬之磨除主要依賴機械性磨耗，故若將研磨環境改變為機械性磨耗時(即抑制化學腐蝕或溶解反應)時，磨除率將取決於被研磨受質之硬度。而導線金屬(如銅、鋁合金)之硬度皆小於阻障層金屬(鈦或鈹)，而介電層硬度雖大於阻障層金屬，但相差不遠。故在研磨終點(Polish End-point)時，些許之過研磨即會造成金屬導線之淺碟化及介電層磨耗。故於實際研磨可達之最佳選擇比應為導線金屬

表一 二步驟鋁合金化學機械研磨用漿料組成

Polish step	Acid	pH buffer	pH	Oxidizer	Abrasive	Solid content
1st	5% H ₃ PO ₄	0.1M Citric acid/KOH	2	3% H ₂ O ₂	0.3μm Al ₂ O ₃	5 wt.%
2nd	-	0.1M Citric acid/KOH	6	5% H ₂ O ₂	0.05μm Al ₂ O ₃	3wt.%

表二 二步驟鋁合金化學機械研磨之研磨參數及磨除選擇比

Polish step	Down Force/Back pressure (psi)	Platen/Carrier speed (rpm)	Pad	Al R.R. (nm/min)	Ti R.R. (nm/min)	TiN R.R. (nm/min)	Oxide R.R. (nm/min)
1st	5/2	60/65	Rodel Politex Reg. E.	434	199	117	22
2nd	5/2	45/42	Rodel Politex Reg. E.	40	191	195	7

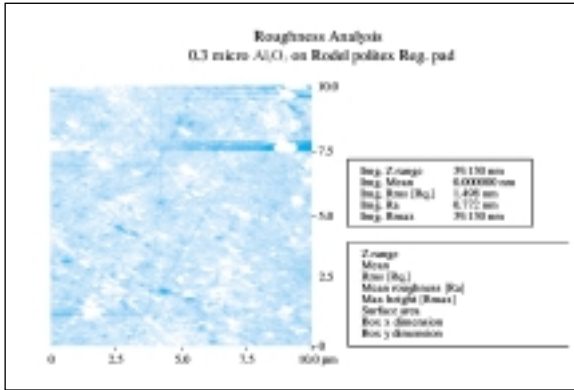
磨除率約等於介電層而小於阻障層金屬。選擇率控制仍主要由研漿組成來完成，在之後Al-CMP實例中會介紹藉由研漿pH值及化學助劑磷酸之添加，來改變鋁銅合金及鈦金屬之研磨選擇比。此研漿料組成對於以控制金屬腐蝕行為來達成不同材質間之選擇比，涉及複雜之金屬氧化還原電化學反應，本文限於篇幅無法詳細描述，可參考作者之前相關論文⁽⁵⁾。研磨墊之選擇仍以軟質墊為佳，乃顧及研磨後金屬及介電層表面刮傷及粗度(Roughness)降至最低。研磨參數則以降低研磨壓力、增加平台轉速為宜，此考量為針對介電層之磨耗，因為圖型密度愈大之區域，介電層所佔面積較小，故此有效研磨正向壓力較大，造成快速磨耗。故減低研磨壓力，可以減緩高密度區之介電層磨耗。

鋁合金化學機械研磨實例

上述之金屬化學機械研磨過程在實際應用時，會因金屬材料特性而有所調整。本例為鋁合金嵌入式製程於

IPEC/Westech 372M研磨機上之實作。由於鋁金屬不若鎢或銅金屬硬（楊氏模數分別為 7.06×10^{-11} , 4.11×10^{-10} , 1.3×10^{-10} dyn/cm²），故在研磨時非常容易造成刮痕之表面損傷。在第一階段平坦化研磨時，若使用硬質研磨墊如Rodel IC1400，將造成鋁金屬之嚴重刮傷。故在此例中選用軟質研磨墊如Rodel Politex Reg. E，進行第一階段研磨。此例中鋁合金之沈積方式為熱鋁濺鍍回流製程(450°C)，目的是為了增進鋁合金之填充能力(Gap-filling)，伴隨著熱回流後，鋁金屬表面之高低差將減少(Smooth)，故平坦化的要求就不是那麼嚴苛。所以與接續第二階段殘餘金屬磨除合併成單一之研磨步驟。所使用之漿料組成如表一所示之第一步驟，使用磷酸為化學助劑及降低研漿pH為2，以利鋁表面氧化鈍化層Al₂O₃之溶解，並使用較大粒徑(0.3μm)之三氧化二鋁粉體。使用此研漿組成配合表二所列之研磨參數，5psi研磨壓力及60rpm平台轉速，鋁合金之磨除率可達430nm/min，而阻障層金屬Ti及TiN之磨除率分別為199及117nm，而二氧化矽介電層之磨除率為22 nm/min。由於做用較大粒徑粉體進行研磨，故必須考量其研磨後之表面刮傷問題，圖八所示為其AFM表面粗度量測，顯示其無刮傷之問題且表面粗度Ra小於1nm。此顯示在軟質墊上研磨可以大幅減少金屬刮傷問題，即使使用較大粒徑之研磨粉體。

第二步驟之研磨，主要為磨除大部份晶圓表面之阻障層金屬Ti及TiN，並研磨終止於二氧化矽介電層上。故研漿組成需改變以精確控制鋁合金、鈦與氮化鈦及二氧化矽之磨除選擇比。如表一之第二步驟所列，不加入磷酸助劑於漿料中及調整研漿pH於微酸6，此時鋁合金之磨除率可以大幅被抑制為40nm/min。而阻障層金屬鈦及氮化鈦之磨除率並無



圖八 以0.3 μm 三氧化二鋁粉體於軟質墊Politex上進行鋁合金研磨後之AFM圖。顯示無刮傷及光滑表面

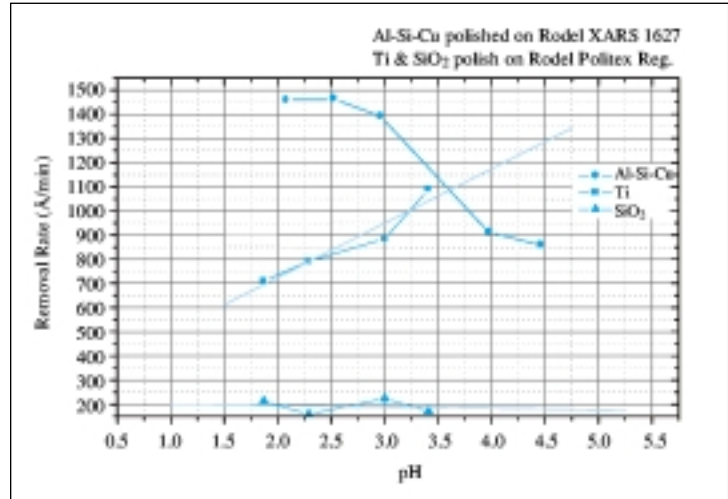
太大改變，為191及195 nm/min，二氧化矽介電層之磨除率仍甚低小於10 nm/min。故藉由研漿組成之改變，主要是其pH值，以降低鋁合金之磨除率，如圖九所示。可以有效降低此步驟所造成之金屬淺碟化，如圖十所示，經過此兩階段之研磨後，表面極為平整，無金屬淺碟化或是介電層過磨耗之問題。

結語

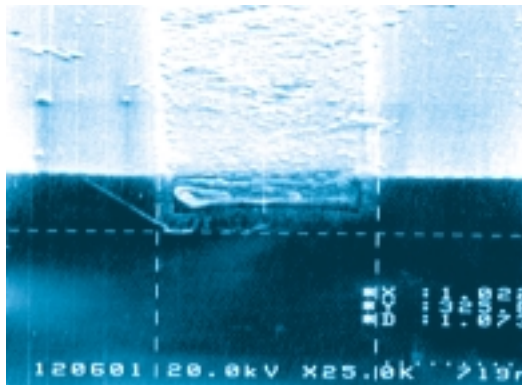
金屬化學機械研磨為金屬嵌入式大馬士革製程中為關鍵之製程。相較於介電層平坦化製程(ILD Planarization)，其涉及了更複雜之不同研磨受質間磨除選擇比控制。研磨耗材，如研磨漿料組成及研磨墊之選用為最重要研磨考量。分階段式研磨以精確控制研磨過程中之平坦化、金屬磨除及研磨終止於介電層上，是必需之製程設計。故金屬化學機械研磨製程適用於多平台設計之研磨機(Multi-platen Polisher)，且配合線性研磨運動方式以增進其研磨均勻性會更佳。

參考文獻

1. M. T. Bohr, Proceedings of the 1995 IEEE International Electron Devices Meeting, pp.241-242, (1995)
2. 1999 ITRS Roadmap.



圖九 改變研漿之pH值進行鋁合金、鈦及二氧化矽研磨。其中鋁合金之磨除率隨pH增加而下降



圖十 經二步驟研磨後之嵌入式鋁合金導線剖面SEM圖。無金屬淺碟化及介電層過磨耗問題

3. T. Park, T. Tugbawa, J. Yoon, D. Boning, J. Chung, R. Muralidhar, S. Hymes, Y. Gotkis, S. Alamgir, R. Walesa, L. Shumway, G. Wu, F. Zhang, R. Kistler, J. Hawkins, "Pattern and Process Dependences in Copper Damascene Chemical Mechanical Polishing Processes", 1998 VMIC, June 16-18, p.203.
4. Donald DeBear, Joseph Levert, Syhama Mukherjee; "CMP: Spin-etch planarization for dual damascene interconnect structures", Solid State Technology, March 2000, Vol. 43, No.3, p53.
5. 蔡明詩, "化學機械研磨漿料簡介", 電子月刊, 1999年元月號, 第42期, 140頁。