

全新、可靠性高之 晶圓級晶片尺寸封裝

◆ 仲鎮華

眾晶科技股份有限公司

執行副總經理

本報告中將對低消耗性、高可靠度的晶圓級晶片尺寸封裝(WLCSP)做一番探討。

WLCSP包含一個銅導體層以及兩個低成本介電層；

凸塊結構則包括低融點錫(Eutectic Solder)、銅核心(Copper Core)以及金屬埋層。

隨溫度變化的非線性有限元素分析可用以決定WLCSP封裝時的最佳錫接合點(Solder Joint)幾何形狀。

最佳化錫接合點的導熱疲乏壽命則可由潛變分析及線性疲乏破裂成長率理論預測。

WLCSP的錫凸塊(Solder Bump)需能承受剪應力測試，而封裝則需承受週期測試。

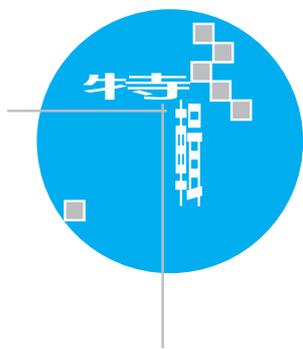
簡介

晶片直接黏著技術(DCA)，例如錫球凸塊覆晶黏著於印刷電路板(PCB)，是封裝技術中最合乎成本效益的一種^[1-5]。然而由於矽晶與樹脂PCB間的熱膨脹率不相等，為了錫接合點的可靠性考量，點膠(Underfill)通常是必須的^[6]，但點膠也使得製造成本增加且產量減少^[7-10]。此外，重工PCB上的覆晶點膠是相當困難的。此點使得複雜性的 Known Good Die (KGD)相關問題被提出。

DCA目前尚未被廣泛採用的另一個原

因為，晶片上周緣陣列的焊墊腳距及尺寸非常小，此對於PCB板而言是相當嚴苛的。目前，以增層(Build-up)式方法製造電路與微細孔徑的高密度，及細銅線走線寬度和細銅走線間距之PCB，並不容易以合理的花費取得，因此具有低成本、高效率表現的電子封裝技術是必要的。

晶圓級晶片尺寸封裝(WLCSP)^[11-15]對這些問題提出了解決之道。大部分WLCSP的特點為採用金屬層來重分配，將非常細小的晶片上周緣陣列鋁墊的間距，擴大到接合於PCB板時焊接所需較大的面陣列焊墊。因此藉由WLCSP，對於



PCB的嚴苛需求則可減緩，點膠也可省去，KGD爭論點也較為簡單。

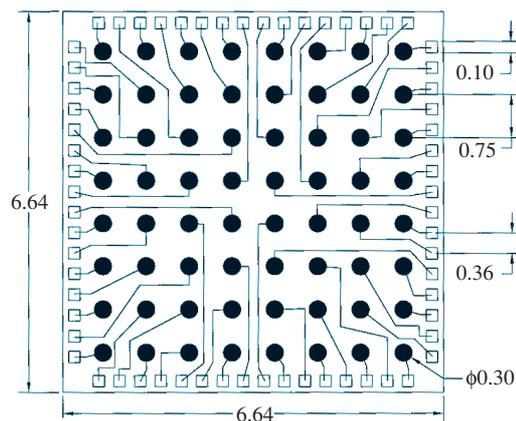
文中所討論的是不同以往的WLCSP，它由一銅薄層以及一些低成本介電層所組成。凸塊幾何形狀需考慮SMT時Sn/Pb的配合度及晶片上UBM(Under Bump Metallurgy)的銅核心大小。最佳化結構是透過隨溫度變化的非線性有限元素的研究取得。最佳化錫接合結構則是由潛變分析以及經驗公式預測得知。而經由樣品的截面則可更有助於瞭解重分配、UBM、銅核心及錫接合點。

有限元素模型(Finite Element Modeling)

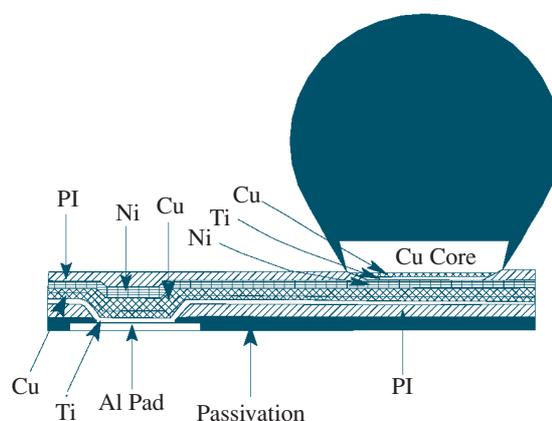
圖一所呈現的是一個正方形晶片(6.64mm × 6.64mm)內含64個分佈於四周陣列的焊墊(Pad)上。焊墊的尺寸為0.1mm × 0.1mm，而腳距(Pitch)尺寸為0.36mm。在晶圓的上方加上一層金屬，則晶片上細腳距的周緣陣列式焊墊能被分配到較大腳距的面陣列式焊墊。這裡所採用的腳距是0.75mm，而焊墊尺寸為直徑0.3mm。

圖二所呈現的是重分配的細節，它的主要製程步驟將在第五段中談到。我們可以看出63/37 Sn/Pb比的錫球凸塊是由銅核心所支撐，此銅核心下有Cu/Ni的重分配層、更下面有Cu/Ti的UBM層。重分配的金屬層是由Cu/Ni所組成。在此一研究中，變數為銅核心高度(H=A, B, C, D, and E, 從低到高)以及錫接合點高度(S=X(低) and Y(高))，見表一。

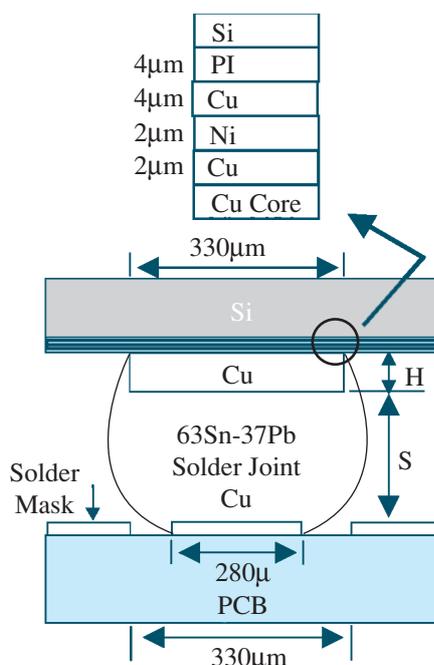
WLCSP的封裝詳細尺寸見圖三。常用的商業版有限元素分析軟體ANSYS 5.5版可用以研究目前的問題。其模型是使用8-node的平面應變元素所建立的二維模



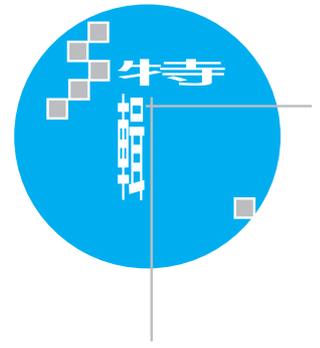
▲圖一 WLCSP封裝上的週緣陣列晶片



▲圖二 WLCSP的結構性截面



▲圖三 WLCSP錫接合點的典型結構



表一 Maximum von Mises stress and equivalent plastic strain at the corner solder joint of the WLCSP PCB assemblies

| | von Mises Stress (MPa) | | Equivalent Plastic Strain (%) | |
|-----|------------------------|-------|-------------------------------|--------|
| | S=X | S=Y | S=X | S=Y |
| H=A | 44.51 | 43.79 | 0.0145 | 0.0142 |
| H=B | 44.30 | 40.29 | 0.0144 | 0.0129 |
| H=C | 41.77 | 40.00 | 0.0135 | 0.0127 |
| H=D | 41.44 | 39.71 | 0.0133 | 0.0126 |
| H=E | 40.32 | 39.28 | 0.0129 | 0.0125 |

表二 Material properties of the WLCSP PCB assemblies

| Material Properties | Young's Modulus (GPa) | Poisson's Ratio (ν) | Thermal Expansion Coefficient (α) ppm/ $^{\circ}$ C |
|---------------------|-----------------------|---------------------------|--|
| FR4 Substrate | 22 | 0.28 | 18.5 |
| Copper | 76 | 0.35 | 17 |
| 63Sn-37Pb Solder | See note | 0.4 | 21 |
| Polyimide | 8.3 | 0.33 | 3 |
| Silicon Chip | 131 | 0.3 | 2.8 |
| Solder Mask | 6.9 | 0.35 | 19 |
| Ni | 20.5 | 0.3 | 12.3 |

Note: Young's modulus as well as stress-strain relationships of solder are temperature-dependent

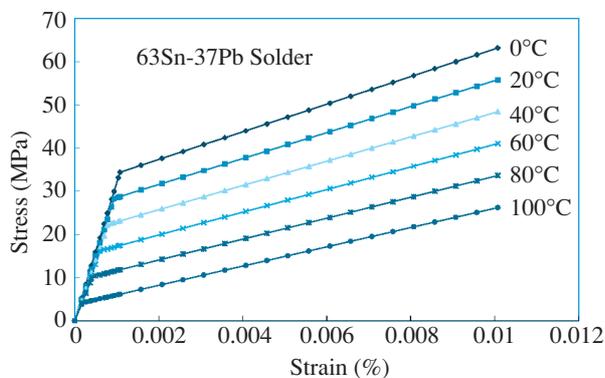
型。另還需注意到的是所有的封裝結構如晶片、鋁墊、聚亞醯胺、保護層、UBM、鎳薄層、銅薄層、錫接合、銅核心、銅墊以及光罩等參數，都被建立在此有限元素分析法中。此外，由於封裝結構是相互對稱的，所以只需考慮截面的一半。

Temperature-Dependent Elasto-Plastic Parametric Studies

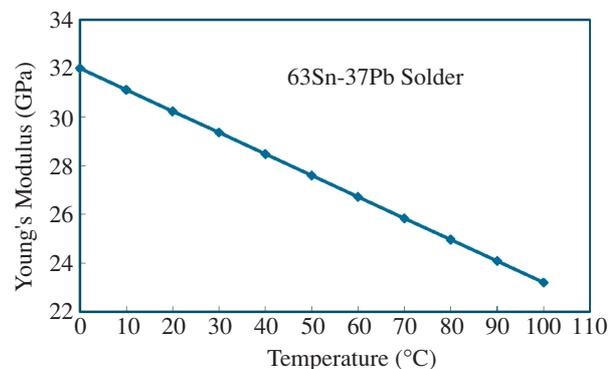
用在計算模型上的材質如表二所示。此部份的偵測儀器是用來檢測銅核心高度，及錫接合點高度在錫接合點穩定性上（錫接合點最佳化結構的參數研究）的影響。除了低融點錫(63Sn-37Pb)是隨溫度而變的彈塑性體材料外，其他的成分都是直線彈性體材料。圖四及圖五分別顯示低融點錫的楊氏係數 (Young's Modulus)以及應力應變(Stress-strain)關係。參數研究的溫度負載情形則如圖六所示。

WLCSP封裝的典型變形如圖七所示。由圖中可得知最大的變形（主要由剪應力所造成）出現在角落的錫接合點，造成原因為晶片與印刷電路板間的熱膨漲率不相等以及持續上升的溫度。

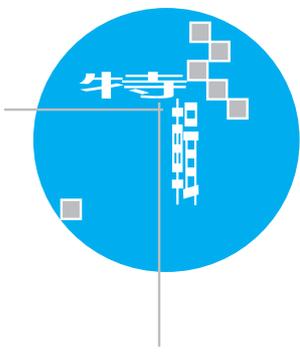
最大Von-Mises 應力和累積之等效彈性應變範圍出現在錫接合點角落，其等高



▲圖四 低融點錫剪應變曲線圖



▲圖五 低融點錫的楊氏係數曲線圖



線分佈見圖八、圖九。由圖中得知錫接合點角落的最大值位於銅核心左下角與錫接合點的角落界面上，其大小詳見表一。由表一可得知：

- (1)最大Von-Mises應力對所有研究案而言是很小的(<45MPa)
- (2)累積等效彈性應力也很小(<1.5%)
- (3)銅核心高度越高，剪應變越小
- (4)錫接合點的高度越高(S)，剪應變越小

造成(1)(2)兩點的原因為大量的錫接合點防止了晶片與印刷電路板間的熱膨脹率不相等所造成的變形。而(3)(4)兩點是就依附性來說，錫接合點的高度是越高越好。

事實證明，較大的錫接合點有助於熱疲勞可靠性。但晶片上巨大的錫凸塊製造

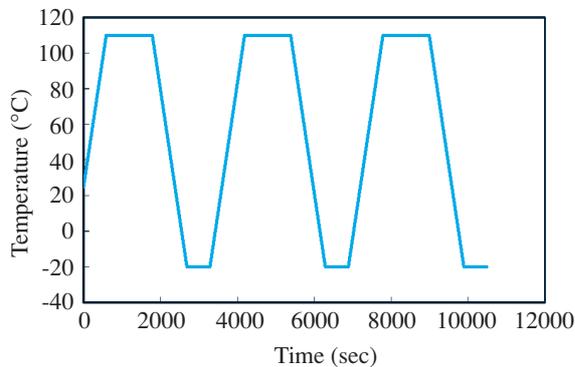
成本很高。舉例來說，以電鍍法而言，需要厚光阻、較長的電鍍時間、較多的材料、較長光阻剝除時間及蝕刻時間，這些都是高成本的消費。所以在此一研究中所採用的是結合H=C、S=Y組合來作為最佳幾何形狀(表一)，即使分析結果中H=B是最適當的。就費用而言，H>C是不考慮的。但剪應變在錫接合點高度上有所改進，所以S=Y被列入選用。

隨著時間及溫度變化的潛變分析

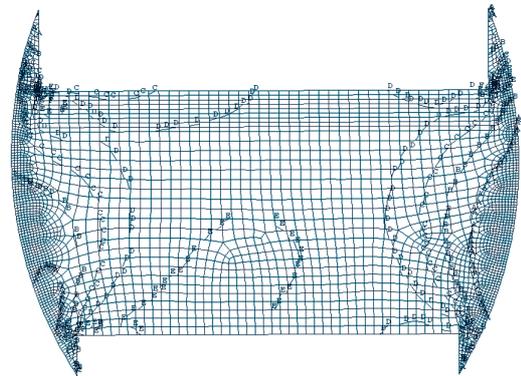
Garofalo-arrhenius 穩態潛變如下所示^[17]。

$$\frac{d\gamma}{dt} = C \left(\frac{G}{\theta} \right) \left[\sinh \left(\omega \frac{\tau}{G} \right) \right]^n \exp \left(\frac{-Q}{k\theta} \right) \quad (1)$$

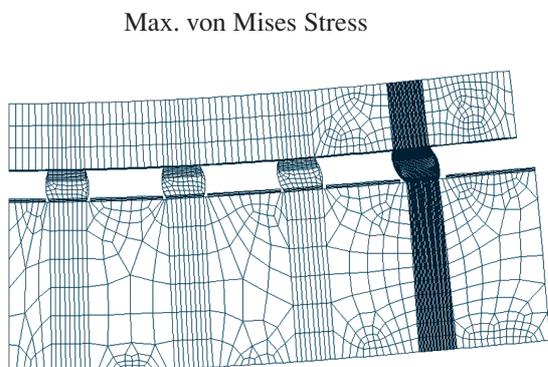
γ 是穩態潛變剪應變， $d\gamma/dt$ 是穩態潛變剪應變率， t 是時間， C 是材質常數， G



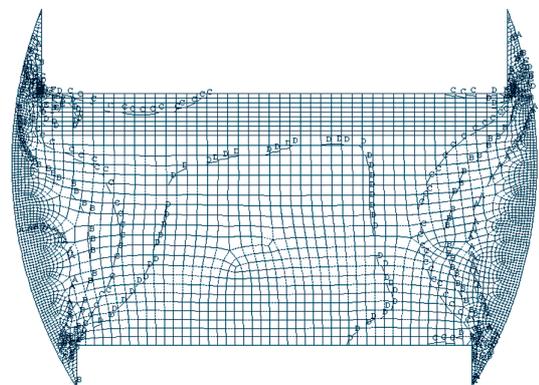
▲圖六 模型及熱週期測試的溫度曲線圖



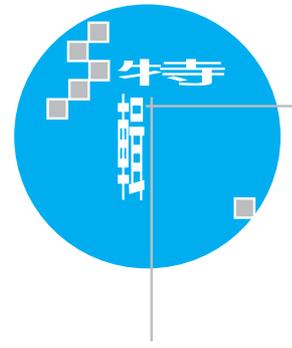
▲圖八 錫接合點角落的最大Von Mises應力分布圖



▲圖七 WLCSP的變形圖

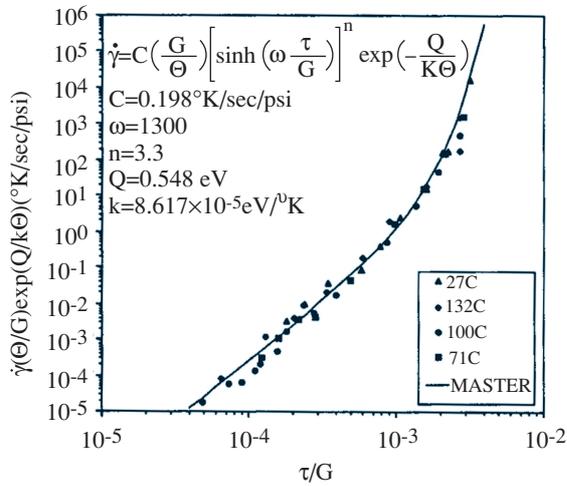


▲圖九 錫接合點的最大等效彈性應變分佈圖



是隨溫度變化的剪應力係數， θ 是絕對溫度(K)， ω 是應力指數，其值是隨應力， τ 是剪應變， n 是剪應力指數， Q 是特定擴散

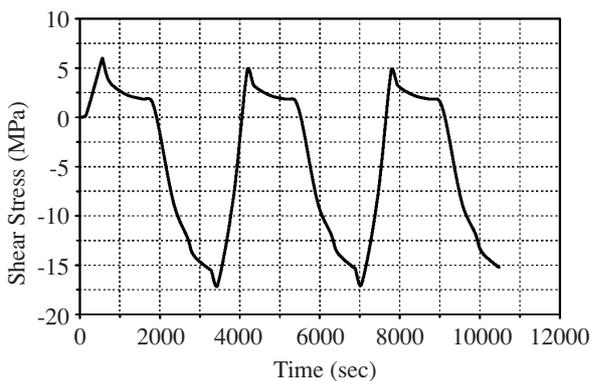
機械上的活化能，而 k 是Boltzmann 常數。對於60/40之錫/鉛比之錫球而言，其材料常數是Darveaux及Banerji^[18]經由實驗中決定之sinh函數，如圖十所示。



▲圖十 根據低融點錫球之潛變變形所導出之控制方程式

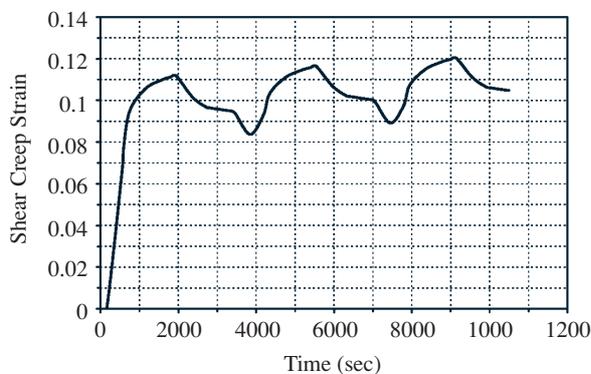
WLCSP 的封裝溫度如圖六所示。由圖中可得知每個週期（60分鐘）溫度介於-20°C與110°C，由-20°C爬升至110°C，或由110°C降低至-20°C皆需時15分鐘，並在110°C停留20分鐘，在-20°C停留10分鐘，共有三個週期。

變形的形狀與彈塑性分析類似。最大剪應力以及潛變剪應變遲滯反應的位置，位於銅核心左下角和錫接合點的界面接合點上。



▲圖十一 Time-dependent shear stress at the maximum location of the corner solder joint

對於與時間有關的分析中，研究多次回復反應直至回復路徑一段是相當重要的。剪應力及潛變剪應變的最大位置分別如圖十一、圖十二所示。圖十三所示為剪應力及潛變剪應變在不同週期上的遲滯曲線，可以看出潛變剪應變在第一個週期過後，變得很穩定。圖十三所示為潛變剪應變能量密度最大的經過時間。每個週期(ΔW)的平均潛變剪應變能量密度可以由最後兩個週期的潛變剪應變能量密度平均所算出，也就是 $0.68 \text{ N/mm}^2 = 98.8 \text{ psi}$ 。



▲圖十二 Time-dependent shear creep strain at the maximum location of the corner solder joint

只要有(ΔW)，那麼熱疲勞破裂醞釀壽命便可由下列公式得知(Darvezux Equation (13.35) of^[18])

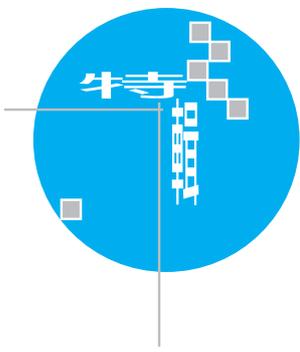
$$N_o = 7860 \Delta W^{-1} = 80 \text{ cycles} \quad (2)$$

根據線性熱疲勞破裂成長率理論，而提出的熱疲勞破裂傳遞壽命(N) 可由下列公式預測出((Darveaux) Equation (13.36) of^[18])

$$da/dN = 4.96 \times 10^{-8} \Delta W^{1.13} \quad (3)$$

or

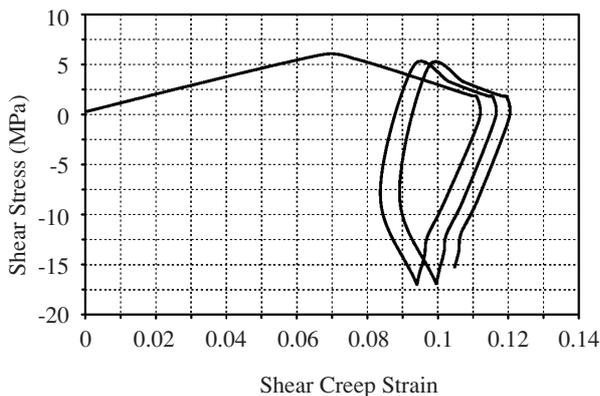
$$N = N_o + (a_f - a_o) / (4.96 \times 10^{-8} \Delta W^{1.13}) \quad (4)$$



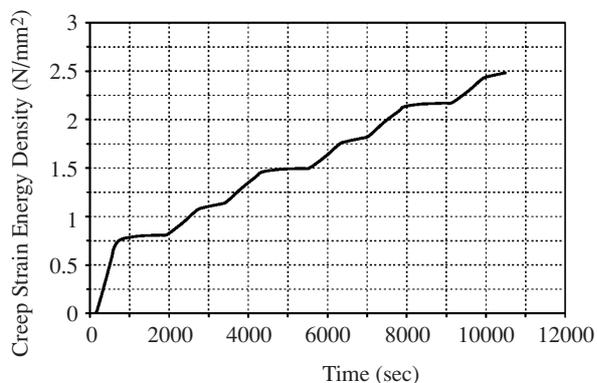
當 a 為錫接合點的破裂長度時， a_0 則為最初破裂長度，假設值為0； a_f 為最後破裂長度。為了決定 N ，必須選擇 a_f 。舉例說明，假設 $a_f = 0.364\text{mm}$

(錫破裂經過銅核心的底部附近)，那麼 $N=1690$ cycles。換句話說，假設 $a_f = 0.387\text{mm}$ (錫破裂經過銅核心的對角線，也就是從晶片上銅核心的左下角及錫接合點的介面，到PCB上銅墊的右上角及錫接合點介面)，那麼 $N=1791$ cycles。

需指出的是，在老舊的熱疲勞壽命有限元素分析軟體中，數值積分誤差可能高



▲圖十三 Hysteresis loops of the shear stress and creep shear strain at the maximum location of the corner solder joint



▲圖十四 Time-dependent creep strain energy density at the maximum location of the corner solder joint

達16%^[19]。1999年7月初與Darveaux先生的私人會談中，他曾指出此方程式的最新版本將在近期內出版。

WLCSP晶圓凸塊技術、凸塊高度及凸塊強度測量

圖二將簡單說明現代WLCSP的晶圓凸塊形成的主要步驟。首先，8吋晶圓是以超音波清洗。

步驟一：將聚亞醯胺旋轉披覆在晶圓上，且待其硬化一小時，此時將在晶圓上建立起4~5 μm 厚的聚亞醯胺層。

步驟二：應用光阻及光罩，然後利用微影技術（對準及感光）來打開鋁墊上的孔徑。

步驟三：蝕刻想要的孔徑

步驟四：剝除光阻

步驟五：將Ti及Cu噴覆在整個晶圓上

步驟六：應用光阻及光罩，之後再利用微影技術將重分配的孔徑打開。

步驟七：電鍍Cu

步驟八：電鍍Ni

步驟九：同步驟四

步驟十：蝕刻Ti/Cu

步驟十一：同步驟一

步驟十二：應用光阻及光罩，然後使用微影技術將所需要長凸塊的鋁墊區打開，並覆蓋重新分佈的銅走線。

步驟十三：同步驟三

步驟十四：同步驟四

步驟十五：同步驟五

步驟十六：應用光阻及光罩，之後再利用微影技術將凸塊墊上的孔徑打開，藉此擴大與UBM的接觸區域。

步驟十七：電鍍銅核心

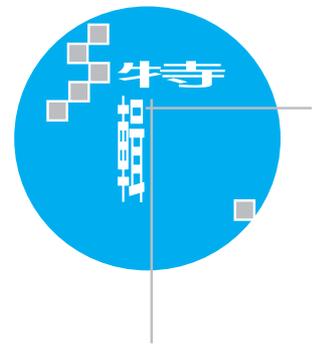
步驟十八：電鍍63Sn-37Pb 低融點錫

步驟十九：同步驟四

步驟二十：同步驟十

步驟二十一：回焊低融點錫

圖十五所呈現的是一典型WLCSP凸



塊的截面

例子中的銅核心高度以及錫凸塊高度都經過測量，結果如圖十六所示。可以看出銅核心及錫凸塊的平均高度都很規則。

WLCSP的錫凸塊在下列情況下將受制於剪應力測試：

- (1) 剪力刀片 (Shear Blade) 的速度為 $100 \mu\text{m}/\text{sec}$
- (2) 推板頂部離晶片表面的距離為 $100 \mu\text{m}$ 。

結果請見圖十七。由圖中可得知錫凸塊的平均剪應力強度為 404gf 。失敗位置在錫凸塊上，且裂縫表層主要是由剪應力所造成。

WLCSP PCB 封裝以及熱週期測試

WLCSP在PCB上的組裝是以標準的SMT回焊製程技術在有機基板上封裝。WLCSP封裝的典型截面，以及重分配層細節和UBM細節請見圖十八。由圖中可看出，以聚亞醯胺保護的重分配線路是由鋁墊上的Ti/Cu所支撐。在凸塊處的結構為，錫球下依序為銅核心、UBM和Ni/Cu（重分配線路）。採用最佳錫接合點設計的WLCSP組裝已受測於如圖六所示的熱週期測試溫度曲線圖，在撰寫本報告時，超過一千個週期的錫接合點測試都進行成功，而此項測試目前仍持續進行中。

結論

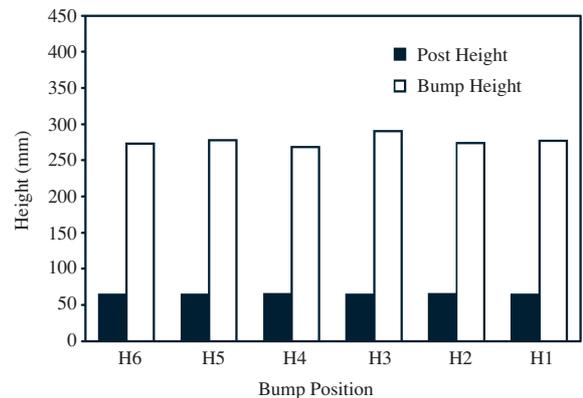
本研究所討論的是一全新、可靠性高的WLCSP。它是由一Cu/Ni 傳導層及兩層絕緣聚亞醯胺層所組成。錫接合點的幾何形狀包含SMT相容低融點錫以及重分配Ni/Cu支撐墊上的銅核心，此焊墊是以Ti/Cu作為UBM。

藉著隨溫度而變化的非直線有限元素分析，並以銅核心高度及錫接合點高度為變數，最佳的錫接合點幾何形狀於是可決定出來。

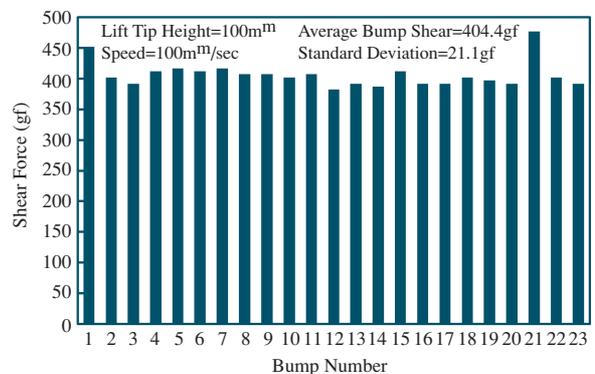
WLCSP封裝的錫接合點熱疲勞壽命可藉由隨時間而變化的潛變分析，及Darveaux經驗公式預測得知。可以發現的是WLCSP最佳化錫

接合點的熱疲勞壽命超過1690個週期（每個週期60分鐘，溫度介於 -20°C 與 110°C 之

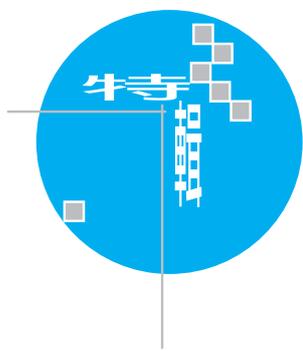
► 圖十五 WLCSP solder bump



▲ 圖十六 WLCSP凸塊高度以及銅核心高度



▲ 圖十七 WLCSP錫凸塊的剪應力測試結果



間，由-20°C爬升至110°C或由110°C降低至-20°C皆需時15分鐘，並在110°C停留20分鐘，在-20°C停留10分鐘)。此溫度狀況適合絕大多數的操作狀

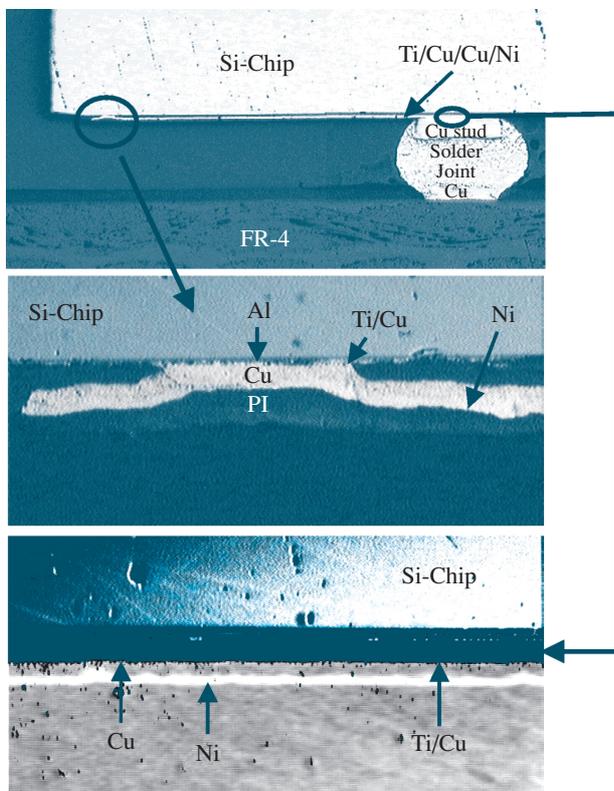
態。

WLCSP晶圓凸塊成形的主要製程也在此研究報告中簡要的介紹給讀者。凸塊高度以及凸塊強度是經過測量，凸塊剪應力的強度為404 gf，此一強度比過去的覆晶錫凸塊強度（剪應力~50 gf）要大。

WLCSP在PCB上的組裝已通過熱週期測試，每個週期為60分鐘，溫度介於-20°C與110°C之間。目前已通過1000 cycles的測試，同時測試還在繼續進行中。

感謝

感謝Dr. John Lau, Chien Ouyang and

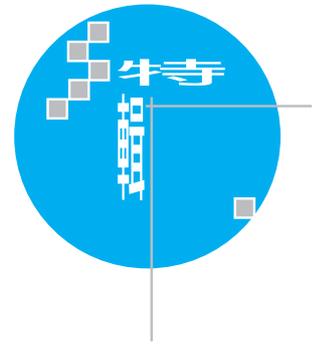


▲圖十八 Cross sections of WLCSP PCB assembly

Chris Chang (Express Packaging System, Palo Alto, CA), Dr. Ricky Lee (Hong Kong University of Science & Technology) and C.S. Ho以及T.C. Wang (APTOS Corporation, Milpitas, CA) 對此一研究報告的具體貢獻。

參考資料

1. Tsukada, Y., Y. Mashimoto, T. Nishio, and N. Mii, "Reliability and Stress Analysis of Encapsulated Flip Chip Joint on Epoxy Base Printed Circuit Board", Proceedings of the 1st ASME/JSME Advances in Electronic Packaging Conference, Milpitas, CA, April 1992, pp. 827-835.
2. Guo, Y., W. T. Chen, and K. C. Lim, "Experimental Determinations of Thermal Strains in Semiconductor Packaging Using Moire Interferometry", Proceedings of the 1st ASME/JSME Advances in Electronic Packaging Conference, Milpitas, CA, April 1992, pp. 779-784.
3. Tsukada, Y., S. Tsuchida, and Y. Mashimoto, "Surface Laminar Circuit Packaging", Proceedings of IEEE Electronic Components & Technology Conference", San Diego, CA, May 1992, pp. 22-27.
4. Powell, D. O., and A. K. Trivedi, "Flip-Chip on FR-4 Integrated Circuit Packaging", Proceedings of IEEE Electronic Components & Technology Conference", Orlando, FL, June 1993, pp. 182-186.
5. Tsukada, Y., "Solder Bumped Flip Chip Attach on SLC Board and Multichip Module", in Chip On Board Technologies for Multichip Modules, edited by J. H. Lau, Van Nostrand



- Reinhold, New York, NY, 1994, pp. 410-443.
6. Lau, J. H., and Y.H. Pao, Solder Joint Reliability of BGA, CSP, Flip Chip, and Fine Pitch SMT Assemblies, McGraw-Hill, New York, NY, 1997.
 7. Wong, C. P., S. H. Shi, and G. Jefferson, "High Performance No Flow Underfills for Low-Cost Flip-Chip Applications" , Proceedings of IEEE Electronic Components & Technology Conference" , San Jose, CA, May 1997, pp. 850-858.
 8. Wong, C. P., D. Baldwin, M. B. Vincent, B. Fennell, L. J. Wang, and S. H. Shi, " Characterization of a No-Flow Underfill Encapsulant During the Solder Reflow Process" , Proceedings of IEEE Electronic Components & Technology Conference" , Seattle, WA, May 1998, pp. 1253-1259.
 9. Lau, J. H., C. Chang, and O. Chien, "SMT Compatible No-Flow Underfill for Solder Bumped Flip Chip on Low-Cost Substrates" , Journal of Electronics Manufacturing, Vol. 8, Nos. 3 & 4, December 1998, pp. 151-164.
 10. Thorpe, R., and D. F. Baldwin, "High Throughput Flip Chip Processing and Reliability Analysis Using No-Flow Underfills" , Proceedings of IEEE Electronic Components & Technology Conference" , San Diego, CA, June 1999, pp. 419-425.
 11. Elnius, P. and H. Yang, "The Ultra CSP Wafer-Scale Package" , High-Density Interconnect, Vol. 1, No. 6, October 1998, pp. 36-40.
 12. Hou, M., "Wafer Level Packaging for CSPs" , Semiconductor International, Vol. 21, No. 8, July 1998, pp. 305-308.
 13. Baba, S., Y. Tomita, Matsuo, H. Matsushima, N. Ueda, and O. Nakagawa," Molded Chip Scale Package for High Pin Count", Proceedings of the IEEE Electronic Components & Technology Conference, May, 1996, pp. 1251-1257.
 14. Chung, T., and I. Yee, "Wafer Level Packageing Technology", Semiconductor Packaging Symposium-West 99, Session3, pp. A1-A5.
 15. Lau, J. H., S. W. Lee, Chip Scale Package, Design, Materials, Process, Reliability and Applications, McGraw-Hill, New York, NY, 1999, pp. 455-555.
 16. Lau, J. H., Solder Joint Reliability: Theory and Applications, Ven Nostrand Reinhold, New York, NY, 1991, pp. 406-454.
 17. Lau, J. H., Chip On Board Technologies for Multichip Modules, Van Nostrand Reinhold, New York, NY, 1994, pp. 66-69.
 18. Lau, J. H., Ball Grid Array Technology, McGraw-Hill, New York, NY, 1995, pp. 423-424.
 19. Anderson, T., I. Guven, E. Madenci, and G. Gustafsson, "The Necessity of Reexamining Previous Life Prediction Analyses of Solder Joints in Electronic Packages" , Proceedings of the IEEE Electronic Components & Technology Conference, June, 1999, pp. 656-663.