

覆晶技術與晶圓級 晶方尺度構裝技術

◆ 盧思維

工研院電子工業研究所

構裝製程部

工程師

覆晶技術是一種先進構裝技術，由於它可大幅的縮小IC封裝後的體積，減少訊號的延遲及雜訊的產生，更適用於高腳數IC(High Pin Counts IC's)，因此它漸漸的取代了傳統的打線技術，成為IC封裝技術中的熱門話題。

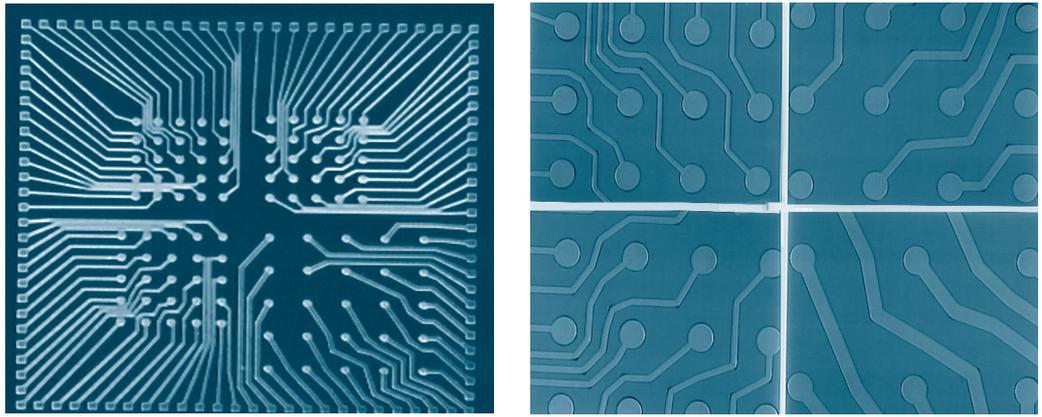
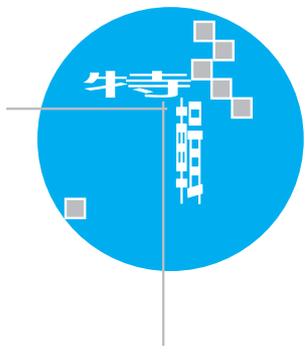
由於電子工業的蓬勃發展以及半導體技術的進步，IC的埠端(I/O)數目也愈做愈多，為了能達到高埠端數目及高品質(High I/O and High Quality)的要求，因此發展出了IC埠端重佈技術(I/O Redistribution)。此與覆晶技術中之錫鉛球的製作技術，有著同樣重要的角色，因此在本文中將藉由工研院電子所研發的產品為例証，將先討論IC埠端重佈技術，接著再討論錫鉛球的製作技術，最後再談談覆晶技術的另一種應用-Wafer Level CSP(晶圓級尺度構裝)。

IC埠端重佈技術

所謂的IC埠端重佈技術乃是指將IC的埠端自四周移至IC整個表面的技術(如圖一)，如此將可使覆晶技術應用於高I/O及Filme Pitch I/O的IC上。圖一共分為四種埠端重佈，其差別為不同的導線線寬及線間距，其中最小的規格，其線寬及線間距皆為 $25\mu\text{m}$ 。

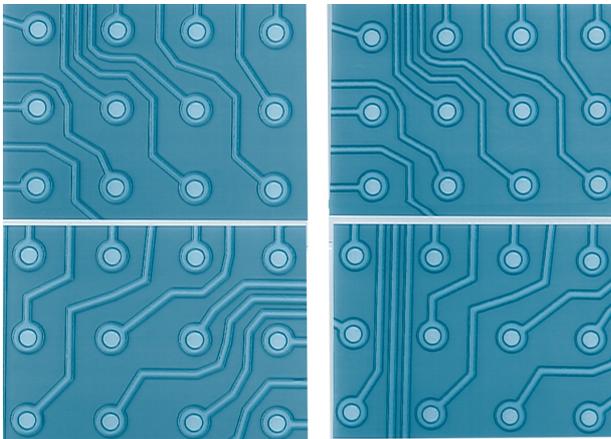
IC埠端重佈技術的製作流程為金屬導線層濺鍍、導線層蝕刻以及介電層(此處採用Polyimide)塗佈、顯影、硬烤等部分，其中金屬層與介電層、介電層與基板的粘著性(Adhesion)、金屬導線的蝕刻以及介電層的品質是決定IC埠端重佈技術成敗的關鍵。

圖二為金屬導線表面被覆了一層高分子介電層(Polyimide)，並在新的I/O所在開



▲圖一 左圖 IC 四周的方形接點為原來 IC 的 I/O 端點，經過導線的重新佈局，將 I/O 自邊緣拉至中間，圖中圓形的接點即為新的 I/O 所在。右圖為其局部放大圖

▼圖二 在金屬導線表面被覆一層介電層並在新 I/O 所在，留出開孔，以繼續錫鉛球之製程



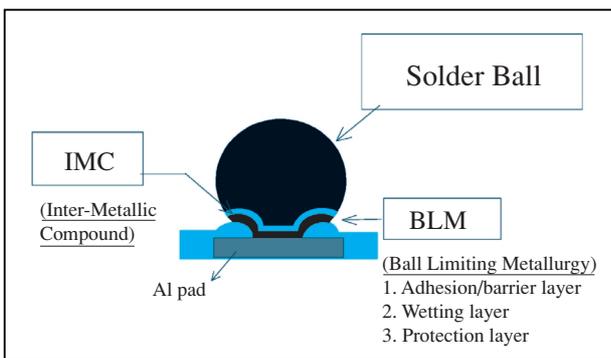
主要的方法來製備錫鉛球，第一種是蒸鍍法(C4)，第二種是電鍍法(Electroplating)，第三種是印刷法(Printing)，它們各自有其優缺點，端看產品的需求來取決該用那種方式製球。

由於蒸鍍法(C4)太耗費原料以及只適用於High Lead錫鉛球，因此目前較常採用後面兩種方式來製備錫鉛球，在此即介紹這兩種製程：

1. 電鍍法

顧名思義，所謂的電鍍法就是指以電鍍的方式製作錫鉛凸塊。它的好處是由於應用了黃光製程，因此可得到高品質(High Density, High Uniformity and Fine Pitch)的錫鉛球，但也因為應用了黃光製程而增加了製作成本。

圖三以電鍍的方式製作的錫鉛球結構圖。圖中除了錫鉛球以外，還有一層UBM (Under Ball Metallurgy)或稱BLM (Ball Limiting Metallurgy)薄膜，它主要的作用是介於鋁墊片及錫鉛球之間，以增加彼此的接合性並防止擴散。另外，最上層的薄膜尚須與錫鉛球有良好的潤濕效果。錫鉛球經過重流(Reflow)製程後，會與UBM層產生介金屬化合物(Inter-metallic

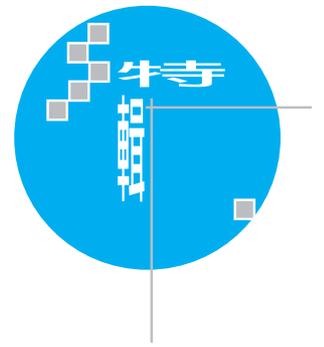


▲圖三 以電鍍製作的錫鉛球結構圖

出開孔，以繼續覆晶技術中錫鉛球的製程。

覆晶技術之錫鉛球的製作技術

在覆晶技術中，錫鉛球的製備影響了覆晶技術的成敗，目前的產品中共有三種



Compound)，它將會影響到錫鉛球的可靠性。

圖四是高密度錫鉛球的照片，分別從不同的角度及放大倍率來觀察，其規格如下：

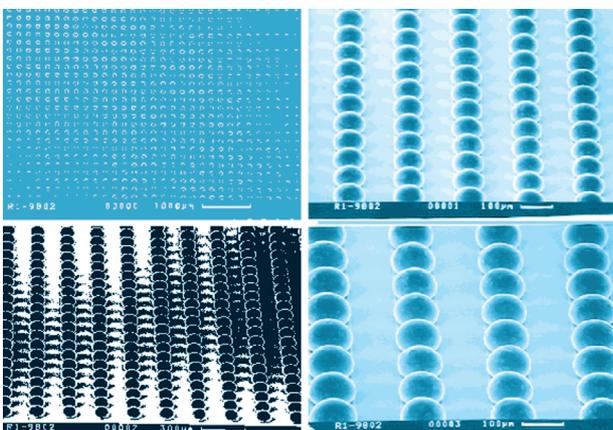
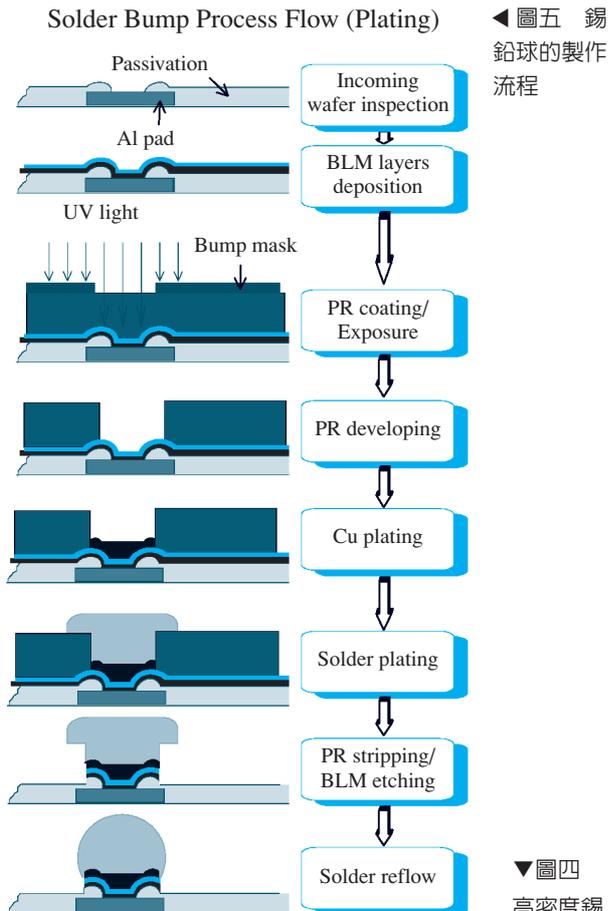
於6" Wafer上製作 High Density Solder Bump

- *形式: Daisy Chain
- *Die Size: 10mm × 10mm
- *No. of I/O per Die: 1520
- *UBM Diameter: 100 ± 3μm
- *Bump Height: 100 ± 5μm
- *Pitch: 0.25mm(250μm)
- *Bump Material: Eutectic Solder
- *UBM Material: Ti(0.1μm)/Cu(4μm)。

上述的樣品是結合了薄膜製程技術(Thin Film Process Technology)、黃光製程技術(Photo Process Technology)、薄膜蝕刻技術(Thin Film Etching Technology)，以及電鍍技術(Electro-plating Technology)、錫鉛凸塊重流技術(Solder Bump Reflow Technology)，所完成的高密度錫鉛球製程，其製作流程如圖五所示，首先須檢查欲長錫鉛球的Wafer，然後在Wafer表面鍍UBM薄膜，接著利用黃光製程，將一層厚約50μm的光阻塗佈在薄膜表面，然後在欲長錫鉛球的部位開出開孔，接著在開孔內先電鍍一層厚約10μm的銅，然後再電鍍錫鉛凸塊，鍍好後將光阻移除，並將多餘的UBM層蝕刻掉，最後再將錫鉛凸塊重流(Reflow)及清洗，整個製程即告完成。

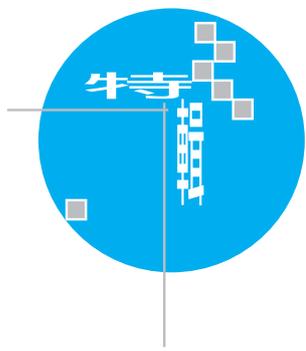
每一項製程完成之後，都需經過一些特性檢驗，然後再進行下一步製程，例如薄膜的均勻性、黃光製程技術中光阻的特性，以及電鍍錫鉛的量與均勻性等都是本項技術的重點。

圖六為光阻之開孔用以長Solder Bump；圖七為電鍍後的香菇狀錫鉛凸塊；圖八為香菇狀錫鉛凸塊經過重流技術後，形成錫鉛球；圖九為Die與基板接合後的情形。



2.印刷法

所謂的印刷法就是指以印刷取代電鍍



的方式來製作錫鉛凸塊。它的好處是製作成本低，

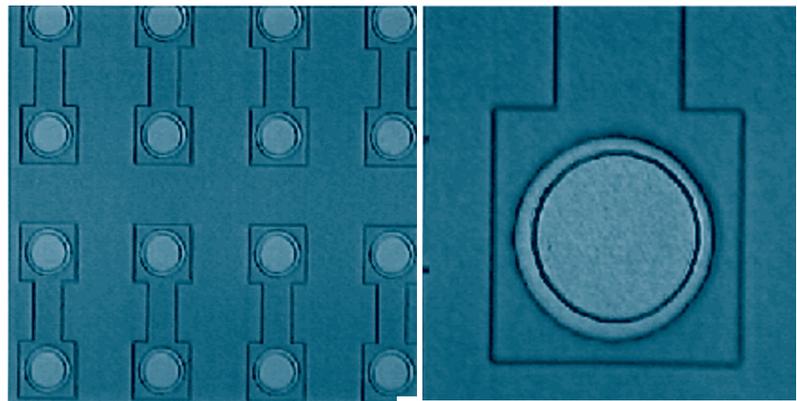
Through Put

快，但卻不易得到高品質、微間距的錫鉛球。

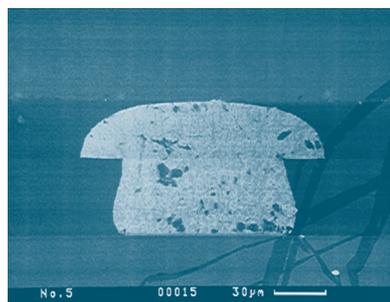
以印刷法製作錫鉛球的製作流程如圖十所示。首先須檢查欲長錫鉛球的Wafer，然後將鋁墊片以溶劑清洗乾淨，接著利用鋅活化鋁的表面(Zincating)，再利用無電鍍的方式將鎳成長於鋁墊片上，之後再用浸泡的方式將一層金鍍在鎳的表面，然後利用鋼版印刷(Stencil Printing)的技術，將錫膏(Solder Paste)印在鎳金上面，印好後將鋼版移除，再將錫膏重流及清洗，整個製程即告完成。由於本製作方法成本較低，因此多稱此製程為"Low Cost Bumping製程"。

圖十一以印刷的方式所製作的錫鉛球結構圖。圖中除了錫鉛球以外，還有一層以無電鍍方式鍍的鎳膜作為UBM層，它的主要作用是介於鋁墊片及錫球之間，以增加彼此的接合性及防止擴散。

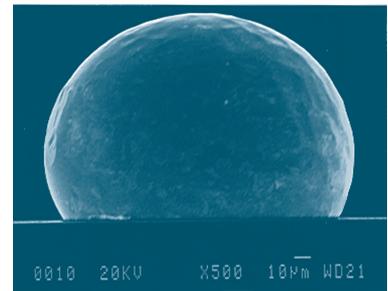
至於Low Cost Bumping的製程技術與Plating的技術有兩個部分不同，一是UBM的製程，一是Bumping的製程。Low Cost Bumping的UBM製程是採用無電鍍



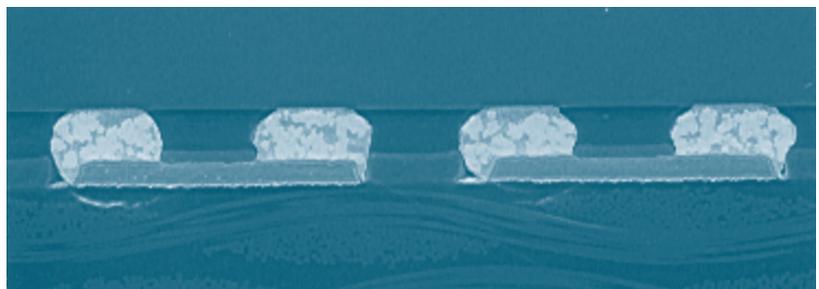
▲圖六 為光阻之開孔用以長solder bump



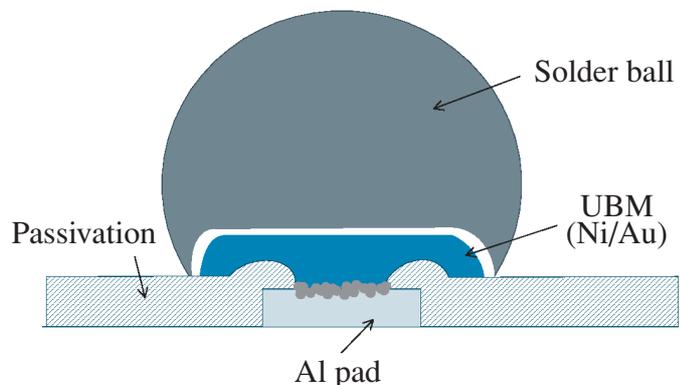
▲圖七 為電鍍後的香菇狀錫鉛凸塊



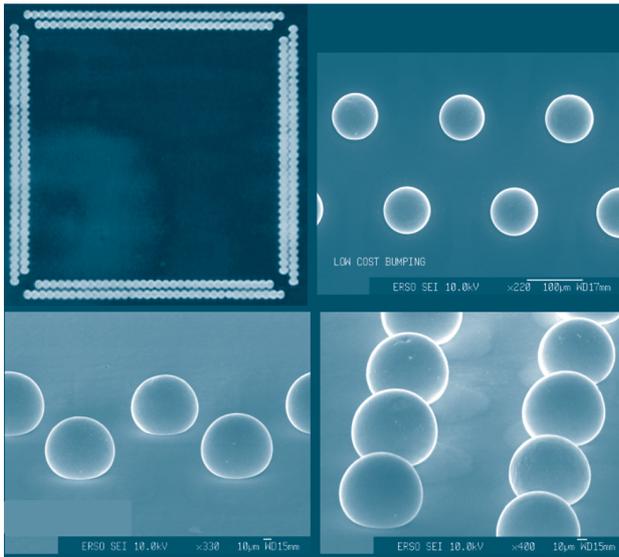
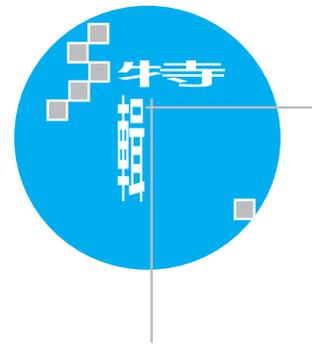
▲圖八 為香菇狀錫鉛凸塊，經過重流技術後形成錫鉛球



▲圖九 Die與基板接合後的情形



▲圖十一 以印刷方式製作的錫鉛球結構圖

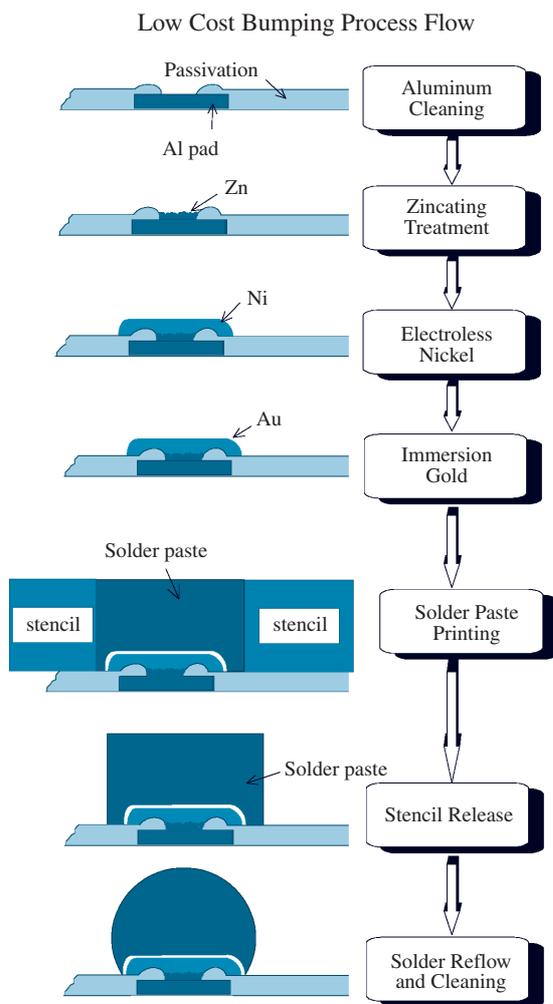


▲圖十二 以Low Cost Bumping技術製作的覆晶錫鉛球

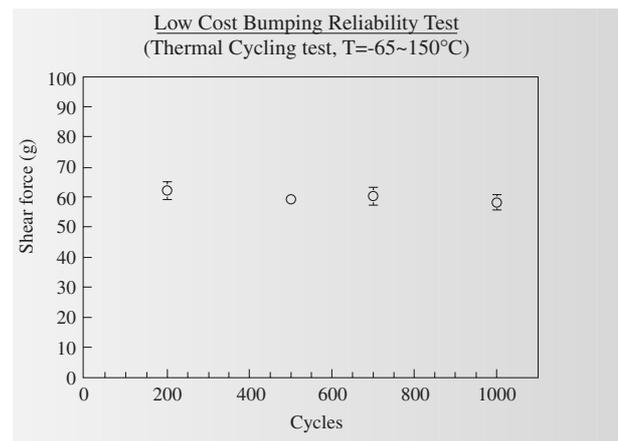
鍍金的製程，而Plating的UBM製程則是採用濺鍍薄膜（如Ti/Cu，Cr/Cu...等），而在Bumping部分則Low Cost Bumping是採用印刷的方式，而Plating則是採用電鍍的方式。

圖十二即是以Low Cost Bumping技術所製作的覆晶錫鉛球，Pitch為 $200\mu\text{m}$ ，球高為 $90\mu\text{m}$ ，在Low Cost Bumping的技術中，算是高品質、微間距的產品了。

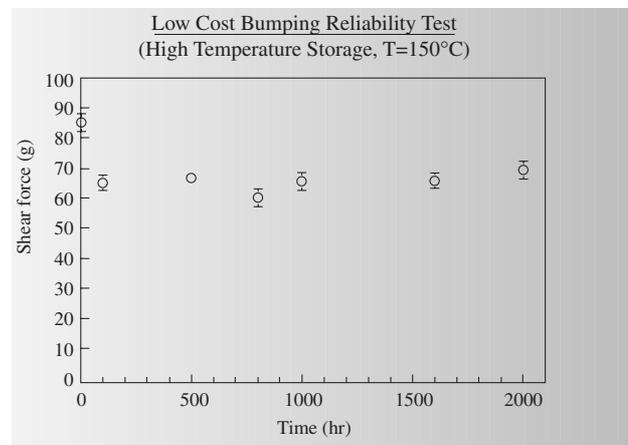
除了以外觀的方式來判斷球的品質以外，更需經過可靠性測試(Reliability Test)來驗證球的品質，以下即是一些



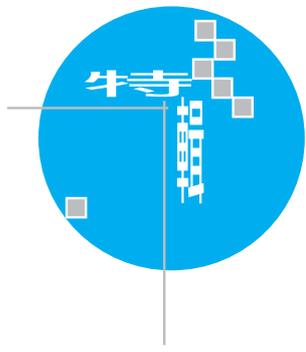
▲圖十 Low Cost Bumping Process Flow



▲圖十三 Thermal Cycling的可靠性測試



▲圖十四 高溫儲存的可靠性測試



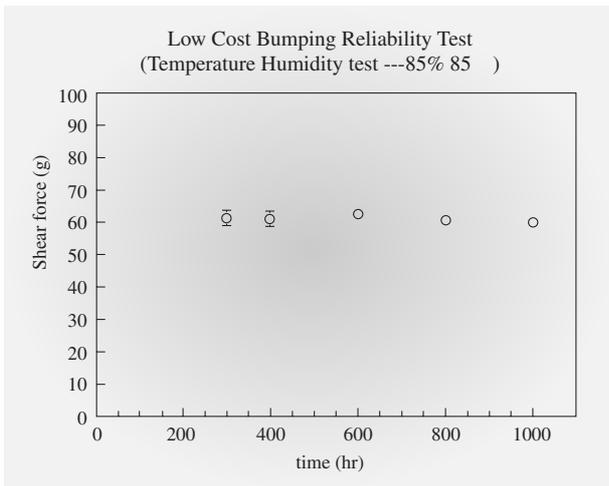
Reliability Test的資料：

圖十三是Thermal Cycling 的可靠性測試，由測試數據可發現本樣品可通過1000 Cycle 的測試。圖十四是高溫儲存

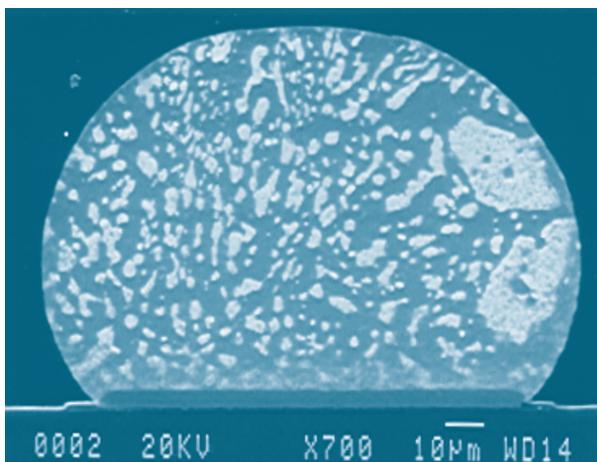
(High Temperature Storage)的可靠性測試

，由測試數據可發現本樣品可通過 2000 小時的測試。圖十五是Temperature Humidity的可靠性測試，由測試數據可發現本樣品可通過 1000小時的測試。

除了Reliability Test以外，利用SEM來做Failure Mode Analysis也十分重要，圖十六即為錫鉛球經過Reliability Test以後之橫



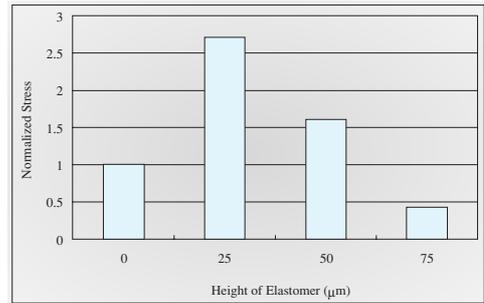
▲圖十五 Temperature Humidity的可靠性測試



▲圖十六 錫鉛球經過Reliability Test後之橫截面照片

►圖十七

Normalized Maximum von Mises Stress of Solder



截面照片，由SEM分析並無任何裂痕產生。

Wafer Level CSP

以上即是覆晶球的製作技術，目前也被應用在Wafer Level CSP上。

Wafer Level CSP的基本構想，是於Wafer Level就幾乎完成了大部分的封裝工作，目前的Flip Chip構裝是將長好錫鉛球的晶圓與基板組裝後，為了減少Die與Substrate間因CTE Mismatch而產生的應力，因此在Die與Substrate之間點一層Underfill，而Wafer Level CSP則可省略了這層點膠的作用，利用彈性體來抵銷應力，且Stress Release的效果，可以比點膠還要好，事實上經由電腦模擬(Simulation)可證實這點。

圖十七為彈性體的厚度對應力的影響，若將點Underfill的架構，其應力設為1，則由圖形中我們可看到當彈性體的厚度大於60µm時，其架構所產生的應力比點Underfill還要小。

除了應力的分析，針對Wafer Level CSP的架構也作了電性的分析，結果其因Packaging而產生的電容值可小於0.3pf，如此已可用在高頻的產品上。礙於本架構正在申請專利中，因此不便Show出全圖，但由以上的分析資料可看出，一種有效率的Package方式正在成形。