

銅化學機械研磨 製程及研磨液簡介

◆ 李宗和

長興化工公司

半導體材料專案組副召集人

CMP技術組主任研究員

本文主要提及銅製程中CMP製程的設計，及銅製程用研磨劑的種類及組成。Copper CMP製程主要可以分為只以一種研磨劑研磨到end-point，或以兩種以上研磨劑分段研磨。每種製程各有各的優缺點，亦有其限制。研磨劑成分主要含水、研磨顆粒、化學品及氧化劑。本文對上述製程設計相對應於研磨劑性質的要求，與研磨劑組成均有簡略的介紹。

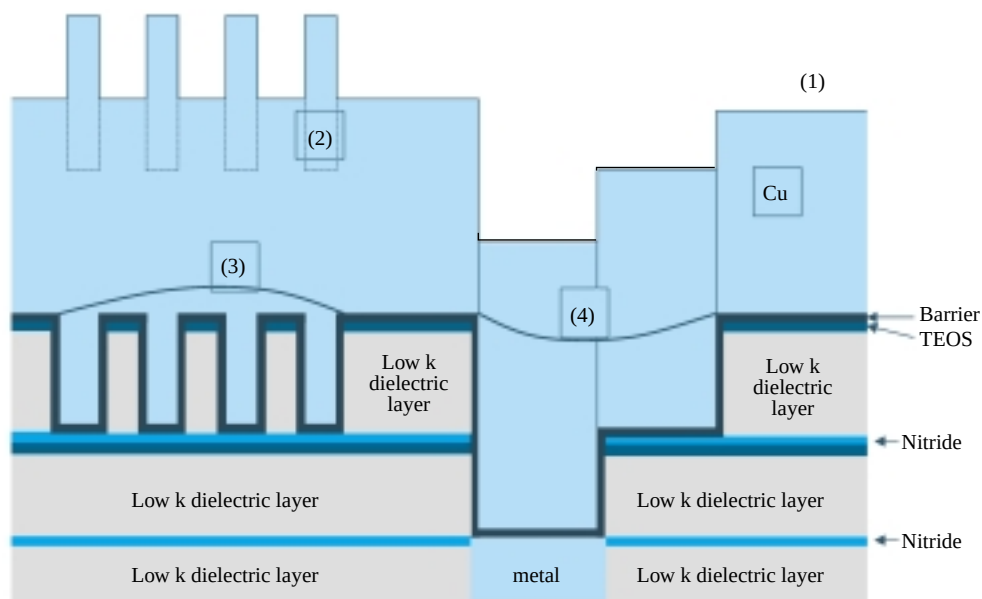
前言

隨著半導體工業的快速發展，元件運算速度成為各家所追求的目標。進入深次微米元件領域，金屬連接線所造成的RC延遲，嚴重影響元件操作的速度。而影響速度的主要因素，已經落到導線本身阻值及層間介電質的電容大小二項上^[1]，因此金屬導線材料的選擇，又必須進入另一個世代。現今導線材料必須具備更低的電阻率及抗電遷移性，所以電

阻率低的銅金屬，被視為下一代的導線材料，且在 $0.18\mu\text{m}$ 技術層次開始，預計在 $0.13\mu\text{m}$ 以下的元件製作時，將可完全取代鋁-銅合金。早期製程不願採用銅作為金屬連線是因為

- (1) 銅的擴散係數很高
- (2) 銅本身易氧化，低溫下易與其他材料反應
- (3) 銅缺乏有效的乾式蝕刻技術

這些原因限制銅金屬的發展。然而因為Damascene製程以及銅化學機械研



◀圖一 dual-Damascene製程示意圖

磨技術的成功^[2]，使得這些問題得以解決。銅化學機械研磨技術的發展是銅金屬會跨進深次微米元件領域的重要技術，它成功的應用在銅金屬多層連線的製程上^[3]，使得RC延遲可以有效的降低下來。同時在聯電、Novellus及半導體研究公司舉辦銅製程IC設計競賽的鼓吹下，更促使IC產業及學術界積極投入銅製程的研發。

銅化學機械研磨製程設計

在探討製程設計之前，需先對研磨前的晶圓有些許的瞭解。如圖一dual-Damascene製程所示。

Cu CMP所需面對的是晶面凹凸不平、組織複雜與結構脆弱的晶片。Cu CMP必須研磨至TEOS(tetraethoxysilane)層，並確保TEOS上不能有任何銅殘留。若銅膜是以CVD或PVD沉積形成，則銅膜會較均勻的於晶圓底部形成（如圖一中之(2)）；若採用ECP(Electrochemical Plating)製程，由於電鍍液添加劑的副作用，銅膜在細線路上方反而會沉積得更高（如圖一中之(1)）。因為種種考量，目前通常採用的製程是先以PVD形成seed

layer再以ECP的方法長film-----由於採用這種製程，無形中對CMP製程的複雜度又增加不少。因為即使平坦化效率很高的slurry，亦常會在研磨至end-point時，已在粗線路區域造成些許的凹陷(dishing；如圖一中之(4))，並於細線路上方留下幾百Å的銅（如圖一中之(3)）。若未能將這些銅線磨開，基本上不會有良率。

此外，亦必須瞭解annealing的影響。若沒有annealing，則因為銅的grain size不一，於研磨時不易控制均勻度。通常annealing溫度愈高，銅的grain size愈大，於相同條件下研磨，易得到較高的研磨速率。但若ECP步驟沒有處理好，有硫酸根或添加物殘留在銅中，則annealing步驟會引起CuSO₄的產生，導致研磨速率降低。而且，patterned wafer上銅線寬度及銅線密度亦會影響研磨結果。總之，晶圓本身薄膜的品質與線路設計對研磨結果有相當的影響。

Cu CMP製程設計通常可以分為以下幾種方法：

一、一段式

採用一種slurry，快速磨完Cu及

Ta/TaN並停在TEOS上。規格為Cu/Ta(or TaN)/TEOS=4/1 or 2/0.1。

- 優點：只須處理一種slurry，易於操作。
- 缺點：Ta or TaN的研磨速率不易高於1000 Å/min，所以必須將銅的研磨速率壓低至4000 Å/min，而銅薄膜通常長10,000Å，也就是說，採用這種製程，throughput會大受影響。此外，因為不易控制Cu/Ta(or TaN)的選擇性，dishing通常較嚴重。由於有這些考量，目前均採用2種規格以上的研磨液。

二、兩段式

【案例一】

第一段slurry研磨至接近barrier的位置或剛接觸到barrier (end-point)。第二段slurry採用Cu/Ta(or TaN)/TEOS=1:1:1(non-selectivity)。

- 優點：第一段slurry因不需考量barrier及TEOS的研磨速率比例，可大幅改善throughput；第二段slurry理論上等速的磨掉Cu，barrier及TEOS，可改善dishing。
- 缺點：理論與實際總是有差距的。首先，誠如先前所提及的，研磨至end-point時，以單一die而言，大面積銅區域實際上是已經dishing了，而在細銅線上方還會留下500 Å左右的銅待清除。此時若採用non-selectivity的第二段slurry，並沒有辦法消

除第一段所造成的dishing。

另一個大問題是throughput。以長10,000 Å的銅薄膜而言，若研磨的不均勻度是5%，則意味著當研磨至end-point時，晶圓上方部份區域還留下1000 Å的銅待清除，（而且這些區域的die上細線路上方，更會有1500 Å的銅）。對於第二段slurry而言，由於怕引起嚴重的dishing且必須考慮與barrier的選擇性是1:1（barrier研磨速率又不會快），所以銅的研磨速率約在600 Å/min左右。因此，清完所有的銅及barrier至少要3分鐘，而晶圓上早已磨完銅的區域則必須承受2.5分鐘的over-polishing。除了降低throughput之外更導致非常嚴重的Copper lose與Oxide lose，在Cu/low k製程的應用會有困難。

【案例二】

第一段slurry研磨至barrier，並over-polishing以確保所有的銅線均已打開。第二段slurry只會磨掉barrier film。

- 優點：Throughput快，利於量產。
- 缺點：第二段slurry無法減少第一段slurry造成的dishing及erosion，這在IC製程繼續往上疊時會造成困擾。有人採用Oxide slurry再平坦化一次，但這種做法會影響throughput並造成需處理多一種slurry的困擾。

在此案例中，第一段slurry的over-polishing window扮演非常重要的角色。唯擁有很寬的over-polishing window才能確保在清除TEOS上方銅的殘留時，不會導致更嚴重的dishing。

表一 50μm銅線dishing變化表

	25sec	25sec	25sec	25sec	40sec	55sec
Site 1	950	1000	1100	1050	1000	1000
Site 2	700	600	700	700	700	750
Site 3	550	650	600	700	700	600
Site 4	1100	900	1050	1000	900	900

表二 案例四的研磨結果（工研院電子所CMP製程資料）

		slot3		slot9		slot15		slot21
die	.35μm	100μm	.35μm	100μm	.35μm	100μm	.35μm	100μm
1	392	320	320	158	367	222	416	439
2	343	236	316	161	314	387	192	313
3	323	289	300	263	310	166	350	292
4	222	129	252	123	213	182	242	110
5	300	183	179	204	230	141	227	167
6	313	263	305	257	275	100	374	151
7	181	106	241	158	194	91	188	35
8	322	117	270	301	263	115	347	286
9	240	143	260	173	210	95	285	69
10	238	110	258	250	295	30	245	54
11	400	205	353	383	313	338	442	240
12	397	240	337	271	427	173	472	404
13	532	327	514	336	537	363	541	321
average	323	205	300	234	304	185	332	222
std(A)	94	80	79	78	96	113	113	134
std(%)	0.3	0.4	0.3	0.3	0.3	0.6	0.3	0.6

WIW erosion: 0.3%~1.2%;
98A~193A
dishing:1.1%~2.0%;
3A~160A

WTW erosion=315A + 105 A

dishing=211A + 101 A

▼圖二 10μm銅線 SEM圖，無dishing現象

表一 是由應用材料公司提供研磨 ETERPOL系列研磨液的結果。雖然當時 profile不夠好，但亦可看出在 over-polishing 25秒至55秒之間，dishing並沒有惡化，而且於25秒時，dishing的數據是穩定的。

實驗如下（只磨完第一段）：

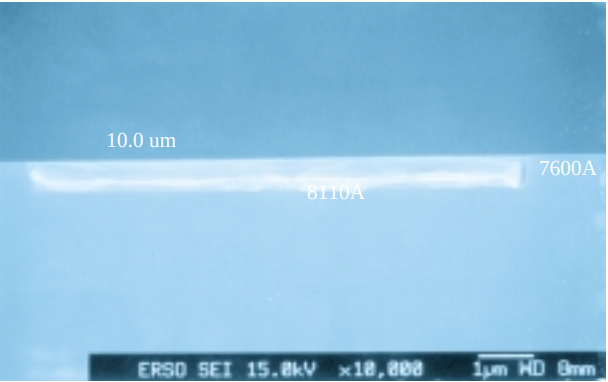
- Polisher：Mirra
- Pad：Rodel IC 1000，k-xy
- Polish condition：DF=3psi，PS=63rpm磨至end-point，再以DF=1.5psi，PS=43rpm over-polishing。

取6片pattern wafer置於100片銅晶片中，連續磨完後，取50μm銅線dishing的數據作比較。

【案例三】

採用與案例2相同的第一段slurry，但第二段改採Cu/Ta(or TaN)/TEOS = 1/6/4~6。

- 優點：Throughput快，利於量產，亦



可減少第一段slurry留下來的 dishing及erosion。

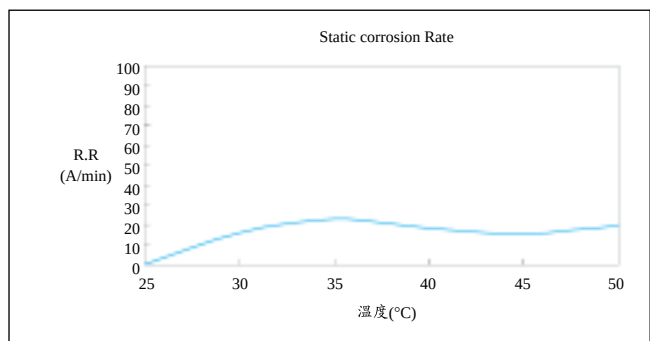
- 缺點：若第一段slurry研磨後dishing太嚴重，即使最後可達到全面平坦化的效果，但亦已有太多的Copper lose與Oxide lose，不易應用於Cu/low k製程。

【案例四】

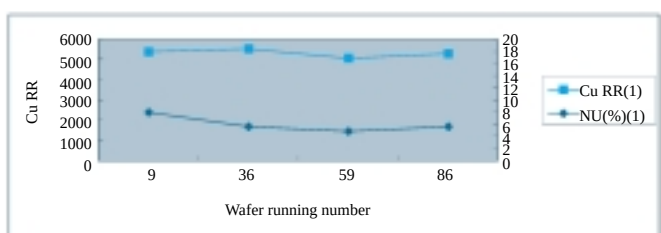
表二為工研院電子所所提供的研磨結果。所用的第一段slurry及第二段

半導體 IC

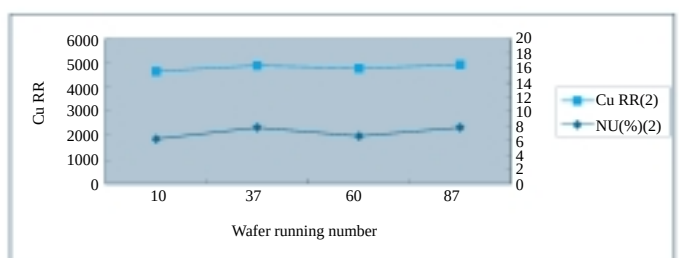
►圖三 不同溫度下靜態腐蝕速率圖



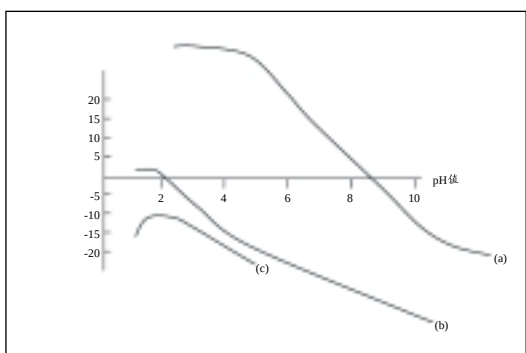
►圖四(a) 100片銅晶圓研磨穩定性測試圖



►圖四(b) 100片銅晶圓研磨穩定性測試圖



►圖五 研磨顆粒於不同 pH 值下的 Zeta potential (a) 氧化鋁之 Zeta potential 變化；(b) 二氧化矽之 Zeta potential 變化；(c) 二氧化矽在 coating 化學品後，可以改變之 Zeta potential 變化



表三 不同粉末之莫氏硬度

研磨粉體	莫氏硬度
α -Al ₂ O ₃	9
γ -Al ₂ O ₃	8
Cu ₂ O	3.5~4
SiO ₂	6~7

slurry 均是 EPL 系列產品。電子所於 25 片 pattern wafer 中取第 3, 9, 15, 21 片，並量取每片由中央至最邊緣的 13 個 die 中 0.35 μ m 與 100 μ m 的銅線路的 dishing 及 erosion data。

由圖二可看出，即使 10 μ m 的線路亦可達到平坦化的結果。

銅研磨液組成

研磨劑的選用必須兼顧平坦化效率、研磨速率、選擇性、缺陷數、研磨顆粒殘留及銅線腐蝕等問題。其中靜態腐蝕速率常可用於評估研磨劑是否會在銅線造成點狀腐蝕(pitting corrosion) (如圖三)。

此外，研磨的穩定度亦是非常重要的課題，圖四為應用材料公司所提供，研磨 ETERPOL 系列產品的數據。於高壓下（大量磨除銅用的研磨參數）及低壓下（soft-landing 抓 end-point 用的研磨參數）均表現相當的研磨穩定度（當時均勻度尚未調好，目前已可達到 3% 以下的水準）。

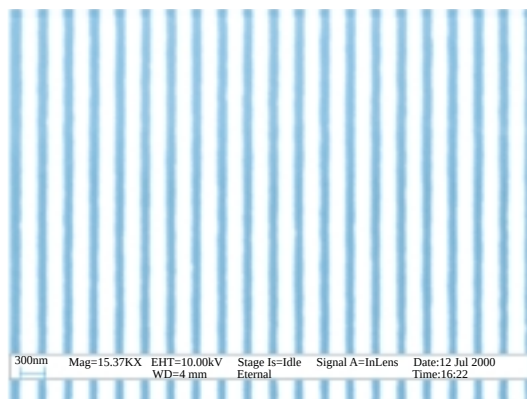
- Polisher : Mirra
- Pad : Rodel IC 1000 , k-xy
- Polish condition : DF=3 psi , PS=63 rpm 60 sec + DF=2 psi , PS=43 rpm 30 sec 。

連續磨完 100 片銅晶片後，取研磨速率及均勻度的數據作比較，如圖四(a)。

- Polisher : Mirra
- Pad : Rodel IC 1000 , k-xy
- Polish condition : DF=3 psi , PS=63 rpm 60 sec + DF=1.5 psi , PS=43 rpm 30 sec 。

連續磨完 100 片銅晶片後，取研磨速率及均勻度的數據作比較，如圖四(b)。

研磨液之組成為水、研磨顆粒及化學品，並在研磨前混以氧化劑。水均採

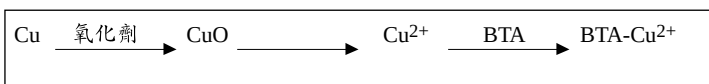


▲圖六 0.18 μ m銅線的SEM圖，無任何pitting corrosion及刮傷

用超純水；氧化劑方面，在考量金屬離子污染後，只剩下雙氧水及ammonium persulfate較易採用。但因為ammonium persulfate接觸到水後會分解而產生大量氧氣，IC廠或許可以採用（但應小心中央供應系統是否適用），slurry 供應商倒是不易將它放入slurry中。因此，雙氧水是較為被接受的氧化劑，通常建議IC廠於研磨前添加。

研磨顆粒就有些選擇了，一般市面上較容易採用的有氧化鋁、fumed silica、colloidal silica或根本不加研磨顆粒。通常會採用莫氏硬度來作研磨顆粒間硬度的比較。由表三中可看出氧化鋁與氧化矽均比氧化亞銅硬，可以作為很好的研磨顆粒。

但必須考慮的是，莫氏硬度是以大顆粒的礦石比較得來的，對於應用於CMP sub-micron的研磨顆粒而言，有相當程度的失真。然而，氧化鋁依然是目前所採用較硬的研磨顆粒。優點是可以快速磨掉氧化銅層，通常可以得到較高的研磨速率。此外，氧化鋁不易磨動Ta及Ta₂N，採用氧化鋁的研磨液較易得到Cu/Ta (or Ta₂N)之高選擇比。此外，由Zeta potential圖（圖五）可以看出，氧化鋁的IEP在pH 8~9之間，而通常銅研磨



▲圖七 銅CMP的化學反應機構

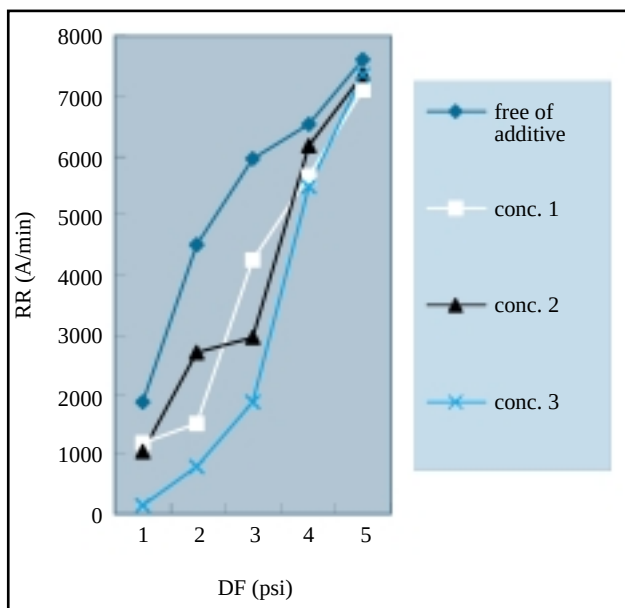
液的pH值在酸性至中性之間，氧化鋁在此區域有較高的電荷，較易穩定。

然而，採用氧化鋁有不易避免的缺點。沉降(settle)是一般最普遍的缺失，這類slurry所含的氧化鋁通常會在1小時內沉降到底部，加了雙氧水後因為氧化鋁表面改變，氧化鋁會在45分鐘內沉降到底部。這些沉降現象會導致研磨液組成改變，沉積在管路中會導致研磨液流速不定或塞管以及刮傷。刮傷是另一個大問題，刮傷若發生在銅上問題不大，因為要將5000 Å厚的線刮斷倒還不容易，但若產生在TEOS上問題就大了。因為TEOS的刮痕邊緣會產生絨毛狀的結構，此結構會抓住銅離子，增加清潔步驟的困難（通常極難洗掉）。若未能完全洗掉，會導致兩條本來不導通的銅線導通，使device short掉。

採用二氧化矽可大幅降低刮傷，但亦會有其他問題。如Zeta potential圖所示，二氧化矽的IEP在2~3之間，若採用fumed silica，常會產生gel up現象。當然，可以以化學品coating，以改善Zeta potential問題，但shelf life一直會是個問題。有些公司採用鹼性之pH值來避免這些問題，但會有銅產生pitting corrosion，紅銅現象及嚴重erosion等等後遺症。

採用 colloidal silica可以免掉 colloidal stability，scratching defect等麻煩，但通常不易磨動氧化銅層，研磨速率不高。此外，在patterned wafer 的表現方面，由於此類型的slurry化學品扮演較吃重的角色，較易得到嚴重的dishing。此外，silica天生對Ta或Ta₂N有較佳的研磨效果，所以不易配出Cu/Ta (or Ta₂N)高選擇比的研磨液。

最後，有一種乾脆不加研磨顆粒的



▲圖八 不同添加劑濃度對壓力及研磨速率關係圖的影響

溶液亦可用於研磨（採用傳統的pad，並非與fixed abrasive搭配的溶液）。這種溶液的優點是幾乎避開全世界所有專利，而且沒有沉降及任何研磨顆粒所造成的問題。然而，缺點是研磨墊直接接觸到晶圓表面，會造成刮傷。而且最嚴重的是如圖一所示，在細線路上方幾百Å的銅殘留不易完全磨除，將導致這些線路全部short。

化學品部份必須與研磨顆粒互相配合，而且必須確定不會在銅線上造成任何點狀腐蝕（如圖六）。以氧化鋁而言，因為研磨顆粒硬，為避免在銅膜上造成嚴重刮傷，通常會盡量將銅氧化成氧化銅，並將pH值控制在中性左右，以促使氧化銅長得更緻密。同時會加腐蝕促進劑，以增進研磨速率。

採用二氧化矽或不添加研磨顆粒的slurry卻完全相反。首先亦是將銅氧化成氧化銅，但接著必須盡快將氧化銅溶解成銅離子，並以BTA或其他ligand將銅離子變成螯合物（如圖七）。此時此螯合物與銅之間只存在脆弱的凡得瓦力，只要細小柔軟的二氧化矽即可順利將它磨除

[4]。然而在此機構下，雖可獲得極高的研磨速率，但亦會導致極嚴重的dishing。

長興化工採用一種添加物，使之coating在銅表面以阻撓研磨的進行。由圖八中可知，若無添加劑，則研磨壓力與銅的研磨速率幾乎呈線性關係，但添加一定量的添加劑後，銅在低壓下幾乎磨不動。相對於patterned wafer的表現，dishing位置的局部受壓小於凸出的區域，因此，採用此添加劑可有效的抑制dishing現象[4]。

結語

銅化學機械研磨為銅製程中的一個新製程，對製程設計及研磨劑規格的選擇尚未完全底定，充滿變因亦充滿機會[5]。目前看起來，分兩階段研磨應是較容易兼顧throughput及研磨品質的方法，但銅製程的真正量產還需IC廠及業界多多努力。

致謝

感謝工研院電子所及應用材料公司提供資料

參考資料

1. 王健美、李世達「電子材料第2期，111頁」。
2. 蔡明蒔「電子與材料第6期，114頁」；陳學忠、楊名聲、王興華、劉富台「電子與材料第5期，105頁」。
3. 陳來助「電子與材料第1期，85頁」。
4. 長興已於一年前申請多國專利保護。
5. Peter Singer, Semiconductor International, 2000, Vol. 23, p 73