

晶圓級晶片尺寸封裝技術之概述

◆洪松井* 黃凱**

日月光半導體公司 研發處

*產品開發經理 **WL CSP產品工程師

摘要

輕薄短小、高性能產品和電子構裝技術是晶圓製造業和IC設計業所追求的。

電子構裝技術的最新發展如Flip Chip、Stack Die、MCM、CSP，

用量與日俱增，尤其在消費性產品如手機、PDA與數位相機等。

在這些封裝技術當中，晶圓級CSP的表現最為出色。

因為它除了擁有輕薄短小的體型和優良的性能外，

同時擁有廉價生產的優點。CSP的開發一開始集中在低腳數產品，

應用於記憶體和整合被動元件(Integrated Passive Devices)，

然後延伸到類比裝置(RF)、Voltage/Power Regulator and Power Amplifier。

本文簡介晶圓級CSP的主要生產技術和應用現況。

關鍵詞

晶圓級晶方尺寸封裝(Wafer Level CSP)；重新分配(Redistribution)；Interconnection and UBM

前言

隨著科技的進步，晶片也朝多元化方向發展，而一般被歸類為製程後段的晶片封裝，在市場要求下，亦發展出許多精密之技術，如覆晶(Flip Chip)、疊晶粒(Stacked Die)、晶片尺寸封裝(Chip

Scale Package, CSP)等。而在以手持式電器如PDA及通訊器材如行動電話為主之尺寸及高頻需求下，晶片封裝更向輕、薄、小、高效能的方向發展，其中晶圓級晶片尺寸封裝(Wafer Level Chip Scale Package)由於擁有尺寸小，性能優異及低成本之潛力，成為一極受重視之封裝技

術。

所謂晶片尺寸封裝即是當晶片封裝完畢後，其所佔之面積小於裸晶面積之120%。早在1960年代，IBM即投入“直接晶片連接(Direct Chip Attach, DCA)”之研究，一開始因為無法控制晶片與基板之間的距離而無法成功，而在以銅球取代錫塊之後，終於解決了這一主要問題並正式製造SLT(Solid Logic Technology)，其製程是將小銅球以高熔點之錫焊接於一堅固之元件（電晶體）上。由此觀之，SLT乃是世界第一個BGA(Ball Grid Array)產品，也是第一個晶片尺寸封裝(CSP)，由SLT之概念繼續發展而成的是所謂的C4 (Controlled-Collapse-Chip Connection)，即將此技術運用於晶片上，使用錫球聯接晶片與基板，亦即現今覆晶技術之始祖。

一般而言，晶片業者將其製造過程分為前段及後段，舉例來說，專業代工廠中之晶圓廠之製程即為典型之前段，當在晶圓經過測試(Wafer Probing)後，即進入後段製程。而晶圓級封裝則是指晶圓在執行切割分離的手續之前，即完成封裝程序及測試，兩者合在一起則是在晶圓上所進行之晶片尺寸封裝，徹底整合晶片之前段與後段製程。其基本特性為封裝後之產品大小與晶片大小幾乎一致，無基板之使用，不使用打線製程(Wire Bond)。由於晶圓級晶片尺寸封裝之製程界定不明且極具發展潛力，不論前段或後段之業者皆努力發展此領域之產品。

晶圓級晶片尺寸封裝之優點

一般而言，與其他封裝方式比較，

晶圓級晶片尺寸封裝有以下幾點優勢：

●縮減晶片尺寸：晶圓級晶片尺寸封裝最明顯之優勢即為面積尺寸之縮小，這使製造商可以在固定的空間中，容納更多晶片，整合並提供更多功能，或將整個商品之體積縮小，便利攜帶和存放。舉例來說，行動電話在最近幾年的發展可說是極為快速，從早期最炫的“黑金剛”行動電話，到現在日本號稱全世界最薄的行動電話SANYO C405SA，厚度僅9.9mm，雖然在體積上有極大的縮減，其功能卻是大大的提升了許多。製造商為了能達成此成果，不僅在晶片設計上做改良，封裝技術的精進，也是功不可沒的一大助力（圖一）。

●高傳輸速度：與傳統打線產品比較，晶圓級晶片尺寸封裝一般而言有較短之連結路線，在高效能要求如高頻環境之下，將會有較佳之表現。拿錫球與金線兩種連結方式做比較，根據國家半導體所公佈之實驗結果，錫球所產生的電感會比金線所產生的電感少10%以上。

●高密度連結：由於晶圓級晶片尺寸封裝可運用陣列式連結(Area Array Packaging)，因此晶片與電路板之連結不再限制於晶片之四週(Peripheral)，不但可使晶片再縮小，亦提高了單位面積之連結密度。

●低成本：傳統封裝方式於作業時，需先將晶圓切割成晶粒後再行封裝，因此當晶圓尺寸加大時，封裝成本並不因大晶圓受益，然而由於晶圓級晶片尺寸封裝製程整合於整片晶圓上，理



◀圖一 一個圖釘上可容納三個晶片（圖片來源：National Semiconductor）

論上來說，晶圓尺寸愈大，則晶圓級晶片尺寸封裝之效益愈高，相對降低封裝之製造成本。雖然由於目前業界各有各自之製程及材料，致晶圓級晶片尺寸封裝之產品尚無法在價格上取得優勢，但晶圓級晶片尺寸封裝確有降低製造成本之潛力。

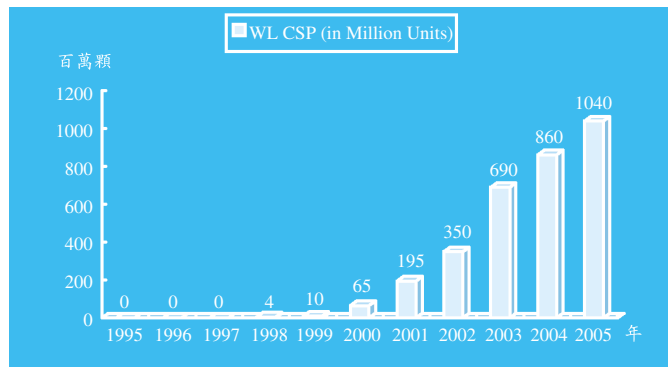
晶圓級晶片尺寸封裝的市場及應用

根據Prismark所做之統計，去年全球晶圓級晶片尺寸封裝之總生產量為8500萬顆，其中包含2000萬顆之整合被動元件，市場之預測在2005年時，不含整合被動元件之晶圓級晶片尺寸封裝總產量將達到10億4000萬顆，見圖二，而整合被動元件更將達到24億顆。在其運用方面，由於目前印刷電路板製作成本和產品可靠度之限制，現有之晶圓級晶片尺寸封裝產品多為小腳數之產品。其中以類比裝置(Analog Device)、微控制器(Microcontroller)、記憶體，及整合被動元件(Integrated Passive)為主要應用方向，見圖三。

晶圓級晶片尺寸封裝技術之介紹

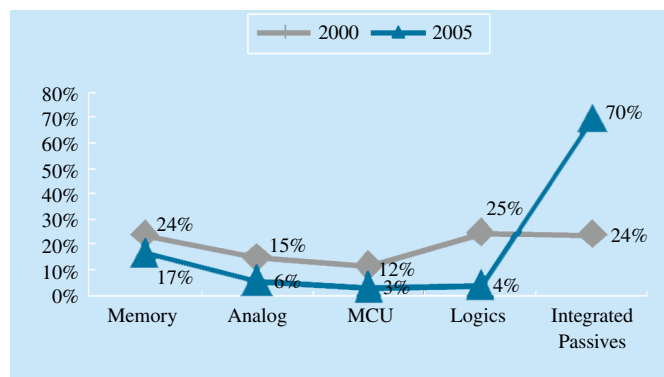
現今有許多公司在進行晶圓級晶片尺寸封裝之研究及生產，以技術方式來區別，大致可分為以下四種：

1. 重新分配(Redistribution)+金屬凸塊
 2. 重新分配+金屬凸塊+封膠
 3. 重新分配+微焊線(Micro Wire Bonding)
 4. 重新分配+樑式腳(Beam Lead)
- 重新分配乃是使用於傳統連接墊置



資料來源：Prismark

▲圖二 不含整合被動元件之晶圓級晶片尺寸封裝總產量市場之預測

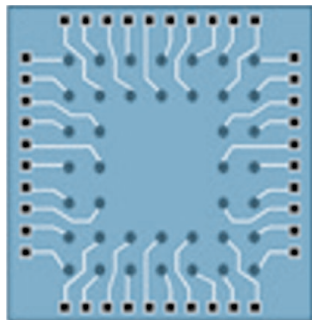


資料來源：Prismark

▲圖三 晶圓級晶片尺寸封裝之運用

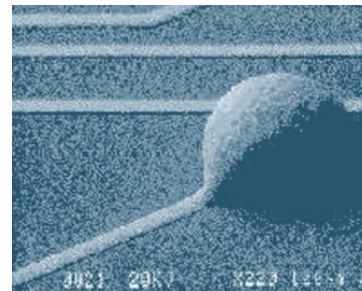
於四週之晶片，早期晶圓級晶片尺寸封裝在發展初期，重新分配乃是不可或缺之步驟，然而隨著越來越多專為晶圓級封裝而設計之晶片問市，重新分配已成為一選擇性之製程。因此在介紹各項技術之前，我們將對晶圓級晶片尺寸封裝技術中極為重要的一環「重新分配」做一簡單的了解。

大部份的晶片構造均將其輸出/輸入鋁墊設計於晶片之四週，以配合打金線(Wire Bond)之製程，然而此一設計卻限制了晶面上可用來當做I/O墊的區域，因此當I/O數增加或晶片面積縮小時，以傳



◀ 圖四 重新分配之概念（圖片來源：FCD）

▶ 圖五 重新分配實例（圖片來源：Unitive）



統設計晶片之方法而言，縮短I/O墊間距（或將其排成二至三圈）成了唯一解決方法，雖然現今已有 $50\mu\text{m}$ 間距晶片之量產，然而若考慮使用四週鋁墊於晶圓級晶片尺寸封裝，則高密度印刷電路板的製作成本將大大降低晶圓級晶片尺寸封裝之競爭力。由於晶圓級晶片尺寸封裝採用晶粒與印刷電路板直接連結，打金線之製程已然省略，I/O墊就不需放置在四週，若能運用整個晶片面積做為I/O之區域，則不僅提高可容納I/O數，印刷電路板的製作密度亦可獲得有效之改善。當然，最基本的方法便是改變晶片之設計，如國家半導體之MicroSMD產品。然而，對於許多已量產之產品來說，此舉無異是一項增加成本及製作時間之非最佳解。因此，如何運用現有資源來達到改變I/O位置便成為許多公司研究之方向，而在眾多針對此問題所提出之解決方案之中，以重新分配最受青睞。

重新分配的基本概念即是運用金屬薄層形成導通路線，將位於晶片四週之連接點，重新分佈於所要之位置，見圖四，通常會再用介電物質(Dielectric)保護金屬薄層及晶片。此一金屬薄層通常為包含數層不同金屬之金屬層，至於成分則因公司與技術而異。至於介電物質則多半使用BCB (Benzocyclobutene)或PI (Polyimide)。然而，光有重新分配並無法

使晶片與電路板連接，須在新分配之位置加上連接墊，最常見的方式即為使用錫凸塊(Solder Bumping)或錫球，見圖五。

一、重新分配+金屬凸塊

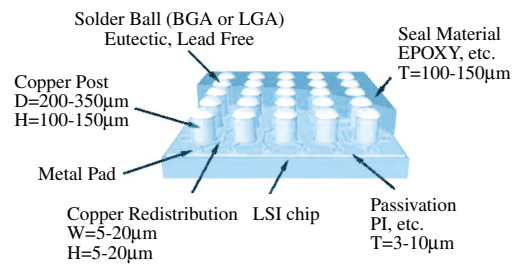
此一製程乃是目前最受歡迎也是產量最高之技術（見圖二）。其製作方式為在做完重新分配後，以植球於連接墊上的方式來提供電路連接。由於其製程相對於其他製程來說，顯得較為簡單，且於低腳數之產品而言，成本最為低廉，因此成為目前晶圓級晶片尺寸封裝技術之主流。

其大致製程為：

1. 晶圓保護層處理：通常加上一層矽氮化物(Silicon Nitride)以保護晶圓，方便下一製程加工。
2. 鋪上第一層介電質：最常被使用的介電質為BCB及PI，一般來說，美系製程較偏好使用BCB，而日系製程較偏好使用PI。
3. 上UBM：由於製程及成份的不同，上UBM亦有許多不同技術，一般而言，業界上UBM的方法大致可分為：蒸鍍(Evaporated UBM)、濺鍍(Sputtered UBM)及無電鍍(Electroless UBM)。
4. 新導通路徑及連接點成形：利用



▲圖六 National Semiconductor之Micro SMD，並未使用重新分配（圖片來源：National Semiconductor）



▲圖七 重新分配+金屬凸塊+封膠的示意圖（圖片來源：IEP）

表一 各公司之UBM材質及錫球焊接方式

公司名	產品名	UBM材質	連接點產生方式
FCT	Ultra CSP	Al/NiV/Cu	Screen printing; Ball Drop
National Semi.	MicroSMD	Not available*	Ball Drop
Unitive	Xtreme CSP	Al or Cu	Plating; Ball Drop

* National Semiconductor 之Micro SMD並未使用重新分配，其製程乃是在鉛墊上UBM後將錫球直接植於I/O墊上，然而其材質並未公佈。

光阻劑顯影曝光，再運用蝕刻將路徑及連接點以外之金屬洗去。

5. 鋪上第二層介電質：保護新形成之通路，並於連接點之處開空以利連接墊之處理。

6. 上錫球

代表性技術發展者為K&S FCD（Flip Chip Division前FCT，Flip Chip Technologies）、National Semiconductor、Unitive。表一列出各公司之UBM材質及錫球焊接方式。圖六為National Semiconductor公司之Micro SMD，並未使用重新分配。

二、重新分配+金屬凸塊+封膠

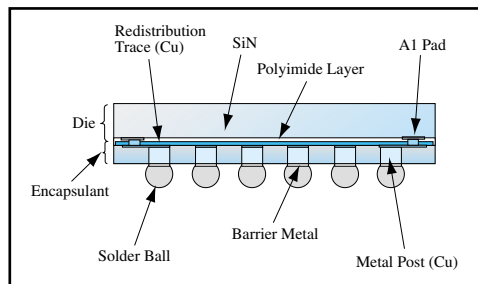
此一製程基本上與前一製程相似，最大的不同為此技術增加了以封膠來保護晶粒之概念，由於封膠有著一定之高

度，為了連結連接點與連接墊，此製程技術需多一個長金屬柱(Metal Post)的動作，見圖七。由於增加了數個製程，根據Prismark的統計，這種製程是幾項晶圓級晶片尺寸封裝技術中最为昂貴的。但由於此種製程多了一層封膠的保護，因此在朝向大面積晶片之晶圓級晶片尺寸封裝發展時，並不需要在上板時，加入底膠充填(Underfill)之程序。

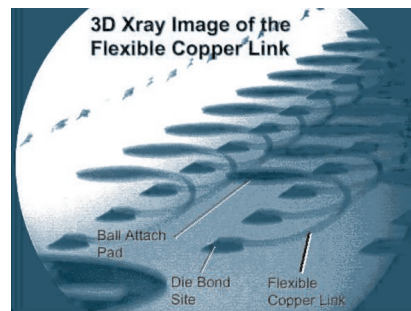
其大致製程為：

1. 晶圓保護層處理
2. 鋪上第一層介電質
3. 重新分配，包含上UBM及新導通路線成形等前述之製程
4. 長金屬柱
5. 封膠
6. 上錫球

代表性技術發展者為IEP、Fujitsu、見圖八，表二列出各公司之各項特性。



▲圖八 重新分配+金屬凸塊+封膠的切面圖
(圖片來源：Fujitsu, Super CSP)



▲圖九 微焊線（圖片來源：Tessera）

表二 重新分配+金屬凸塊+封膠具代表性公司之各項特性

公司名	產品名	金屬柱材質	介電質材質
IEP	Real CSP	Cu	PI
Fujitsu	Super CSP	Cu	PI



▲圖十 微焊線（圖片來源：Formfactor）

三、重新分配+微焊線

這一製程技術是目前量產之晶圓級晶片尺寸封裝產品中，產量最小的，甚至可歸類為尚在研發階段之技術。此一製程的特色為在實行重新分配之後，利用金屬導線導通連接墊與基板或電路板之連接點形成通路。至於如何將金屬導線置於希望之位置，則因個別公司而有所不同。在此對這一技術之兩大製程做一簡介。

1. Tessera之 WAVE(Wide Area Vertical Expansion)

首先，一層有著微焊線之中間連接層(Flex Circuit Interconnection Layer)與重新分配後之晶圓在各連接墊連接。再垂直撐高中間連接層。於中間連接層與晶圓間灌膠，見圖九，上錫球於連接層上。這一製程乃是由Tessera之專利技術 μ BGA演變而來，其一大特色乃是此技術亦可運用於單一晶粒上（如 μ BGA之製

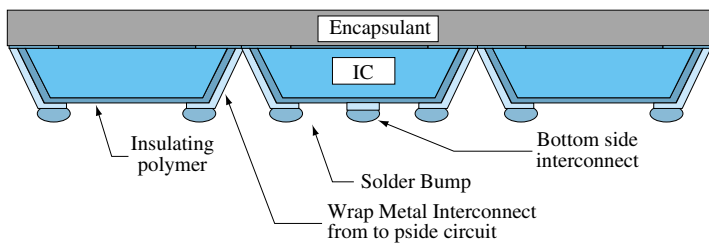
程）。好處是當晶片之製作良率不高時，可採用單一晶粒之製程以降低成本。

2. Formfactor之 M.O.S.T (Micro Spring Contact On Silicon Technology)

其製程簡述如下。首先利用打線機台在晶圓重新分配好之連接墊上形成微焊線，在微焊線上加上金屬使其強度及彈性增加，見圖十，由於此技術並非使用錫球與電路板連接，而是採用有彈性之焊線，如此便可進行上板之動作。由於此製程採用微焊線為連接方式且不需使用底膠填充，因此若在不同材質有著不同熱膨脹係數之考量下，此技術將可達到比採用底膠填充之產品更高之可靠度。

四、重新分配+樑式腳(Beam Lead)

這一製程的基本原理與“重新分配+金屬”之製程頗為相似，皆是重新分



▲圖十一 Face-Up切面圖 (圖片來源：ChipScale)

配後加一連接金屬，較為不同的乃是其重新分配之方式及技術。以Chip Scale之Face-Up技術為例，見圖十一，其製程為：

1. 鋪上保護層
2. 於晶背蝕刻出通路及樑式腳凹槽
3. 於凹槽鋪上聚合物(Polymer)
4. 於通路與接點上濺鍍Ti/W/Au
5. 再鍍上鎳與金或銅
6. 若有需要可上錫球
7. 切割

也許有讀者已經注意到，此技術是所有技術中，唯一能提供晶面朝上之封裝方式，對於需要晶面朝上工作環境之產品，如光學感應器(Optical Sensor)，乃是一大突破。然而由於製程的複雜，業界普遍對此製程有著產能及產量能力之質疑。

晶圓級晶片尺寸封裝之發展限制

1. 高I/O之限制：由於所有晶片的I/O均須透過晶面與印刷電路板直接連接，因此，對於高I/O之晶粒欲採用晶圓級晶片尺寸封裝時，假設採用錫球之連接方式，則須使用非常小之錫球以達到極小之I/O間距，雖然現今技術已可支援小於 $50\mu\text{m}$ 之間距，然而在高密度印刷電路板的設計及製作方面卻有著相當高的難度

及成本之考量。

2. 由於是晶圓級晶片尺寸封裝，不論是好的晶粒或壞的晶粒皆將被封裝，因此在晶圓製作之良率不夠高時，晶圓級晶片尺寸封裝將導致多餘之成本及測試製程。

3. 業界尚無一致之規格標準：由於晶圓級晶片尺寸封裝之尺寸及I/O排列會隨著不同公司或設計而有所改變，這將造成印刷電路板廠商在配合上的困難，若該晶片沒有一定之市場規模，印刷電路板廠商可能因成本及時效考量，未必配合生產製作所需之基板，而阻礙晶圓級晶片尺寸封裝之發展。

台灣晶圓級晶片尺寸封裝之現況

台灣目前在世界半導體市場佔有極其重要的地位，不論是在前段的晶圓代工或後段的封裝測試，皆扮演著舉足輕重的角色。根據工研院經資中心資料指出，2000年台灣封裝總產值約為新台幣987億元，佔全球委外封裝市場約34.1%。而在先進封裝的研發上，亦投入極大資源以因應高技術門檻封裝時代的來臨。以晶圓級晶片尺寸封裝技術而言，國內第一大封裝廠日月光自FCD移轉技術，目前已進入量產階段，相較於緊追其後的矽品和全球第一大廠Amkor，日月光在開發技術的進度，可說是全球代工廠商中最快的。然而雖然各家進度稍有快慢之分，但朝向晶圓級晶片尺寸封裝市場邁進的目標卻可說相當一致。