

高介電係數閘極介層技術簡介

賴明駿

工研院電子工業研究所 先進元件技術一部

副工程師

摘要

高介電係數閘極介層(High Dielectric Constant Gate Dielectric)技術是半導體元件進入深次微米乃至於奈米世代的一項重要關鍵技術。本文旨在介紹其技術背景、電性需求、材料選擇的考量、相關的製程整合，以及目前論文與專利的相關研究成果。

關鍵詞

介電係數(Dielectric Constant)；閘極介層(Gate Dielectric)；穿隧效應(Tunneling)；等效氧化層厚度(Effective Oxide Thickness, EOT)，金屬閘極(Metal Gate)

前言

隨著半導體元件尺寸縮小進入深次微米世代乃至於奈米世代，所面對的技術門檻愈形增高；例如常見的問題有如：短通道效應、高電場效應、閘極氧化層穿隧電流效應……等等。其中，閘極氧化層穿隧電流的產生，是因為當閘極氧化層厚度隨元件尺寸縮小而遞減至10nm以下時，FN穿隧機制上升，而至約3nm以下，則由直接穿隧(Direct Tunneling)效應主導氧化層的漏電流，因此，其漏電流大增。這種效應的影響

是，元件可能因閘極漏電流過大，造成閘極對於元件通道控制的失效，使得積體電路邏輯錯誤。所以近幾年來，研究閘極氧化層的文獻一直沒有停止，而此篇文章便是針對解決閘極氧化層穿隧電流效應，而使用高介電係數閘極介層技術的介紹。

元件尺寸縮小對於效能的影響

在正式介紹高介電係數閘極介層技術前，先瞭解一下元件尺寸縮小（包括

閘極介層等效厚度，EOT）對於效能的影響。一般對於效能的評估以Power(Power Dissipation)×Time(Delay Time)×Size(Die Size)乘積為指標，此乘積值越小，代表整體效能越好。然而此處Size的部分，代表的含意是Cost的觀念，實質與元件特性效能真正有關的是Power×Time的乘積項。相關電特性與效能隨元件尺寸縮小為原來的1/K時，其變化的趨勢如表一所示。

如表一所示，元件尺寸縮小可以分成定電壓與定電場兩種模式。在定電壓縮小模式中，速度提升很快，但也付出了損耗功率提高的代價；而在定電場縮小模式中，整體的效能評估指標較定電壓縮小模式好，尤其是功率損耗一項。所以元件尺寸縮小的意義，除了降低Cost外，就是提升元件整體的效能，尤其是對定電場縮小模式來說。因此，等效氧化層厚度EOT降低是需要的。另外，就元件觀點來說，當元件閘極面積愈形縮小，閘極對於通道載子的控制能力愈加困難，所以閘極介層厚度必須降低，以提升閘極電容值，增加閘極對於通道載子的控制能力。

閘極氧化層厚度縮小所面臨的挑戰

正如上述的說明，EOT降低是需要的。根據2001年ITRS的Roadmap（如表二、表三所示），2001年高效能(High Performance)邏輯電路對於

EOT的需求已至1.3~1.6nm，而低功率(Low Power)邏輯電路對於EOT的需求也降至2~2.4nm。然而，以SiO₂為基礎的閘極氧化層，當其厚度降至此一程度將面臨兩個主要的挑戰：

1. 氧化層厚度縮減的製程挑戰

2. 穿隧電流：在材料本質方面，由於考慮SiO₂中Si與O原子之間的鍵結距離大約需佔7~8Å的厚度（實際厚度極限約在10~12Å），所以SiO₂的厚度極限即為此，因此在EOT需求更嚴的世代，SiO₂便不再適用。在此之前，SiO₂的另一個製程問題是Interfacial Layer，而此Interfacial Layer與上述SiO₂的極限厚度使得超薄SiO₂的製程十分不易。當SiO₂厚度薄至3nm以下，直接穿隧效應(Direct Tunneling)主導了氧化層漏電機制，而造成極大的漏電流（圖一），這也限制了SiO₂實際可用的厚度極限。

為了延續Roadmap中EOT的需求趨勢，又考量SiO₂的上述極限，所以高介電係數閘極材料的引用便是不可避免的趨勢。

閘極介層的電性需求

既然新閘極介層材料的引用不可避免，就必須對於元件之閘極介層的電性

表一 元件電特性與效能隨元件尺寸縮小的變化趨勢

	Constant V Scaling	Constant E Scaling
$C_{ox} = \epsilon_0 \epsilon_{ox} / t_{ox}$	K	K
$I_d = WC\mu/L(V_{gs} - V_T - 1/2V_{ds})V_{ds}$	K	1/K
$C = \epsilon_0 WL/t_{ox}$	1/K	1/K
$T = CV/I_d$	1/K ²	1/K
$P = I_d V$	K	1/K ²
$P' = P/(WL)$	K ³	1
$P' \times t$ Product	K	1/K

表二 高效能邏輯技術之趨勢需求^[1]

Year for Production	2001	2002	2003	2004	2005	2006	2007	2010	2013	2016
DRAM 1/2 Pitch (nm)	130	115	100	90	80	70	65	45	32	22
MPU/ASIC 1/2 Pitch (nm)	150	130	107	90	80	70	65	50	35	25
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35	25	18	13
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25	18	13	9
Physical Gate Length High-performance (HP) (nm)	65	53	45	37	32	28	25	18	13	9
Equivalent Physical Oxide Thickness for High Performance Tox (EOT) (nm)	1.3-1.6	1.2-1.5	1.1-1.6	0.9-1.4	0.8-1.3	0.7-1.2	0.6-1.1	0.5-0.8	0.4-0.6	0.4-0.5
Gate Depletion and Quantum Effect Electrical Thickness Adjustment Factor (nm)	0.8	0.8	0.8	0.8	0.8	0.8	0.5	0.5	0.5	0.5
Tox Electrical Equivalent (nm)	2.3	2.1	2	2	1.9	1.9	1.4	1.2	1	0.9
Nominal Power Supply Voltage (Vdd) (V)	1.2	1.1	1	1	0.9	0.9	0.7	0.6	0.5	0.4
Nominal High-performance NMOS Subthreshold Leakage Current Isd Leak (at 25 °C)	0.01	0.03	0.07	0.1	0.3	0.7	1	3	7	10
Nominal High-performance NMOS Saturation Drive Current Idd (at Vdd at 25 °C) (μA/μm)	900	900	900	900	900	900	900	1200	1500	1500
Required Percent Current-drive "Mobility/Transconductance Improvement"	0%	0%	0%	0%	0%	0%	0%	30%	70%	100%
Parasitic Source/Drain Resistance (Rsd) (Ohm-μm)	190	180	180	180	180	170	140	110	90	80
Parasitic Source/Drain Resistance (Rsd) Percent of Ideal Channel Resistance (Vdd/Id)	16%	16%	17%	18%	19%	19%	20%	25%	30%	35%
Parasitic Capacitance Percent of Ideal Gate Capacitance	19%	22%	24%	27%	29%	32%	27%	31%	36%	42%
High-performance NMOS Device t (Cgate*Vdd/Id-NMOS) (ns)	1.6	1.3	1.1	0.99	0.83	0.76	0.68	0.39	0.22	0.15
Relative Device Performance	1	1.2	1.5	1.6	2	2.1	2.5	4.3	7.2	10.7
Energy Per (W/Lgate = 3) Device Switching Transition (Cgate*(3*Lgate)*V^2) (fJ/Device)	0.347	0.212	0.137	0.099	0.065	0.052	0.032	0.015	0.007	0.002
Static Power Dissipation Per (W/Lgate = 3) Device (Watts/Device)	5.60E-09	6.70E-09	1.00E-08	1.10E-08	2.60E-08	5.30E-08	5.30E-08	9.70E-08	1.40E-07	1.10E-07
	Manufacturable Solutions Exist, and Are Being Optimized									
	Manufacturable Solutions are Known									
	Manufacturable Solutions are NOT Known									

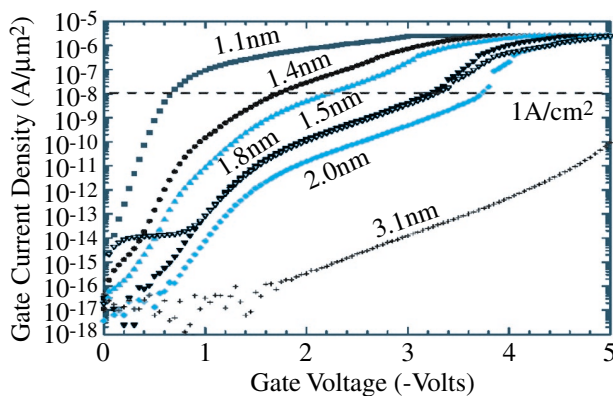
表三 低功率邏輯技術之需求趨勢^[1]

Year for Production	2001	2002	2003	2004	2005	2006	2007	2010	2013	2016
DRAM 1/2 Pitch (nm)	130	115	100	90	80	70	65	45	32	22
MPU/ASIC 1/2 Pitch (nm)	150	130	107	90	80	70	65	50	35	25
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35	25	18	13
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25	18	13	9
Physical Gate Length Low-operating Power (LOP)	90	75	65	53	45	37	32	22	16	11
Equivalent Physical Oxide Thickness for LOP Tox (EOT) (nm)	2-2.4	1.8-2.2	1.6-2	1.4-1.8	1.2-1.6	1.1-1.5	1-1.4	0.8-1.2	0.7-1.1	0.6-1
Electrical Thickness Adjustment Factor (Gate Depletion and Quantum Effects) (nm)	0.8	0.8	0.8	0.8	0.8	0.8	0.5	0.5	0.5	0.5
Tox Electrical Equivalent (nm)	3	2.8	2.6	2.4	2.2	2.1	1.7	1.5	1.4	1.3
Nominal Power Supply Voltage (Vdd) (V)	1.2	1.2	1.1	1.1	1	1	0.9	0.8	0.7	0.6
Nominal LOP NMOS Sub-threshold Leakage Current Isd Leak (at 25 °C) (nA/μm)	100	100	100	300	300	300	700	1000	3000	10000
Nominal LOP NMOS Saturation Drive Current, Idd (at Vdd at 25 °C) (μA/μm)	600	600	600	600	600	600	700	700	800	900
Required Percent Current-drive "Mobility/Transconductance Improvement"	0%	0%	0%	0%	0%	0%	0%	10%	30%	70%
LOP NMOS Device t (Cgate*Vdd/Id-NMOS) (ns)	2.55	2.45	2.02	1.84	1.58	1.41	1.14	0.85	0.56	0.35
LOP Relative Device Performance	1	1.04	1.3	1.4	1.6	1.8	2.2	3	4.6	7.2
Energy Per (W/Lgate = 3) Device Switching Transition (Cgate*(3*Lgate)*V^2) (fJ/Device)	0.496	0.424	0.26	0.193	0.128	0.094	0.069	0.032	0.015	0.006
Static Power Dissipation Per (W/Lgate = 3) Device (Watts/Device)	3.20E-11	2.90E-11	2.10E-11	5.20E-11	4.10E-11	3.30E-11	6.00E-11	5.30E-11	1.00E-10	2.00E-10
	Manufacturable Solutions Exist, and Are Being Optimized									
	Manufacturable Solutions are Known									
	Manufacturable Solutions are NOT Known									

要求有所瞭解。大致上有下列幾項需要注意：

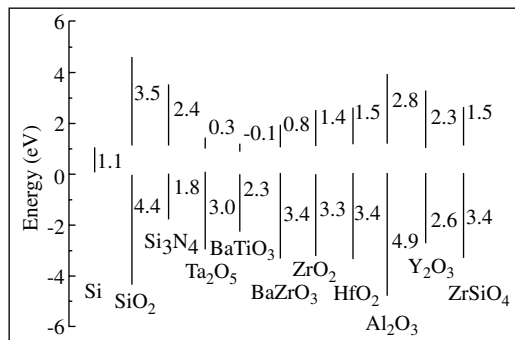
1. 等效氧化層厚度(Effective Oxide Thickness, EOT)；
2. 介電崩潰電場強度(Dielectric Breakdown Electric Field)；
3. 漏電流(Leakage Current)；
4. 載子移動率(Carrier Mobility)；
5. 平坦能帶電壓漂移(Flat-band Voltage Shift)；
6. 磁滯效應(Hysteresis)；
7. 可靠度(Reliability)；
8. 新的量子效應(New Phenomenon of Quantum Mechanics)。

EOT的要求是越小越好，對於同樣的物理厚度來說，其所對應的是更高的介電常數，但高介電常數材料的引用必須考量其他相關問題，例如：漏電流…
…。Dielectric Breakdown Field~10MV/cm



▲圖一 隨氧化層厚度降低，漏電流因穿隧效應而大增

►圖二 各介層材料的載子位能障^[2]



為可靠的範圍，而Leakage Current的要求則分為高效能與低功率兩部分，高效能的漏電流密度需求約為 $<10^2 \text{ A/cm}^2$ ，而低功率漏電流密度需求約為 $<10^{-3} \text{ A/cm}^2$ 。至於Mobility則是閘極介層一項很重要的考量參數，因為新閘極介層材料的使用最主要還是考量對元件導通電流的助益。若閘極介層電容值提升了，但Mobility卻因此下降，使得實際元件導通電流沒有因此而提升，則新閘極介層材料的使用便失去意義了。至於Flat-band Voltage Shift與Hysteresis則與介層本身的Oxide Charge（包括Fixed Oxide Charge及Oxide Trapped Charge）與Mobile Charge有關，原則是越小越好，Flat-band Voltage Shift的可接受範圍約為10~20mV，而 V_{FB} (Flat-band Voltage) Hysteresis可接受範圍則約為20mV。其他方面，Reliability也是重要的參數，確認元件不會因操作的壓力使介層崩潰，導致元件失效。此外，是否因高介電係數介層材料的使用所可能引發新的量子效應，也是值得注意的。

閘極介層材料選擇的考量

一、介電常數與位能障 (Permittivity and Barrier Height)

高介電係數材料的高介電性質來自於較高的電耦極密度，但通常具有較高電耦極密度的材料其載子的位能障也較低（如圖二所示），所以漏電較高。就上述介電電性要求的角度而言，這是互相矛盾的，因此，高介電係數材料的選用必須考量其對於漏電的容忍度。

二、與Si的動態熱穩定度 (Thermal-dynamic Stability on Si)

這裡所指的就是閘極介層與Si反應所形成的Interfacial Layer。由於各種介電材料與Si間的穩定態不同，所以極易形成Interfacial Layer，而此 Interfacial Layer通常結構不完整，且不同於所要沈積的高介電材料，所以介電常數較低，也具有較高的缺陷。因此，如何透過製程，例如：沈積方式控制、表面處理，以及選用與Si能夠保持穩定態而不易形成Interfacial Layer的介電材料，是減少Interfacial Layer主要的研究方向。在表面處理中，氮化處理是常見的一種方式，而材料方面，Silicate則是目前發現Thermal-dynamic Stability較好的選擇，例如： $(\text{ZrO}_2)_x(\text{SiO}_2)_{1-x}$ ， $(\text{HfO}_2)_x(\text{SiO}_2)_{1-x}$ （TEM截面圖與電性如圖三所示^[3]）。

三、介面品質

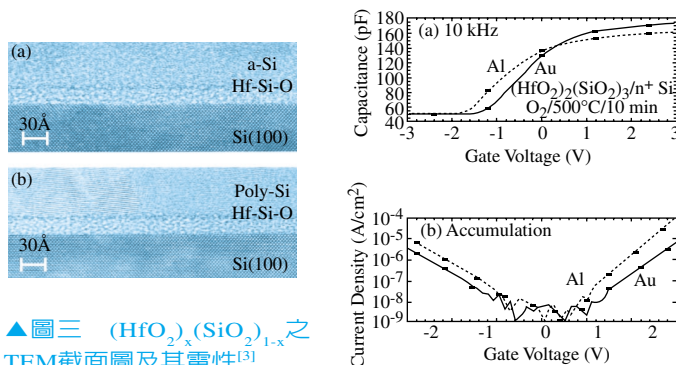
SiO_2 的中間能隙介面缺陷密度(Midgap Interface State Density)是 $D_{it} \sim 2 \times 10^{10} \text{ states/cm}^2$ ，而大多數高介電係數材料的 D_{it} 則在 $10^{11} \sim 10^{12} \text{ states/cm}^2$ ，這往往導致漏電流增加、載子移動率降低等問題。一般來說，當平均單位原子的鍵結數 >3 時，隨鍵結數越多，Interface Defect Density呈級數的增加，這主要又與鍵結強度有關。 SiO_2 中Si-O的鍵結強度可視為一參考比較指標；當高介電材料中原子與Si之間的鍵結強度過大或不足，都容易形成Interface State。以目前被研究的高介電係數材料來說，Pseudobinary System的材料具有較佳的介面性質。例如：Silicate。

四、薄膜形態(Film Morphology)

大多數的高介電係數薄膜都是複晶相(Poly Crystal)，所以有許多的晶界(Grain Boundary)，致形成漏電流的路徑；因此，非晶相(Amorphous)的介電薄膜是較適合的選擇。為達到非晶相但品質較佳的介電薄膜，常見的作法是摻雜額外的元素，例如：在 TiO_2 中摻雜La、Nd、Tb或Dy等元素。另外，理論上單晶相(Single Crystal)沒有晶界的問題，且有較佳的介面性質，但單晶的形成需要先形成Sub-monolayer，而分子束磊晶沈積(MBE)可以達成此一目的。唯一較大的問題是，MBE的沈積方式其Throughput太低，並不適合量產技術。

五、閘極相容性(Gate Compatibility)

當閘極介層厚度越薄，因通道電荷所引發在Poly Gate的空乏效應(Poly Depletion Effect)越大，這猶如介電層電容串接了一個Poly Depletion電容，使得等效閘極電容變小，導通電流因此而降低。除此之外，一般高介電係數材料容易與Si反應形成Interfacial Layer，所以高介電係數介層也易與Poly Gate形成Interfacial Layer而使EOT上升。針對上述兩點，金屬閘極(Metal Gate)的使用已是



▲圖三 $(\text{HfO}_2)_x(\text{SiO}_2)_{1-x}$ 之TEM截面圖及其電性^[3]

一種趨勢，而金屬閘極的能帶示意圖如圖四所示。對於單一金屬閘極來說，為使NMOS與PMOS有相近的Threshold Voltage，必須選擇功函數(Work Function)的費米能階(Fermi Level)接近於Si midgap的金屬，例如：TiN。但對於 $<0.13\mu\text{m}$ （針對不同之Roadmap會有一些不同）的技術世代來說， $V_T \sim 1/2 E_g = 0.5\text{V}$ 太高了，所以雙金屬閘極(Dual Metal Gate)的使用便是必須的。利用兩種不同的金屬，針對NMOS與PMOS的需求，個別選擇其功函數的費米能階(Quasi Fermi Level)接近N-type Si與P-type Si的準費米能階的金屬，使其個別具有適合的 V_T 值。例如：Pt閘極用於PMOS，Al閘極用於NMOS。然而，Pt不易蝕刻，所以有研究以 IrO_2 或是 RuO_2 替代之。而Al則易與閘極介層形成 Al_2O_3 的Interfacial Layer，所以有以Ta或是Ta₂N來替代的。另外，配合金屬閘極的使用，發展出鑲嵌式(Damascene)的閘極製程，如此可以避免金屬閘極的蝕刻問題，同時配合犧牲閘極(Dummy Gate)的製程，可以有效減低閘極介層後續較高溫製程對於介層厚度的影響。這部分會在後續說明。

六、製程相容性

任何的介電薄膜材質的品質均與其沈積的方式關係密切。目前高介電係數材料沈積的方式常見的有：物理氣相沈

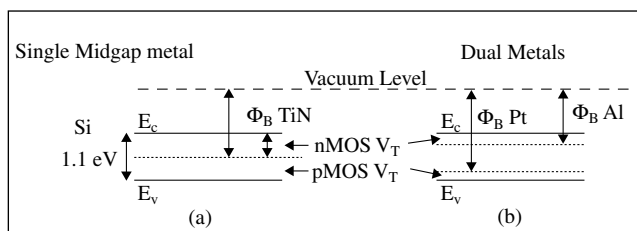
積(PVD)、原子層化學氣相沈積(ALCVD)、噴射式氣相沈積(JVD)、分子束磊晶沈積(MBE)等等。其中，PVD通常有造成基板傷害的可能，使得介面品質較差，例如：濺鍍方式(Sputter)；而MBE雖然有很好的薄膜品質，但是Throughput太低，不利於量產技術。目前的沈積技術中，以ALCVD與JVD較可能實現，薄膜品質也不錯。在此必須強調的是，針對不同的介電材料，除材料本質的特性外，沈積方式太大的影響其品質。

七、可靠度

類似一般對於介電材料Reliability的探討，高介電係數閘極介層對於Reliability也探討其 E_{BD} （或是 Q_{BD} ）、SILC (Stress Induced Leakage Current)等等的項目，然而必須注意的是，由於高介電係數材料閘極介層是應用於極微小尺寸的技術世代，其實際的閘極面積很小，而在驗證介電層品質時卻常以測試鍵(Testkey)來評斷，如此容易造成誤判。例如：對於同一介電薄膜， Q_{BD} 在較小的測試鍵與較大的測試鍵不同^[4]，所以若以大測試鍵的結果來評斷介電層品質，會與實際情形有所差異，這是需要注意的。

常見的高介電係數閘極介層材料

表四所示為常見的高介電係數閘極介電材料，除介電常數低於10的 Si_3N_4 、 Al_2O_3 外，還有介電常數較高的Metal Oxide，例如： Y_2O_3 、 La_2O_3 、 Ta_2O_5 、 TiO_2 、 HfO_2 、 ZrO_2 等等。其中，多數的Metal Oxide仍與Si容易反應形成Interfacial Layer，即使理論上不易與Si反應的 HfO_2



▲圖四 Single Metal與Dual Metal Gate的能帶示意圖

及 ZrO_2 ，實際上仍會形成Interfacial Layer。就材料的Thermal-dynamic Stability而言， $(\text{HfO}_2)_x(\text{SiO}_2)_{1-x}$ 及 $(\text{ZrO}_2)_x(\text{SiO}_2)_{1-x}$ （即Silicate）等不易與Si反應形成Interfacial Layer，此點也可以從圖五的三相圖中看出。所以目前來說， $(\text{HfO}_2)_x(\text{SiO}_2)_{1-x}$ 及 $(\text{ZrO}_2)_x(\text{SiO}_2)_{1-x}$ 是較佳的選擇。

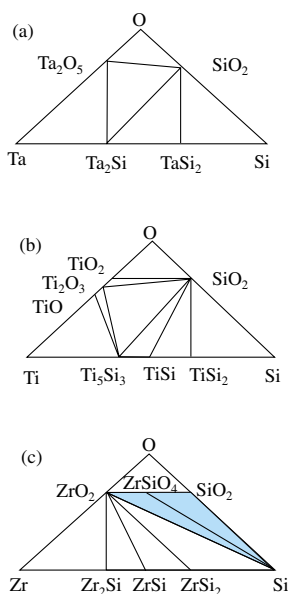
根據目前各文獻的研究，相關高介電係數閘極介層的問題如表五所示。由表五得知，多數的高介電係數閘極介層仍有Oxide Charge與Interface Charge的問題。此外，Interfacial Layer的控制也是一個重要的問題。整體來說，雖然Silicate的介電係數會稍低於Metal Oxide，但其Interfacial Layer的控制以及介面品質都較好，是目前較佳的選擇，唯仍須更多深入的研究。現在針對高介電係數閘極介層材料的選擇尚未有明確的定論。

在此，附上近幾年各文獻研究的結果（表六）以供參考，表列的資料僅以EOT與漏電流為比較參考項目。在表列的

數據中，多數是MOS電容測試鍵的量測結果，少數公司的元件測試結果在Note中標註其元件通道長度。表中EOT最低的為TI發表於2001 VLSI，以Sputter方式沈積的 HfO_2 薄膜， $\text{EOT}=7.1\text{\AA}$ ， -1.5V 下的漏電流密度約為 10^{-3}A/cm^2 。若以元件測試數據來說，EOT最低的為IBM的結果， $\text{EOT}=8\text{\AA}$ ，且應用於 20nm 的元件上，但其閘極介層材料及其漏電密度不明。整體來說，各閘極介層材料的EOT不見得如上述的分析，在特定的材料有較低的EOT值，這主要是與沈積方式不同有關。也就是說，除材料本質的特性外，沈積的方式將決定介層材料的Thermal-dynamic Stability，進而影響介層材料的特性，所以沈積系統的設計在閘極介層的研究上十分重要。

高介電係數材料閘極介層相關專利現狀

目前高介電係數材料閘極介層相關



▲圖五 參考閘極材料的三相圖^[5]

表四 Comparison of Relevant Properties for High- κ Candidates

Material	Dielectric Constant (κ)	Band Gap E_G (eV)	ΔE_C (eV) to Si	Crystal Structure (s)
SiO_2	3.9	8.9	3.2	Amorphous
Si_3N_4	7	5.1	2	Amorphous
Al_2O_3	9	8.7	2.8 ^a	Amorphous
Y_2O_3	15	5.6	2.3 ^a	Cubic
La_2O_3	30	4.3	2.3 ^a	Hexagonal, Cubic
Ta_2O_5	26	4.5	1-1.5	Orthorhombic
TiO_2	80	3.5	1.2	Tetrag. ^c (Rutile, Anatase)
HfO_2	25	5.7	1.5 ^a	Mono. ^b , Tetrag. ^c , Cubic
ZrO_2	25	7.8	1.4 ^a	Mono. ^b , Tetrag. ^c , Cubic

^aCalculated by Robertson (See Ref. 153).

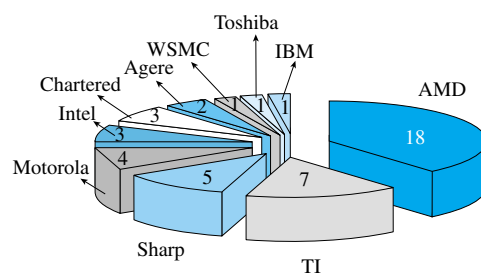
^bMono. = Monoclinic.

^cTetrag. = Tetragonal.

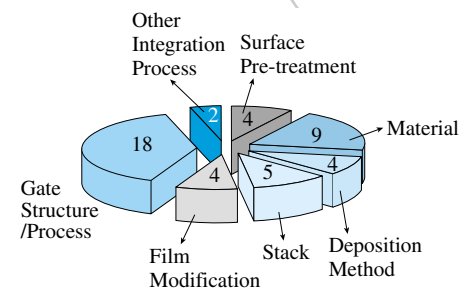
專利現狀與特徵如表七、八所示。

根據表七、八所列，進一步依專利所有權人（圖六）及專利領域（圖七）進行分析得知，在高介電係數閘極介層的專利中，AMD與TI佔了一半以上，其中，AMD主要專利範圍是在應用高介電係數閘極介層材料的閘極結構(Gate Structure)與製程整合(Process Integra-

tion)，而TI則是集中在高介電係數閘極介層材料本身。就專利領域來看，大致上可以分為7大類：表面處理、材料、沉積方式、堆疊式閘極(Gate Stack)、薄膜處理(Film Modification)、閘極架構及相關製程整合(Gate Structure and Process Integration)、其他相關製程整合。其中，也是以 Gate Structure and Process



▲圖六 高介電係數閘極介層專利之專利所有權人分佈



▲圖七 高介電係數閘極介層專利之領域分佈

表五 相關閘極介層的問題

Material	Issue
Oxynitride, on Stack, Nitride	Short-term
Ta ₂ O ₅	1. Non-thermal Dynamic Stability 2. Interface Reaction (Barrier Needed)
STO	1. Non-thermal Dynamic Stability 2. Interface Reaction (Barrier Needed) 3. Crystallinity Dominate 4. Oxygen Vacancy
Al ₂ O ₃	1. Oxide and Interface Charge 2. Mobility 3. Boron Segregation Resist
Y ₂ O ₃	1. Oxide and Interface Charge
La ₂ O ₃	1. La Volatile 2. Water Absorption 3. Oxide and Interface Charge
TiO ₂	1. Oxygen Vacancy 2. Mobility
HfO ₂	1. Interfacial Layer Control
ZrO ₂	1. Interfacial Layer Control
Silicate	Theoretically Better Candidate, but Need More Research

表六 高介電係數閘極介層相關研究結果

Material	Method	EOT(A)	Jg(A/cm ²)	Publisher	Publication	Note
Ta ₂ O ₅		23			1998IEDM	
STO	MBE	8	10 ⁻²		2000APL	
Al ₂ O ₃		9.6			2000VLSI	
Al ₂ O ₃	ALCVD	13	10 ⁻¹		2000IEDM	
Al ₂ O ₃	ALCVD ECR-sputter	15	10 ⁻² @1.2		2001IWGI	
Y ₂ O ₃	Sputter +oxidation	10~15	10 ⁻⁶ ~10 ⁻³		2000APL	
La ₂ O ₃	evaporation	10~14	10 ⁻⁴ ~10 ⁻⁷		2000APL	
TiAlO		13.5	1	Yale Un.	2001IEDM	
HfO ₂	sputter	11.5	10 ⁻²		2000IEDM	
HfO ₂		10.3	10 ⁻⁴	Texas Un.	2001VLSI	
HfO ₂	sputter	7.1	10 ⁻² @1.5V	Texas Un.	2001VLSI	
HfO ₂		14		Intel	2001IEDM	*RF application
HfO ₂	ALCVD	13~15	10 ⁻⁷ @0.6V	Murry	2001IEDM	*50nm VRG
HfO ₂	sputter	11	10 ⁻²	Berkeley	2001IEDM	*70nm
HfO ₂		11.7		Yale Un.	2001IEDM	
HfSiON		12.8	0.38	TI	2001IEDM	
ZrO ₂	RTCVD	11	10 ⁻³	Texas Un.	2001VLSI	
ZrO ₂		8.9	2×10 ⁻²	Texas Un.	2001IEDM	
ZrO ₂		11.7	10 ⁻⁵	Texas Un.	2001VLSI	* with TaN barrier
ZrO ₂		11	1	Yale Un.	2001IEDM	
ZrON	Sputter+ Nitrdation+ oxidation	15	10 ⁻³	Toshiba	2001IEDM	
Zr silicate		12	10 ⁻¹		1999IEDM	
Zr silicate	JVD	11 15	10 10 ⁻² ~10 ⁻¹	Yale Un.	2001VLSI	
Zr silicate		9.6	2.3×10 ⁻²	Texas Un.	2001IEDM	
Zr silicate		18	10 ⁻⁶	TI	2000JAP	
?		13		NEC	2001VLSI	*70nm
?		8		Intel		* 70~20nm
Lanthanide oxide	evaporation	10~13	10 ⁻³ ~10 ⁻⁴	KIST Korea	2001IEDM	

表七 高介電係數閘極介層相關專利列表⁽¹⁾

Patent No.	Date	Assignee	Classification	Note
6348373	2002/2/29	Sharp	Film Treatment	O ₂ implant+annealing
6342414	2002/1/29	AMD	Gate Structure/Process	Damascene metal gate structure and process
6340827	2002/1/22	Agere	Stack Film	Diffusion barrier layer
6335238	2002/1/1	TI	Stack Film	SiC barrier
6326273	2001/12/4	AMD	Gate Structure/Process	Trapezoidal shape gate
6306742	2001/10/23	Intel	Surface Pre-treatment	N ₂ implant through SAC oxide
6306741	2001/10/23	Chartered	Gate Structure/Process	Damascene gate process
6303940	2001/10/16	Agere	Stack Film	High-K film on oxide
6303418	2001/10/16	Chartered	Gate Structure/Process	Dual gate structure(metal-N, metal+poly-P)
6300203	2001/10/9	AMD	Deposition Method	Electrolytic deposition
6300201	2001/10/9	Chartered	Gate Structure/Process	Dummy SiN gate/high-K and gate post formation
6297539	2001/10/2	Sharp	Material	Zr/Hf doped with divalent or trivalent materials
6297107	2001/10/2	AMD	Deposition Method	Chemical solution deposition
6291867	2001/9/18	TI	Material	Zr/Hf-SiON
6291866	2001/9/18	TI	Material	Zr/Hf-ON
6291278	2001/9/18	AMD	Gate Structure/Process	Device with damascene gate process
6287903	2001/9/11	TI	Stack Film	high-K film on Ge layer
6271132	2001/8/7	AMD	Gate Structure/Process	Device with damascene gate process
6271094	2001/8/7	IBM	Gate Structure/Process	Damascene gate process with taper bottom corner
6265749	2001/7/24	AMD	Material	High-K material
6251761	2001/6/26	TI	Film Treatment	Remote plasma nitridation

Integration所佔比例最多。在AMD有關於Gate Structure與Process Integration的專利中，值得一提的是鑲嵌式金屬閘極(Damascene Metal Gate)及氮化矽犧牲閘極(Nitride Dummy Gate)的觀念。

所謂Damascene Metal Gate的作法，是先沈積絕緣介層，再將閘極區域蝕刻開，沈積閘極介層與金屬閘極，磨平表面後，將最先沈積的絕緣介層蝕刻掉，如此便完成一金屬閘極架構。此一方式，除可以避免一些金屬乾蝕刻問題外，也可以避免閘極乾蝕刻時所造成的表面傷害。而Nitride Dummy Gate其實也是屬於Damascene Gate Process的一種改良方式，主要是減少在閘極介層形成後，後續的一些熱處理（主要來自於S/D Implant Annealing）對於閘極介層厚度的

影響。其作法是，類似於前述Damascene Gate的方式，在閘極區域蝕刻開後，沈積犧牲氧化層與Nitride Gate，然後去除周圍的介層，如此一Nitride Gate便形成，之後完成S/D等Junction以及Annealing步驟，再沈積絕緣用介層，去除Nitride Gate及下層犧牲氧化層後，再沈積閘極介層與閘極金屬填充去除Nitride Gate後的閘極區域，之後步驟就與Damascene步驟相同。由於S/D Annealing時，閘極的Nitride及下層氧化層只是一犧牲材料，之後便會去除，所以並不會影響最後的閘極介層。

在TI關於高介電係數閘極介層材料的專利方面，主要是以HfO₂及ZrO₂為主體，利用氮化處理形成Hf Oxynitride或是Zr Oxynitride，以及利用摻雜2價或是3價金屬，調整介層的結晶相，例如：摻雜

表八 高介電係數閘極介層相關專利列表⁽²⁾

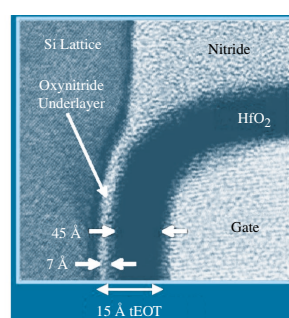
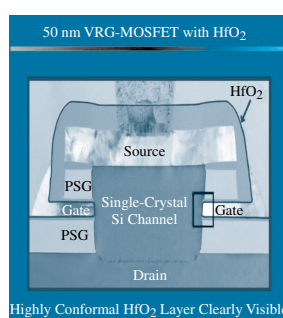
Patent No.	Date	Assignee	Classification	Note
6248675	2001/6/19	AMD	Gate Structure/Process	Device with damascene gate process
6210999	2001/4/3	AMD	Gate Structure/Process	Test structure
6207589	2001/3/27	Sharp	Material	Zr/Hf doped with trivalent materials
6190748	2001/2/27	AMD	Spacer	Low-K spacer/high-K gate dielectric suppress fringing
6184072	2001/2/6	Motorola	Deposition Method	Metal/SiO ₂ stack+diffusion
6172407	2001/1/9	AMD	Gate Structure/Process	Device with damascene gate process
6133106	2000/10/17	Sharp	Gate Structure/Process	Device with damascene gate process
6130451	2000/10/10	Toshiba	Deposition Method	CVD TaOyNz
6110784	2000/8/29	AMD	Material+Pre-treatment	TiO ₂ , Ta ₂ O ₅ , CrO ₂ , SrO ₂ + Nitrogen treatment
6100120	2000/8/8	AMD	Gate Structure/Process	Damascene gate process
6093590	2000/7/25	WSMC	Gate Structure/Process	Damascene gate process
6087231	2000/7/11	AMD	Gate Structure/Process	Device with damascene gate process
6066533	2000/5/23	AMD	Gate Structure/Process	Dual gate with dummy gate process
6063698	2000/5/16	Motorola	Film Treatment	Post wet oxidation treatment
6060755	2000/5/9	Sharp	Material	Zr/Hf doped with Al
6051865	2000/4/18	AMD	Surface Pre-treatment	Nitridation Si surface
6048769	2000/4/11	Intel	Other integration process	Dual dielectric layer
6020243	2000/2/1	TI	Material	Zr/Hf-SiON
6020024	2000/2/1	Motorola	Stack Film	High-K film on nitride layer
6013553	2000/1/11	TI	Material	Zr/Hf-ON
6002150	1999/12/14	AMD	Gate Structure/Process	T-gate
5960270	1999/9/28	Motorola	Gate Structure/Process	Device with damascene gate process
5937303	1999/8/10	AMD	Film Treatment	post nitrogen implant treatment
5891798	1999/4/6	Intel	Surface Pre-treatment	Nitrogen implant through SAC oxide
589178	1999/4/6	Intel	Surface Pre-treatment	Nitrogen Implant Through SAC Oxide

Al形成Aluminate，使介層偏向非晶相，降低漏電流；或是調整介層對於載子的位能障，同樣也是希望降低漏電流。

由專利分析可以發現，高介電係數閘極介層的兩大研究方向就是高介電係數材料本身，以及與金屬閘極的製程整合問題。

未來非傳統式元件與高介電係數閘極介層的應用

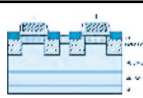
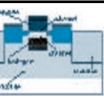
傳統的CMOS元件面臨了許多尺寸進一步微小化的障礙，尤其是微影技



▲圖八 IBM以HfO₂為閘極介層，應用於50nm之VRG-MOSFET^[6]

術，所以近幾年有許多關於非傳統CMOS元件的研究，希望藉由其他的元件架構，突破傳統CMOS元件進一步微小化的

表九 非傳統CMOS元件之架構與特徵^[1]

					
DEVICE	ULTRA-THIN BODY SOI	BAND-ENGINEERED TRANSISTOR	VERTICAL TRANSISTOR	FINEFT	DOUBLE-GATE TRANSISTO
CONCEPT	Fully Depleted SOI	SiGe or Strained Si Channel; Bulk Si or SOI	Double-gate or Surround-gate Structure (No Specific Temporal Sequence for These Three Structures is Intended)		
APPLICATION DRIVER	Higher Performance, Higher Transistor Density, Lower Power Dissipation				
ADVANTAGES	•Improved Subthreshold Slope •V_t Controllability	•Higher Drive Current •Compatible with Bulk and SOI CMOS	•Higher Drive Current •Lithography Independent L_g	•Higher Drive Current •Improved Subthreshold Slope •Improved Short Channel Effect •Stacked NAND	•Higher Drive Current •Improved Subthreshold Slope •Improved Short Channel Effect •Stacked NAND
SCALING ISSUES	•Si Film Thickness •Gate Stack •Worse Short Channel Effect Than Bulk CMOS	•High Mobility Film Thickness, in Case of SOI •Gate Stack •Integration	•Si Film Thickness •Gate Stack •Integrability •Process Complexity •Accurate TCAD Including QM	•Si Film Thickness •Gate Stack •Process Complexity •Accurate TCAD Including QM Effect	•Gate Alignment •Si Film Thickness •Gate Stack •Integrability •Process Complexity •Accurate TCAD Including QM Effect
DESIGN CHALLENGES	•Device Characterization •Compact Model and Parameter Extraction	•Device Characterization	•Device Characterization •PD Versus FD •Compact Model and Parameter Extraction •Applicability to Mixed Signal Applications		
MATURITY	Development				
TIMING	Near Future 				

限制，提升元件的效能。如此可以延續 Morre' s Law的生命週期以及延緩對於更低EOT閘極介層的需求時間。目前較熟知的有幾種非傳統CMOS元件的架構（表九），如：Ultra-thin SOI Device、Band Engineering Device、Vertical Transistor、FinFET、Double Gate Transistor等等。但無論如何，當這些元件需進一步提升其效能時，仍舊會使用到更低EOT的閘極介層。IBM發表了一個以HfO₂為閘極介層的50nm VRG-MOSFET元件範例，其等效的EOT為1.5nm，如圖八所示。諸如此類，高介電係數閘極介層材料應用於未來非傳統CMOS元件的研究，將愈形重要。

結論

高介電係數閘極介層材料及其製程整合的研究在現在及未來幾年的半導體

元件發展上佔有十分重要的地位；雖然有不少的研究團體已做過許多相關的研究，但對於較明朗的材料選擇及其製程整合則尚未有明確的解決方案，這是未來亟待尋求解答的重要課題。

參考文獻

1. 2001 ITRS.
2. J. Robertson etc., Appl. Phys. Lett. 74, p. 1168, 1999.
3. G. D. Wilk etc., J. Appl. Phys. 87, p. 484, 2000.
4. J. S. Suehle etc., ISPD, p.90, 2001.
5. J. Robertson, J. Vac. Sci. Technol. B 18, p. 1785, 2000.
6. IBM data.
7. G. D. Wilk etc., J. Appl. Phys. Vol. 89, No. 10, p. 5243~5275, 2001.