

# Lithography in ITRS 2001

李中裕  
工研院電子工業研究所  
半導體元件技術組微影製程技術課 工程師

## 摘 要

本文由ITRS2001的Lithography Roadmap出發，探討各種微影技術的未來趨勢，並討論光學微影技術所能達到的物理極限與各相關產業的配合問題。另外，也將介紹下一代微影技術所面臨的困難與挑戰。

## 關鍵詞

光學微影(Photo Lithography)；深紫外光微影(Deep Ultraviolet Lithography, DUV)；電子束投影微影(Electron Projection Lithography, EPL)；極短紫外光微影(Extreme Ultraviolet Lithography, EUV)

從1965年以來，半導體工業一直遵守著Intel的創辦人之一「摩爾」博士對於微處理器的電晶體密度所提出的預言—摩爾定律(Moore's law)。意即每十八個月電晶體密度就會增加一倍。這個定律控制了半導體業者的生死存亡，為了不從摩爾曲線上滑落，就必須不斷的提升製程技術，其中的關鍵技術即為微影。微影製程技術是所有相關部分的最大挑戰，特別是在重疊曝光、微處理機的閘極線寬控制與低缺陷製程方面。在過去30年，微處理器的速度增加了3000倍，記憶體密度則增加了100萬倍。若是沒有微影製程的持續改善，則更小、更快與

成本更低的微處理器將不會誕生，電腦工業與網路環境也不會是目前的模樣，由此可知微影製程的重要性。值得注意的是一個體質健全的半導體工業，需要讓所有的上下游工業如晶圓、光罩、設備與材料供應商等都達到一定的投資回收，才会有足夠的獲利提供下一代的研發投資。因此考慮下一代的微影技術時，除了曝光設備的研發外，光阻研發與相關製程設備，包括光罩製作、製造光罩的儀器與光罩材質；關鍵尺寸(Critical Dimension; CD)的量測儀器、疊對(Overlay)控制以及缺陷檢測(Defect Inspection)等都需要一併加以考慮。如此

一來，整個工業才能有機會朝下一個世代的技術邁進。本文主要由ITRS2001出發，探討光學微影技術所能達到的極限與各相關產業的配合問題，同時也將說明下一代微影技術的發展趨勢。

## 光學微影

關於微影技術的需求，可就2007年以前的光學微影階段，以及2010年以後的下一代微影技術發展階段觀之，其技術需求示如表一。在此即分就兩階段技術做一說明。

光學微影目前仍為微影製程的主

力，估計還有一段非常長的時間才有可能被取代。其發展主要面對兩大挑戰：

### 一、利用光學方式將曝光圖型推展到物理極限

光學微影進展能力被極致持續的逼迫出來。例如在1991年，光學微影在248nm的DUV(Deep Ultraviolet Lithography)微影製程中認為180nm是個極限點，而193nm DUV的紀元原本是設在180nm技術這個環節點上。而目前ASML相信光學微影的極限應該是落在70nm和50nm的線寬上。Intel則將193nm DUV的

表一 微影技術需求表

| Year of Production                  | 2001 | 2002 | 2003 | 2004 | 2005 | 2006 | 2007 | 2010 | 2013 | 2016 |
|-------------------------------------|------|------|------|------|------|------|------|------|------|------|
| <b>DRAM</b>                         |      |      |      |      |      |      |      |      |      |      |
| DRAM 1/2 Pitch (nm)                 | 130  | 115  | 100  | 90   | 80   | 70   | 65   | 45   | 32   | 22   |
| Contact in Resist (nm)              | 165  | 140  | 130  | 110  | 100  | 90   | 80   | 55   | 40   | 30   |
| Contact after Etch (nm)             | 150  | 130  | 115  | 100  | 90   | 80   | 70   | 50   | 35   | 25   |
| Overlay                             | 46   | 40   | 35   | 32   | 28   | 25   | 23   | 18   | 13   | 9    |
| CD Control (3 Sigma) (nm)           | 15.9 | 14.1 | 12.2 | 11.0 | 9.8  | 8.6  | 8.0  | 5.5  | 3.9  | 2.7  |
| <b>MPU</b>                          |      |      |      |      |      |      |      |      |      |      |
| MPU 1/2 Pitch (nm)                  | 150  | 130  | 107  | 90   | 80   | 70   | 65   | 45   | 32   | 22   |
| MPU Gate in Resist (nm)             | 90   | 70   | 65   | 53   | 45   | 40   | 35   | 25   | 18   | 13   |
| MPU Gate Length after Etch (nm)     | 65   | 53   | 45   | 37   | 32   | 28   | 25   | 18   | 13   | 9    |
| Contact in Resist (nm)              | 165  | 140  | 122  | 100  | 90   | 80   | 75   | 50   | 37   | 27   |
| Contact after Etch (nm)             | 150  | 130  | 107  | 90   | 80   | 70   | 65   | 45   | 32   | 22   |
| Gate CD Control (3 Sigma) (nm)      | 5.3  | 4.3  | 3.7  | 3.0  | 2.6  | 2.4  | 2.0  | 1.5  | 1.1  | 0.7  |
| <b>ASIC/LP</b>                      |      |      |      |      |      |      |      |      |      |      |
| ASIC/LP 1/2 Pitch (nm)              | 150  | 130  | 107  | 90   | 80   | 70   | 65   | 45   | 32   | 22   |
| ASIC/LP Gate in Resist (nm)         | 130  | 107  | 90   | 75   | 65   | 53   | 45   | 32   | 22   | 16   |
| ASIC/LP Gate Length after Etch (nm) | 90   | 80   | 65   | 53   | 45   | 37   | 32   | 22   | 16   | 11   |
| Contact in Resist (nm)              | 165  | 140  | 122  | 100  | 90   | 80   | 75   | 50   | 37   | 27   |
| Contact after Etch (nm)             | 150  | 130  | 107  | 90   | 80   | 70   | 65   | 45   | 32   | 22   |
| CD Control (3 Sigma) (nm)           | 7.3  | 6.5  | 5.3  | 4.3  | 3.7  | 3.0  | 2.6  | 1.8  | 1.3  | 0.9  |
| <b>Chip Size (mm<sup>2</sup>)</b>   |      |      |      |      |      |      |      |      |      |      |
| DRAM, Introduction                  | 390  | 308  | 364  | 287  | 454  | 359  | 568  | 563  | 373  | 186  |
| DRAM, Production                    | 127  | 100  | 118  | 93   | 147  | 116  | 183  | 181  | 239  | 238  |
| MPU, High Volume at Introduction    | 280  | 280  | 280  | 280  | 280  | 280  | 280  | 280  | 280  | 280  |
| MPU, High Volume at Production      | 140  | 140  | 140  | 140  | 140  | 140  | 140  | 140  | 140  | 140  |
| MPU, High Performance               | 310  | 310  | 310  | 310  | 310  | 310  | 310  | 310  | 310  | 310  |
| ASIC                                | 800  | 800  | 572  | 572  | 572  | 572  | 572  | 572  | 572  | 572  |
| Minimum Field Area                  | 800  | 800  | 572  | 572  | 572  | 572  | 572  | 572  | 572  | 572  |
| Wafer Size (diameter, mm)           | 300  | 300  | 300  | 300  | 300  | 300  | 300  | 300  | 450  | 450  |

|  |   |
|--|---|
|  | Manufacturable Solutions Exist, and Are Being Optimized |
|  | Manufacturable Solutions are Known                      |
|  | Manufacturable Solutions are NOT Known                  |

引用自ITRS2001 Roadmap

目標設在90nm節點，而157nm DUV的光學微影製程（2004年以前）將用在65nm這個環節點上。光學微影持續的朝向解析極限邁進，這在十年前是想像不到的。

## 二、控制單位晶片的曝光成本

將最新的技術運用在黃光技術的發展外，還需要控制單位晶片的曝光成本，確保不會因為新技術的引進而大幅提高成本。微影製程在半導體生產工業中是單一最大成本的因子，其製程設備所需經費在過去30年呈指數增加。從1970年10萬美元的Contact Printers，到了21世紀初的193nm Step/Scan曝光機台要價2100萬美元。根據資訊網路工業的基本法則發展，曝光系統佔整個晶圓廠成本的20%。在過去的十年當中，蓋一座新的晶圓廠價格往往達到100億美元，而微影設備就佔據了20億美元的成本，甚至超過這個價錢，實際數目依今日整座晶圓廠的價格而定。

傳統微影製程所使用的是365nm以及I線近紫外光，其解像度大約在0.30-0.35 $\mu\text{m}$ 間。目前主要的曝光技術則是深紫外光微影技術 DUV，從248nm(KrF)、193nm (ArF) 進步到157nm(F<sub>2</sub>) 雷射，光源波長不斷被縮小，其解像度可小於0.05-0.007 $\mu\text{m}$ 。在曝光設備方面，可利用增加數值孔徑與減少像差的方式增加解析度。在Rayleigh的方程式中，最小的解析度= $k_1 \lambda / \text{NA}$ ， $\lambda$ 是曝光的光波長，NA是鏡片的數值孔徑， $k_1$ 則是製程相關常數（與光阻效率和微影技術有關）。因此較小的深紫外光光源波長有助於取得較高的解析度。另外由於光源波長與圖案線寬的長度接近，光學繞射效應必須被考

慮，因此藉由解析度加強科技 RET (Resolution Enhancement Technologies)來進一步減少  $k_1$  值也可以增加解析度。例如偏軸照射OAI (Off Axis Illumination) 便是利用光波不同的傳播路徑，抵消一階繞射使解析度提高。基本上，光學微影在製程上要改進解析度，從設備上可以改善的空間有限，由光罩的補償切入比較有機會改善影像對比與圖案精確度，並擴展可解析的最小尺寸與間距極限。例如相位移光罩PSM (Phase Shifting Mask) 是在光罩上建立圖形結構，使其在影像上引進加強性的對比干涉條紋。而光學近接修正OPC (Optical Proximity Correction)則是調整光罩孔徑來相加或相減所需的光束以增加圖案的精確度。在曝光設備的改進與RET的配合下，可望在157nm機台成熟前，由193nm機台將線寬提早推至 65nm 的目標，並延長光學微影的生命週期。RET的困難點在於PSM與OPC這兩種方式都需要使用多邊形圖案來修正光罩圖案，通常需要較先進與非常複雜的光罩設計來配合，並且需要較長的製程時間，而其昂貴的光罩也不容易被檢測出錯誤。此外，鏡片的缺陷也會被放大，而需要更精密設計的曝光機台。這些因素都會對設計者產生明顯的不便，也影響曝光成本的控制。

使用者的成本和物理現象在這場微影製程技術的競賽中，將會扮演決定性的角色。IC產業已經達到130nm線寬的目標，假如IC線路的密度正如摩爾定律般的往上攀升，那麼未來在2005年時線寬將會降到100nm的水平。經由光學的延續發展，248nm微影技術不僅可以解決150nm的需求，而且被認為可以支援CD的需求降到130nm的規格。光學解析增強技術RET (PSM和OPC)，可以擴展光學

微影製程的次波長(Sub Wavelength)範圍到深次微米(Deep Submicron)的領域。這兩種方法在1980年的初期，就已經被R&D的實驗室所採用，但是直到DUV 248nm (NA~0.5)曝250nm的規格時才使用到這些方法。而193nm機台在未來一到兩年，則預計利用較大的(NA>0.8)與較小的波長，希望能減少對於RET的依賴，並預期可以推展到65nm的規格。

當電晶體的尺寸縮小到更短的波長範圍時，由於曝光所使用的高能量與短波長，大部分常見的微影材料都會強烈地吸收光能量。因此在曝光機台中，所有與光束接觸的材料，都需要更進一步的研究與開發，包括反射鏡片、光罩材料、保護膜、光學路徑、光學鍍膜以及光阻，將需要更多的機台、光罩與材料相配合。在光罩方面，由於線寬持續縮小，使得光罩的製造更加困難，同時成本也隨之上揚。例如1997年的Roadmap顯示在70nm節點的4倍光罩上，其關鍵尺寸的控制需要9nm的獨立線(Isolated Line)以及14nm的接觸孔(Contact Hole)。到了2001年Roadmap的獨立線/接觸孔則修正為3.4/1.3nm，尺寸都大為縮小，其光罩錯誤因子MEF(Mask Error Factor)也個別要求控制在1.4/3.0。在193nm光罩上，還必須考慮OPC與PSM所帶來的複雜性，所以可預期的，我們將需要更嚴格的光罩品質，來配合並維持嚴格的線寬控制。另外，當光罩線寬的尺度進一步縮小後，也必須注意靜電傷害ESD(Electrostatic Discharge)的問題，例如符合成本的157nm光罩保護膜(Pellicle)到目前就還沒有定論。在化學材料方面，193nm與157nm的製程中，仍需發展以新型化學平台為基礎的光阻材料。這些新的光阻將被要求在193nm或是157nm的短

波長下，提供足夠的精確性以及抗蝕刻的特性。其次在線寬縮小到深次微米以下後，線邊緣平整度LER(Resist Line Edge Roughness)開始變得很重要。因為圖案邊緣的不規則區域和線寬本身的大小，都已經接近分子尺度，同時也接近光阻成分中的聚合物尺寸。因此在2001年的ITRS才會新加入LER這個新參數。在反射鏡片的研發方面，材料的選擇也是困難點之一。例如193nm(ArF)一開始因為光阻材料的不成熟與缺乏高品質的CaF<sub>2</sub>鏡片，導致拖慢193nm的光學微影研發時程，最近這個問題已經改善。在製程控制方面，主要是疊對與線寬的控制。因為在量測時可能因為量測機台的影響，導致線寬改變或是變形。例如193nm光阻最讓人詬病的特性，就是當曝光在SEM的電子束下時，它們會傾向於收縮。這種「線寬收縮」效應，不但會影響到由上而下的關鍵尺寸量測，也會影響鍍金屬截面的側面剖面。所以要判斷所得到的結果是因為製程上的控制問題，還是出自於機台特性往往很難分析。需要光阻的改良與量測方式的同步改進才有辦法避免。

## 下一代微影技術

未來針對45nm節點的需求，則需要仰賴下一代光學微影技術 NGL (Next-Generation Lithography)，目前業界對此有幾種不同的看法。由於下一代NGL投資金額極為龐大，因此不同技術間有組成不同聯盟的趨勢。有人相信光學微影有可能延長壽命，商用市場未來將以波長157nm雷射為主要光源。日本Nikon則持續與IBM合作，將下一代的開發目標定在電子束投影微影EPL (Electron Projection Lithography)。EPL是利用平行電子束在

晶圓上刻畫出線路圖案。另外兩家主要的半導體製造商、ASML與應用材料則已經放棄EPL的計畫。

以Intel為首的聯盟，包括超微、摩托羅拉、億恆與美光等都致力於研發極短紫外光微影技術EUV (Extreme Ultraviolet Lithography)。EUV是經由雷射誘發電漿的極短紫外線，所產生的13nm光波波長，能曝印僅僅40個原子寬度的電晶體，提高了單一晶片的電晶體密度。基本上EPL與EUV還是處於競爭狀態，到最後誰會出線還是未知數。

以目前來說，在130nm的節點是以193nm DUV或是以光學延展的248nm DUV為主要的技術，而在100nm的節點上則有多種選擇：157nm DUV、光學延展的193nm DUV和NGL。100nm節點的時間範圍應該在2002或2003年開始有所進展，但是因為NGL還來不及作為量產工具，所以在選擇上依然是以DUV光學的延展技術為主。在70nm的節點則使用光學延展的157nm DUV技術或者選擇NGL技術。在2005年的時間範圍內，即使NGL已經可以用來量產，廠商還是會以157nm DUV技術作為進展工作的選擇。對他們而言，這樣的技術已經使用多年，是比較保險的技術，並且可以藉此掌控學習曲線的方式。對於50nm節點的時間範圍而言，將在2008年開始有所進展。雖然NGL工具被認為是唯一的可行技術，但是為光學延展的DUV製程所進行的設備和材料研發仍舊持續進行，預料將繼續成為半導體製造商所選擇的技術之一。

到了35nm的節點範圍以下，將是NGL所主宰的時代，以此為始的下個十年，廠商可能必須在EUV和EPL之間作出選擇。EUV關鍵的問題在於光罩與透鏡

對於波長較長的光線是透明的，波長更短的光線就會被吸收。因此EUV的光罩與透鏡都是用鏡子。而鏡子與光罩的表面，矽鍍相間必須要塗80層，必須要絕對平滑，誤差只容許一個原子大小。另外，整個光刻過程必須在真空下進行，以避免光線被空氣吸收。因此EUV在成本上，必須為多層塗佈無缺陷的空白光罩、無缺陷的光罩製作、確保光源和聚光鏡的可靠度、降低使用者成本與光罩缺陷的控制等因素找出解決之道。對於EPL而言，所存在的關鍵問題包括驗證接縫的協調度和結合度、無缺陷的光罩製作、薄膜和光罩圖案的應力控制、電子束模糊的實驗資料、生產率與線寬的相關性、光罩缺陷控制、對晶片加熱等問題提出解決方法。總結來說，EUV和EPL的製造商還有10年的時間可以運用在這些關鍵的問題上。因為都需要龐大的R&D費用支出，唯有雄厚的財源與合作聯盟才有可能支持龐大的投資時間和金錢。

## 參考資料

1. The International Technology Roadmap for Semiconductor: 2001
2. Peter J. Silverman, Technology and Manufacturing Group, Intel Corporation, Intel Tech, Journal, vol6, issue02, published May 16, 2002
3. Robert N. Castellano, The Information Network, New Tripoli, Pennsylvania
4. M.D. Levenson, N.S. Viswanathan, R.A. Simpson, "Improving Resolution in Lithography with a Phase-Shifting Mask," IEEE Trans. Electron Devices, ED-29, pp. 1828-1836, 1982.
5. B.E.A. Saleh, S. Sayegh, "Reduction of Errors of Microphotographic Reproductions by Optimal Corrections of Original Masks," Opt. Eng. 20, 1981, p. 781.
6. J. Beach, et al., "etermining the Current Limits of 193nm Lithography, roc. Interface 2000, p.3.