碳化矽材料於功率元件之應用

許志維 工研院電子工業研究所 *先進元件技術二部 課長*

摘 要

碳化矽(Silicon Carbide; SiC)材料被視為未來將取代Silicon材料在高功率或高溫環境中應用的 材料。近十多年來,由於SiC磊晶與基板品質的提升,降低了研究SiC功率元件的門檻,許多 功率元件如Schottky Rectifiers、PiN Diodes、BJTs、MOSFETs、IGBTs等原型陸續出現在期 刊或會議論文中。本文將從SiC材料的固態結構論起,述及SiC基板製作技術、磊晶成長技 術、製程模組技術及SiC功率元件發展現況,最後展望未來SiC電力電子的發展趨勢。

關鍵詞

碳化砂(Silicon Carbide);功率(Power);元件(Devices)。

緒論

由於半導體功率元件的應用領域逐 漸朝向高壓、高溫與高頻領域前進,愈來 愈多針對寬能帶(Wide Band Gap)材料的 研究也隨之展開,其中碳化砂(Silicon Carbide; SiC)材料由於可以同Silicon一樣 成長二氧化砂(Silicon Dioxide; SiO₂)絶緣 層而備受矚目。表一列出SiC與Si的物理 參數,顯示SiC具有較Silicon高的能帶係

No.	Items	Unit	4H-SiC	6H-SiC	3C-SiC	GaAs	Si
1	Band Gap	eV	3.26	3.02	2.23	1.43	1.12
2	Breakdown Electric Field	MV/cm	2.2	2.4	-	0.3	0.25
3	Thermal Conductivity	W/cm-K	4.9	4.9	4.9	0.5	1.5
4	Saturated Electron Drift Velocity	10 ⁷ cm/s	2.0	2.0	2.7	1.0	1.0
5	Electron Mobility	cm ² /V-s	800	380	1000	6000	1350
6	Hole Mobility	cm ² /V-s	120	95	40	330	450

表一 GaAs、SiC與Si的材料特性比較表

數(4H-SiC: 3.26eV),較Si高十倍的耐崩 電壓與較Si高三倍的熱導係數(且高於 銅:3.8W/cm-°C)。式(1)為計算半導體材 料於Punch-through條件下的特定導通阻値 (Specific On-resistance, R_{ON.SP})理論值^[1]:

$$R_{ON SP} = (4V_{B}^{2})/(\epsilon \mu_{p} E_{C}^{3})$$
(1)

其中 V_B 表示崩潰電壓, ε 表示半導體材料 的介電常數(Dielectric Constant), μ_n 表示 電子移動率(Electron Mobility), E_c 表示臨 限崩潰電場(Critical Electric Field for Breakdown)。將表一中的數值代入式(1) 可發現, SiC的R_{ON,SP}較Si低200倍到400倍 以上。這顯示SiC元件可以應用在更高的 電壓條件下而依然擁有極低的R_{ON SP}。

SiC結晶構造

SiC是週期表中第四族元素中由 Silicon與Carbon鍵結而成的半導體複合物 (Compound Semiconductor),目前已知的 晶體結構多達200多種^[2],每一種晶體結 構都具有相同的四角錐體結構,這種四 角錐體結構是由四個Si原子環繞著一個C 原子所組成,原子之間具有緊密的鍵 結。此單元結構如圖一所示。其中C原子 位於此四角錐體的中心,兩個Si原子間的 距離a是3.08Å,上下兩層Silicon Layer的 間距是a(2/3)²=2.52Å。由於Si原子必定伴 隨一個C原子,所以用Double Layer或是 Bi-layer來描述這種構造。如果相鄰的Bilayers有不同的堆疊順序(Stacking Order) 就會構成不同的晶體結構。圖三顯示3C-SiC、4H-SiC及6H-SiC三種不同晶體結構 的堆疊順序,其中3C表示堆疊順序的週 期是三次一重複,C表示最後組成的結構 是Cubic結構,至於H表示最後組成的結 構是Hexagonal。一般將4H-SiC與6H-SiC 合稱為α-SiC,而3C-SiC稱為β-SiC。

SiC晶格的表示方式,除了3C-SiC是 用Cubic座標表示以外,其餘要表示六角 結構的晶格需要四個Miller Indices,如圖 三所示。如[03-38]的前三碼各代表圖三 裡的 $a_1 \\ a_2$ 與 a_3 向量。至於第四碼是代表 c-axis。此外, $a_1 \\ a_2$ 與 a_3 三軸的交角都是 120°,而且 $a_1+a_2+a_3$ (向量和)必須為0。 另外在晶格的『面』與『向』的表示法 中,[xxxx]表示方向,<xxxx>表示許多相 同方向的集合。如<11-20>包含了[11-20]、[-1-120]等等方向。而(xxx)表示面 的方向,{xxxx}表示面方向的集合。[11-20]方向與(11-20)面的交角是90°,也就是 說[11-20]方向是(11-20)面的法線方向,餘



此類推。

SiC基板製作技術

SiC材料最早於1892年由Acheson以 人造方式合成,後於1955年俄國人Lely改 良製作方法取得較佳的材料品質。目前 SiC單晶基板成長方法多採用昇華法 (Sublimation) 或稱Modified Lely法,是由 Tairov等人於1978年發明的。作法是以 SiC粉末為原料,在2300°C-2500°C的高溫 下製成^[3]。而基板的晶體結構,如4H-SiC 或是6H-SiC,則與成長溫度、反應爐的 氣壓以及晶種(Seed)的表面極性決定。

SiC單晶在成長的過程中,很容易產 生微型管(Micropipes)缺陷(如圖四所 示)。微型管是一種直徑約數微米 (Micrometers)寬的洞,沿著<0001>方向伸 展,對元件特性會造成嚴重的影響。除 了微型管以外,螺旋式錯排(Screw Dislocations)與邊緣錯排(Edge Dislocations)也會造成SiC元件特性的退化^{[4]。}目 前商業化最大的SiC單晶基板的尺寸為直 徑75mm,而直徑100mm的SiC單晶晶片 已經有原型樣品,但尚未推進市場。實 驗室中SiC單晶片的微型管密度 (Micropipe Density; MPD)已可控制到 0.5/cm²,但一般商業化最低可提供的規 格為10/cm^{2[5]}。

一般SiC單晶片的濃度約在10¹⁵ cm-3,藉由控制掺雜的雜質種類可以得到



具有唯一性

Unique Occupation-site

B B

▲圖五 在長距離階梯上的堆疊順序不

at a Step

B

2 Possible Sites on a {0001} Terrace



SiC磊晶成長技術

SiC磊晶製程的方法分為兩類,一類 是LPE(Liquid Phase Epitaxy,液態磊晶 法),一類是CVD(Chemical Vapor Deposition, 化學氣相沈積法)。目前多半 採用CVD法,其中又因CVD成長室的型 態、機制之不同而分為Cold-wall Horizontal CVD \ Hot-wall Horizontal CVD與Hot-wall Vertical CVD三種。反應 氣體一般為SiH₄及C₄H₆,成長溫度在 1500°C-1700°C。形成N型磊晶可摻雜 N,,形成P型磊晶可摻雜Trimethylalminum(TMA)或B₂H₆。

早期SiC磊晶片的成長方法遭遇的困 難有二:第一是成長溫度太高。以6H-SiC {0001}面為例,磊晶成長的溫度高達 1800°C,若降低成長溫度則會形成3C-SiC結晶態,因為3C-SiC結晶態容易在低 温下(<1500°C)形成。第二個困難點是單 磊晶膜(Homoepitaxy)的要求難以達到, 因為即使在高溫環境下進行磊晶製程, 仍然無法避免3C-SiC結晶態的產生。造 成這個現象的原因可以由圖五來解釋。 傳統上用以製作SiC磊晶的基板以 (0001)Si-face或是(000-1)C-face為主,其 基板的表面上具有許多長距離的『平台』

> (Terrace),當SiC在基 板表面上沈積並開始進 行堆疊排序的時候,不 同堆疊排序的結晶態會 在不同的位置上形成, 導致成長的磊晶層並不 是Homoepitaxy。這種

磊晶的過程被稱為『2D-nucleation』,而 最後磊晶層的結構會是内含3C-SiC結晶 態的混合磊晶結構,如圖六所示。

解決上述問題的方法是將基板表面 的角度些微傾斜3°到8°,如此可以使基板 表面的平台長度變短,如圖七所示。平 台長度變短的結果是磊晶過程中,結晶 態的堆積順序會受到階梯結構(Step)的引 導,以致於最終的結晶狀態會趨向一 致。這個方法被稱為『Step-controlled Epitaxial Growth』^[6],是目前商業化SiC 磊晶晶片的標準製作方法。

SiC製程模組

-、熱氧化模組

對於半導體元件之應用而言,熱氧 化層(Thermal Oxides)可作為離子植入或 乾蝕刻之遮罩(Masks)之用,或作為金氧 半電晶體(MOSFETs)之閘極絶緣層之用。 SiC是所有寬能帶材料中唯一天然氧化層 (Native Oxides)為SiO₂之材料,顯示其具 有製作熱氧化層的可行性。然而SiC材料 中Carbon的存在對SiC熱氧化製程造成兩 項負面影響:

1. 限制氧化成長速率[7]

2. 在 SiC/SiO₂介 面 形 成 Carbon Clustering現象,以致於Interface Density of States (D_{rr})升高,進而降低通道中電子 的移動率(Mobility)^{[8]。}

SiC氧化成長速率極慢。工研院電子 所實驗結果顯示在1100°C、濕氧5小時後 氧化層厚度僅270Å(TEM結果),計算成 長速率僅54Å/hr。1997年起開始出現先沈 積Polysilicon再將Polysilicon氧化成SiO₂的 作法^[9],實際用在MOSFETs中估計可達到 3.1MV/cm以上的耐崩能力^{[10]。}

 SiC/SiO_2 介面上的高 D_{II} 對元件特性 的負面影響主要為兩部分,第一是通道 中的電子可能被Interface States所困住 (Trapped),以致於電流導通的能力降低。 第二是這些受困電子會對其他仍可移動 的電子構成很強的庫倫(Coulomb)排斥 力 , 以 致 於 減 低 電 子 的 移 動 率 (Mobility)。目前減少D_{rr}的方案逐漸趨向 在主氧化成長步驟結束時通入NO 氣體, 以與Carbon 反應生成氣態的CO或CO。散 逸,並填補Interface上的缺陷(Defects) [8][11][12]。其元件的電子移動率約在30-50 cm²/V-s之間。另Sridevan等人提出以沈積 氧化層經過H、丶N、與Ar等氣體回火 (Anneal)後可得到165 cm²/V-s的電子移動 率^[13]。Ogino等人則提出以低劑量的氮原 子進行Threshold Implantation可以得到99 cm²/V-s的電子移動率[14]。

二、蝕刻模組



▲圖六 結晶態混

合的磊晶結果

3C-SiC DIS 6H-SiC



目前已知的SiC濕蝕刻方式主要是採用熔 解的KOH進行蝕刻,溫度約450°C以上。 SiC濕蝕刻主要是用來觀察SiC結構上的 問題,如Micropipes、Dislocations、 Stacking Faults或Point Defects等缺陷。亦 有供微機電(Micro-machined Electronics) 加工之用。

SiC的乾式蝕刻主要採用Plasma Etching,蝕刻氣體主要為 $CF_4 \ SF_6$ 或 NF_3 ,其中 CF_4 的蝕刻速率較慢^{[7][15]},另 SF_6 搭配RIE(Reactive Ion Etching)機台, 常用於蝕刻溝槽以製作Trench MOSFETs 或稱U-MOSFETs^{[10][16]。}由於RIE採用高能 離子轟擊晶格,會造成遮罩腐蝕(Mask Erosion)與晶格受損(Lattice Damage)等負 面影響,採用ICP(Inductively Coupled Plasma)或 ECR(Electron Cyclotron Resonance)等高離子流量(Flux)但低離 子能量的蝕刻機制,可以舒緩遮罩腐 蝕與晶格受損的情況,而依然能維持 與 R I E 相 當 的 蝕 刻 率 與 不 等 向 性 (Anisotropy)^{[17]。}

三、離子植入與回火模組

由於雜質(Impurities)在SiC中的擴散 速率極低,若要在SiC中摻雜雜質必須採 用離子植入的方法,比如欲形成N型區 域,可以植入N或P等雜質,目前可達到

▶圖八 階梯束(Step Bunching)現象



1700°C的高溫步驟[19][20]。

SiC功率元件

— Schottky Rectifiers

最低片阻値分別為290 Ω-cm(植入N)及

51 Ω-cm(植入P);若要形成P型區域,

可以植入Al、B或BF,等雜質,但目前片

電阻甚高,約在10 KΩ-cm^[18]。離子植入

後的回火(Annealing)溫度與雜質種類與基板的晶體結構相關,一般需要1000°C-

低於100V的二極體應用領域中,Si 製作的Schottky Rectifiers具有低成本、操 作速度快、耗能低等優點。然而Schottky Rectifiers導通時電壓降(Forward Voltage Drop)隨著耐崩電壓的提高而快速上升, 導致100V以上的二極體應用領域主要由 PiN Rectifiers所掌握。然而,PiN Rectifiers的速度並不夠快,耗能也較高。 而SiC Schottky Rectifiers則提供一個能耐 高壓且能高速操作的選擇,將傳統 Schottky Rectifiers電壓操作領域推升到 5KV。

最早的高壓SiC Schottky Rectifier為 1992年由PSRC所製作,元件的崩潰電壓 達400V^[22],已經打破傳統Si Schottky Rectifiers的極限。1993年,Kimoto提出以 金(Au)做Schottky Metal之大於1000V的



6H-SiC Schottky Rectifier, 其順向導通電 壓為3V^[23]。目前, SiC Schottky Rectifier 已經可以做到5000V以上的元件。SiC Schottky Rectifier的元件架構非常簡單 (如圖九所示),它是利用一個Schottky Metal和SiC Epi來達成低阻抗、高耐壓的 特性。Schottky Rectifiers元件的另一個設 計重點為Termination。它可利用B或Ar打 出一片高阻值的區域^[24]或是以Field Plate 來承受反向時的高電壓。圖十為目前 Schottky Rectifiers順向與反向特性之研發 狀況。圖中的實線代表理論上的極限。 由圖可知,在大於500V以上的應用,由 於Epi區域開始主導元件的阻值,SiC Schottky Rectifier的特性開始凸顯而與Si 有很大的差距。就元件的反向特性而 言,其高壓狀態下的反向漏電流特性仍 相當好。

1999年Rupp展示600V SiC Schottky



Rectifiers通過1000小時可靠度測試的成 果,將SiC Schottky Rectifiers元件正式推 向商業的舞台^[24]。目前商業化的SiC Schottky Rectifiers規格為200V-600V,額 定電流在1A-10A之間。

\equiv \land MOSFETs

第一個SiC MOSFETs是於1980年代 晚期出現^[25],而第一個SiC Power MOSFETs則是於1994年產生^{[26]。}傳統Si Power MOSFET在高壓下,特別是大於 1000V的狀況,導通阻值會變得很高。因 此,高耐壓且高速的多數載子(Majority Carrier)元件發展面臨困難,於是SiC MOSFET的發展變得相當重要。由於雜質 在SiC擴散很困難,所以目前的MOSFET 主要都是以Trench架構為主,又稱U-MOSFETs,如圖十一所示。目前SiC MOSFETs研究的瓶頸在於一方面不易做 出耐高電場的Oxide,另一方面Oxide與 SiC界面的載子移動率太低。根據可靠度 測試的結果顯示,SiC的Oxide於150°C以 下可承受4MV/cm 的電場^[27],這個值與 SiC Epi的崩潰電場類似,所以Oxide相對 變得脆弱。圖十二為SiC MOSFET之阻値









http://www.materialsnet.com.tw

表二 6H-SiC與4H-SiC於(0001)、(11-20)兩種晶格方向之

Surface Mobility (cm²/V-sec)

$\mu_{channel}$	(1-100) on (0001)	(0001) on (11-20)	(1-100) on (11-20)
6H-SiC	44.8	36.5	115.7
4H-SiC	5.6	59.5	81.7





與崩潰電壓的關係。由圖可知,當電壓 大於1000V時,理論上SiC MOSFET之特 性會遠高於Si元件。但目前的實驗結果還 不夠好。這是因為在目前廣泛使用的 (0001)晶格方向的SiC晶圓上,做 MOSFET所得的Surface Mobility非常的 小,而使元件的阻値大部分落在水平反 向通道區域(Lateral Inversion Channel Region)。

表二為SiC與兩種不同晶格方向之晶 圓上的Surface Mobility。由表可知,當水 平方向為 (1-100)時,(0001) 4H-SiC之水 平載子移動率降低到10 cm²/V-sec以下, 甚至比6H-SiC還要小。1999年,京都大 學提出了用(11-20) SiC晶圓來改良載子移 動率的方法^[28]。這可使4H-SiC的Surface Mobility提高達10倍之多。此外,SiC氧 化製程中加入NO Anneal的動作也有助於 提高電子移動率^{[11][12]}。因此,未來的SiC MOSFET特性可望有大幅的改善。 \equiv \times SITs

SIT (Static Induction Transistor)類似一個垂直通道的 MESFET。它主要是應用在高頻 微波。與MOSFET相同的是,它

也是多數載子元件。因此,可以做到高 速、高電壓而又低阻値的元件特性。另 一方面,SIT並沒有如MOSFET一般的低 載子移動率的問題,所以是相當重要的 SiC元件。

圖十三為SIT的元件架構,它非常類 似一個Trench MOSFET,但操作的方式 並不相同。這個元件的上下方各有一個 N+區域。中間夾著一個決定元件崩潰電 壓與導通阻抗的N-磊晶區域。元件兩側 以蝕刻方式做出Trench,並於Trench的底 層及兩側形成Schottky 界面。多數載子 (Majority Carrier)經 由 N-type Accumulation層,從Source流到Drain。如果 在Gate上加負電壓,就可以利用Depletion Region來調變電流或者把元件關閉。在 DC操作狀況下,電流並不會飽和,它的 動作類似一個Vacuum Triode^[29]。目前SIT ^[30]可以做到140V的崩潰電壓,而同時具 有13.7dB (1.7GHz)、10dB (2GHz)的 Gain。最大的震盪頻率可以達到4GHz。 在2.45GHz時,它的CW輸出功率為36W (3.1dB gain, ŋ=41%); 而在900MHz時為 26W (3.3dB gain, η = 56%) °

結論

由於SiC具有可操作在比Si更高壓、 更高溫與更高功率的條件,而成為當前 一個革命性的半導體材料。雖然目前大 部分的SiC功率半導體元件仍在研發階 段,然而數個SiC元件一例如藍光LED、



Power MOSFETs、PiN Diodes與高頻元件 一即將很快的對元件市場造成衝擊。雖 然如此,部分關鍵製程技術一如晶片 Micropipe密度,SiC-Oxide界面、金屬界 面的熱穩定性與元件可靠度的問題一仍 待學術界與工業界努力研發。預料在未 來5-10内,SiC將非常有可能取代Si而成 為功率半導體元件的主要材料。

參考文獻

- B. J. Baliga, "Semiconductor for high voltage vertical channel field effect transistors," J. Appl. Phys., vol. 53, pp. 1759, 1982.
- 2. Robert F. Davis, Proceedings of the International Conference in SiC and Related Materials-1993.
- 3. Yu.M.Tairov and V.F.Tsvetkov, J. Crystal Growth, vol. 43, pp.209, 1978.
- J. P. Bergman, et al, "Characterisation and defects in silicon carbide," Mater. Sci. Forum, vol. 389-393, pp. 9, 2002/
- 5. Cree, Inc. http://www.cree.com/
- 6. T. Kimoto, "Step-Controlled Epitaxial Growth of α -SiC and Device Application", Ph.D. Thesis, 1995.
- G. L. Harris, "Properties of Silicon Carbide," 1995.
- R. Schorner, "Enhanced channel mobility of 4H-SiC metal-oxide-semiconductor transistors fabricatied with standard polycrystalline silicon technology and gate-oxide nitridation" Appl. Phys. Lett., vol. 80, no. 22, pp. 4253, 2002.
- J. Tan, "Metal-oxide-semiconductor capacitors formed by oxidation of polyscystalline silicon on SiC,"Appl. Phys. Lett., vol. 70, pp.2280, 1997.
- J. Tan, "High-voltage accumulation-layer UMOSFET' s in 4H-SiC," EDL, vol. 19, no. 12, pp.487, 1998.
- G. Y. Chung, "Effect of nitric oxide annealing on the interface trap densities near the band edges in the 4H polytype of silicon carbide," Appl. Phys. Lett., vol. 76, no. 13, pp. 1713, 2000.
- 12. G. Y. Chung, "Improved Inversion Channel Mobility for 4H-SiC MOSFETs following high temperature anneals in nitric oxide," EDL, vol. 22, no. 4, pp. 176, 2000.
- S. Sridevan, "Lateral n-channel inversion mode 4H-SiC MOSFETs," EDL, vol. 19, pp. 228, 1998.

- 14. S. Ogino, "Channel doped SiC MOSFETs," Mater. Sci. Forum, vol. 228, pp. 1101, 2000.
- 15. K. P. Lee, et al, "Comparison of F2 plasma chemistries for deep etching of SiC," Mater. Sci. Forum, vol. 640, pp. 117, 2001.
- I. A. Khan, "High-voltage UMOSFETs in 4H-SiC," ISPSD, pp. 157, 2002.
- 17. J. J. Wang, et al, "Low damage, highly anisotropic dry etching of SiC," High Temperature Electronics Conference (HITEC), pp. 10, 1998
- H. Matsunami, "Silicon carbide technology in new era," Mater. Sci. Forum, vol. 389-393, pp. 3, 2002.
- T. Kimoto, et al, "The effects of n+ dose in implantation into 6H epilayers," J. Electron Mater., vol. 24, p. 235, 1995.
- T. Kimoto, et al, "Aluminum and boron ion implantations into 6H-SiC epilayers," J. Electron. Mater., vol. 25, pp. 879, 1996.
- M. A. Capano, et al, "Surface roughening in ion implanted 4H-silicon carbide," J. Electron. Mater., vol. 27, pp. 370, 1998.
- 22. M. Bhatnagar, et al, "Silicon carbide high voltage (400V) Schottky barrier diodes," EDL, vol. 13, pp. 501, 1992.
- 23. A. Itoh, et. al., "Excellent Reverse Blocking Characteristics of High-Voltage 4H-SiC Schottky Rectifiers with Boron-Implanted Edge Termination," EDL, Vol.17, No.3, pp.139-141, 1993.
- 24. R. Rupp, et al, "Performance and reliability issues of SiC Schottky diodes," Mater. Sci. Forum, vol. 338-342, pp. 1167, 2000.
- 25. J. W. Palmour, "High-temperature depletionmode metal-oxide semiconductor field-effect transistors in beta-SiC thin films," Appl. Phys. Lett., vol. 51, pp. 2028, 1987.
- 26. J. W. Palmour, et al, "Vertical power devices in silicon carbide," in Proc. Silicon Carbide and Related Materials, pp. 499, 1994.
- 27. M. M. Maranowski, et al, "Time-dependentdielectric-breakdown measurements of thermal oxides on n-type 6H-SiC," TED, vol. 46, p. 520, 1999.
- 28. H. Yano, et. al., "High channel mobility in inversion layers of 4H-SiC MOSFETs by utilizing (112~0) face", IEEE Electron Device Letters, Vol.20, No.12, 1999, pp.611-613
- 29. J. Nishizawa, et.al., "Field-effect transistor versus analog transistor(static induction transistor)", IEEE Trans. On Electron Devices, Vol.22, 1975, pp.185
- 30. J. Nishizawa, et.al., "The 2.45GHz 36W CW Si Recessed Gate Type SIT with High Gain and High Voltage Operation", IEEE Tran. on Electron Devices, Vol.47, No.2, 2000,pp.482-487.